특집

재구성형 단말 모뎀 기술 및 개발동향

육영수, 박순준, 오민석, 최진성(LG전자 이동통신 기술연구소)

요 약

본 논문에서는 SDR(Software Defined Radio)을 기반으로 한 단말기의 핵심 요소인 재구성형 단말 모뎀 기술에 대해 살펴 본다. 재구성형 단말 모뎀은 적용 목적에 따라서 다양한 요구사항을 가지며, 전면적인 SDR 개념의 도입에는 상당한 시간이 요구될 것으로 보이는 반면, 재구성형 단말 모뎀 분야에서는 최근 다양한 솔루션들이 등장하면서 상용화 가능성이 높아지고 있다. 특히 제조업체 관점에서는 새로운 시스템에 대한 개발 기간과 비용의 절감, 그리고 사업자 관점에서는 새로운 서비스의 빠른 망 적용 및 다양한 망 형상 전개 용이성 등의 장점이 있다. 본 논문에서는 재구성형 단말 모뎀의 개발 동향 및 발전 방향을 살펴보고, 재구성형 모뎀 솔루션을 적용한 개발 사례를 소개한다.

I. 서 론

최근 디지털 미디어의 발전과 더불어 음성, 데이터, 비디오 신호 등이 서로 동일한 비트 스트림으로 표현되면서 핵심망의 측면에서는 기존의 전화, 인터넷, 방송 등 개별적으로 존재하던 네트워크가 통합되면서 IP 기반의 개방형 구조로 진화하고 있다. 반면, 무선 접속망의 경우 다양한 환경에 적합한 다양한 방식의 시스템들이 등장하고 있다. 앞으로 이렇게 다양한 무선 접속 방식들이 공존하는 상황이 도래할 때, 사용자들이 장소나 시간에 구애 받지 않고 효율적인 서비스를 받기 위해서는 다양한 무선 접속 망에 접속할 수 있는 기능을 갖는 단말기의 필요성이 증대될 것으로 예상된다. 실제로 최근에는 두 가지 이상의 모드를 지원하는 멀티모드 단말기가 출시되고 있으나, 이러한 멀티모드 단말기는 크기나 경제적 측면에서 비효율적이며, 새롭게 등장하는 무선 접속 모드들을 모두 수용할 수 없는 한계를 갖고 있다. 또한, 기존 시스템의 버그 수정이나 새로운 기능을 추가하려면 하드웨어 일부 또는 전체를 새롭게 설계해야 하는 번거로움이 있다. 이러한 문제에 대한 답을 주기 위해 연구되기 시작한 것이 SDR(Software Defined Radio) 이다.

SDR은 통신 시스템을 구성하는 기지국과 단말기에서 무선 접속 기술 별로 다른 하드웨어를 사용하던 방식으로부터 공통 하드웨어를 소프

트웨어적으로 재구성하여 다른 무선접속 모드를 지원하는 방식으로 바꿔주는 핵심 기술이다. 이러한 SDR 기술은 단순히 하드웨어를 소프트웨어 적으로 재구성하는 것에만 국한되어 있지 않으며, RF단에서의 다중 대역 다중 모드 지원과 끊김 없는(seamless) 핸드오버, 각 구성 요소간 인터페이스의 표준화 및 개방화, 효율적인 소프트웨어 다운 로드 방식 등을 포괄적으로 다루고 있다. 또한, 최근에는 효율적인 주파수 자원의 이용과끊김없는 통신을 위해 무선 인지(Cognitive Radio) 기술에 많은 연구가 진행되고 있는데, 무선 인지 기술은 SDR 기술을 근간으로 하고 있다[1].

SDR 기술은 단일 하드웨어 플랫폼을 소프트웨어적인 재구성을 통해 특정 규격 내지 특정 목적의 통신 시스템으로 변경하여 다양한 무선 규격을 하나의 플랫폼상에서 제공할 수 있다는 점을 고려할 때, 향후 차세대 이동 통신 시스템의 근간이 될 핵심 기술로 평가될 수 있다.

SDR 및 재구성형 하드웨어 기술의 장점은 다음과 같이 살펴볼 수 있다[2].

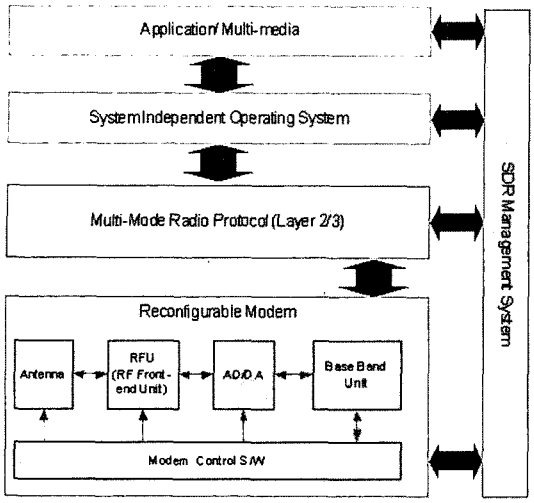
- 사용자 관점
  - ▷ 무제한적 로밍이 가능
  - ▷ 사용자가 원하는 서비스와 응용에 맞도록 자유자재로 재구성이 가능
  - ▷ Worldwide Mobility와 Coverage가 가능
  - ▷ 단말기 오류의 빠른 수정 가능

- 통신 사업자 관점
  - ▷ 개인별 다양한 서비스 요구에 대하여 단말기의 교체 없이 신속 대응이 가능함
  - ▷ 다양한 부가가치 서비스의 제공이 가능하여 다른 사업자와 차별화 가능
  - ▷ 주파수 이용 효율의 증대로 인한 실질적 용량 증대 효과
  - ▷ Hardware Lifetime 증진

- 단말 제조 업체 관점
  - ▷ 하드웨어 플랫폼의 단일화를 통해 연구개발 및 설계, 제품 생산에 대한 비용 절감
  - ▷ 이종 규격간의 통합형 단말기 및 follow up 소프트웨어의 판매가 가능
  - ▷ 사용자에게 추가적인 기능 및 성능 향상 기술을 매우 손쉽게 제공할 수 있다.
  - ▷ 빠른 시장 대응

특히, SDR 방식은 이종 규격간의 끊김 없는(seamless) 핸드오버 지원에 효율적이다. 복합적인 무선 통신 환경에서는 방송 및 셀룰라 계층으로부터 개인 네트워크 계층까지 각 계층 내의 수평적인 핸드오버뿐 만 아니라 계층간의 수직적인 핸드오버도 역시 예상된다. 즉, 다양한 형태의 서비스, 응용 및 컨텐츠를 가장 적절한 무선 접속 방식을 통해 제공하고 복잡한 네트워크들 간의 유연한 인터페이스를 보장하는 재구성 가능한 SDR 개념 기반의 통신 플랫폼이 요구된다[3]. 특히, 최근에 많은 연구가 이루어지고 있는 무선 인지 (Cognitive Radio) 기술의 진보를 위해서는 SDR 기술은 매우 핵심적이라고 할 수 있다. 그러나, SDR 기술의 핵심은 여전히 재구성이 가능한 하드웨어 구조에 있다.

본 논문에서는 기저 대역 모뎀 칩을 중심으로 하여 재구성형 단말을 위한 핵심 기술 및 개발 동향을 살펴본다. 본 논문의 구성은 다음과 같다. II장에서는 재구성형 단말의 기본 구조와 특징을 살펴보고, III장에서는 재구성형 모뎀 칩 개발 동향 및 상용 칩에 대해 소개한다. IV장에서는 재구



〈그림 1〉 SDR 기반 단말 구조

성형 단말 모뎀 솔루션 중 하나인 Sandbridge 사의 SB3010을 이용한 단말 모뎀 개발의 사례를 살펴보고, 마지막으로 결론을 맺는다.

II. 재구성형 단말 모뎀의 구조와 특징

그림 1은 ITU R에서 정의한 SDR의 기본 구조를 단말에 적용한 것이다. 그림에 보이는 각 구성 요소들의 요구사항과 특징은 다음과 같다[1].

- 단말 응용 계층 : 다양한 특성의 데이터를 효율적으로 처리하고, SDR 관리 시스템과의 협력을 통해 데이터 특성에 따른 효율적인 통신 시스템을 연동함.
- 시스템 독립적인 운영 체제 : SDR에서는 통신 시스템에 따라 달라지는 구조를 모두 수용하는 개방형 구조의 다기능 OS가 요구되며, 여러 통신 시스템 별로 데이터의 다중화를 수행함.
- 다중 모드 통신 프로토콜 : 통신 프로토콜 계층은 WCDMA, GSM 등 이동 통신뿐 아니라, 무선랜, PAN, WiBro/WiMAX 등의 다양한 프로토콜을 포함하고 있으며 동시에 여러 시스템에 접속하고, 여러 시스템간 핸드 오버가 가능해야 함. SDR 관리 시스템에 시스템 정보를 수시로 보고해야 함.
- 재구성형 모뎀 : 물리계층을 담당하는 모뎀은 재구성이 가능하여 다양한 시스템을 모두 구현할 수 있어야 하며, 개별 구성 요소들은 모두 S/W에 의해 제어 가능한 구조를 가져야 함.
- SDR 관리 시스템 : 마지막으로 이러한 여러 계층과 시스템을 모두 관리할 수 있으며, 시스템간 스위칭 또는 핸드오버를 수행하고 환경에 따라 보다 효율적인 통신을 수행할 수 있도록 관리함.

본 장에서는 물리계층의 핵심 요소인 재구성형 모뎀의 구조적 특징을 살펴본다.

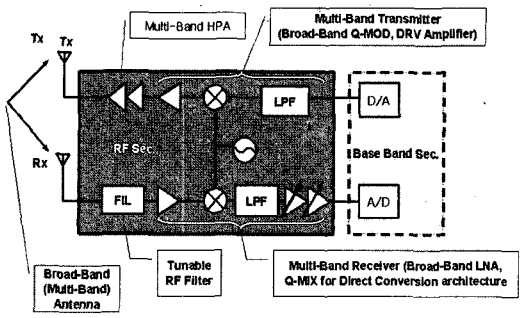
1. 재구성형 단말 모뎀의 기본 구조

그림 1 에서 보는 것과 같이 재구성형 단말 모뎀은 안테나, RFU(RF Front end Unit), AD/DA 컨버터, 기저대역 처리기(BBU)와 이를 제어하는 모뎀 제어 소프트웨어로 구성된다. 기본적으로 모든 구성 요소들은 소프트웨어적으로 재구성 또는 제어가 가능해야 한다.

- 재구성형 안테나

SDR 을 위한 안테나의 가장 중요한 특징은 넓은 주파수 대역 특성이다. SDR에서는 다양한 시스템을 수용해야 하므로 구현하고자 하는 모든 시스템의 주파수 대역에 대한 수신 성능을 만

족해야 한다. 또한, 여러 시스템간 핸드 오버 등을 고려할 때 동시에 서로 다른 통신 방식에 대해 송수신이 가능해야 한다. 이 외에도 가능한 작은 크기를 만족해야 한다. 작은 크기와 넓은 대역을 동시에 만족시키는 안테나는 구현이 어려우며, 이를 극복하기 위해 인간의 몸을 도체로 이용하는 방식 등이 제안되고 있다[2].



〈그림 2〉 직접 변환 RF 송수신기 구조[2]

● 재구성형 RFU

재구성형 RFU는 다중 대역/ 다중 모드의 통신 시스템에 모두 적합하도록 재구성 가능해야 하는 것이 특징이다. 또한 중요한 특징으로는 여러 대역의 다른 시스템들의 신호를 동시에 송수신 가능해야 하는 특징이 있다. 이를 위해서는 믹서, 증폭기, 필터 등이 모두 광대역 특성을 가지며, 상호 간섭을 제거할 수 있어야 한다.

기존의 다중모드 수신기는 각각의 표준마다 독립적인 수신단이 필요하다. 그러나 아날로그 RF단에서의 처리를 최소화하면서 채널 선택을 디지털 필터를 사용하게 되면 보다 유연한 구성이 가능하다. 즉, 1개의 구성으로 다양한 표준과 주파수 대역을 지원할 수 있다.

최근에 등장하고 있는 직접 변환(Direct Conversion) 방식의 수신기는 IF(중간 주파수)를 사용하지 않고 반송파 (carrier)를 기저대역으로 바로 변환시켜 IF 관련 부품을 없애고 RF칩의 단순화를 통해 비용 절감의 효과를 가져오는 기술이다. 그림 2은 직접 변환 방식의 RF 송수신 구조를 보여주고 있다. 직접 변환 방식의 수신기는 이론적으로 더 기본적인 수신기이지만 채널 선택도(channel selectivity)와 감도가 떨어지는 단점이 있다. 반면, 직접 변환 방식은 IF와 관련된 각종 SAW filter와 Mixer등을 절약할 수 있기 때문에 원가 절감, 경량화, 시스템의 단일칩화(System on a chip: SoC) 등이 가능하다는 장점이 있다. 반면, IF를 사용하는 시스템에 비해 발진 문제, 선택도 문제와 DC offset과 같은 문제가 있으며, 광대역 특성을 갖는 저잡음 앰프(LNA), RF Quadrature Mixer, Driver Amp 등의 연구가 필요하다[5].

● AD/DA Converter

AD/DA 변환 기술은 SDR 개념에서 매우 중요한 기술이다. 재구성형 라디오 구현을 위해서 AD/DA converter 는 낮은 소비 전력과 높은 정확도, 낮은 지터(jitter), 고속 변환 성능 등이 요구된다. 특히, 앞으로의 통신 시스템은 QAM, OFDM과 같이 높은 PAPR을 요구하는 전송 방식을 사용하며, 또한 수십 MHz 이상의 넓은 주파수 대역의 사용하기 때문에 대략 10bit 이상의 높은 분해도(resolution)와 100Msample/s 이상의 높은 샘플링 율이 요구될 것으로 보인다. 이는 또한, 단말기에 적용하기 위해서는 낮은 전력 소모와 변환 클럭의 높은 정확도가 요구된다. 또한, 서로 다른 변환 속도를 맞추기 위해서 샘플율 변환 필터가 필요하다. 보다 높은 효율을 위해서는 샘플율 변환은 기저대역 프로세서의 앞단에서 처리하는 것이 좋다.

2. 재구성형 기저대역 프로세서

서로 다른 물리 계층 규격의 무선 전송 시스템들은 대부분 상이한 기저대역 신호 처리 방식들을 적용하고 있어, 이들을 통합 처리하기 위해서는 기저대역에서의 SDR 기술에 기반한 재구성형 모뎀 기술의 적용은 필수적이라 할 수 있다. 제조업체 입장에서 재구성형 모뎀의 사용은 다음과 같은 이득이 있다[6].

▷ 개발 기간의 단축
▷ 칩 성능에 대한 신뢰도 확보
▷ 다양한 표준에 대한 재구성 능력 지원
▷ 여러 표준에 대한 동일한 하드웨어 플랫폼 사용으로 인한 원가 절감
▷ 개발 실패에 대한 Risk 감소
▷ 시장 변화에 대한 빠른 적응
▷ 손쉬운 업그레이드

특히, 단말의 경우 동일한 플랫폼으로 다양한 통신 표준 및 모델을 지원할 수 있으므로, 모뎀 칩에 따라 다르게 설계를 수행해야 하는 불편을 줄일 수 있으며, 그에 따라 동일 하드웨어 플랫폼을 이용한 대량 생산이 가능해진다.

기존의 시스템에서는 ASIC, FPGA, DSP 등을 이용하여 기저 대역 모뎀을 구현하고 있으며, 표 1에서는 이들 각 부품들을 재구성형 모뎀의 고려 사항 관점에서 비교하여 보았다.

기존의 하드웨어 구성 요소들은 각각의 장단점을 가지고 있으며, 각각 부족한 부분들을 보완하는 방향으로 진화하고 있으나, 차세대 통신 시스템에서 요구되는 높은 계산량과 유연성 및 확장성 등을 단일한 형태로 구현하는 것은 매우 어렵다. 예를 들어 DSP의 경우 filter 구현에 사용

〈표 1〉 다양한 단말 모뎀 부품 비교[7]

	DSP	FPGA	ASIC
Programmability	High	Mid	Low
재구성 속도	Fast	Mid	Low
크기	Large	Large	Small
전력 소모	High	High	Low
계산 능력	Low	Mid	High

되는 연산을 보다 효율적으로 수행하도록 개선되고 있으나, 병렬 연산에 취약하며 큰 소비 전력이 문제가 되다. ASIC의 경우 저전력으로 고속 연산을 수행할 수 있으나, 재구성이 어려운 단점이 있다. 또한, FPGA는 재구성 능력은 있으나 전력 소모와 크기가 큰 문제가 있다.

이러한 구성 요소 들에 대한 대안으로 최근 등장하고 있는 것이 재구성형 하드웨어 기반 설계 기술이다. 재구성형 하드웨어는 ASIC과 DSP의 중간적인 특성을 가지며, 특정 목적에 맞게 모듈화 된 형태이다. 이러한 재구성형 하드웨어는 하드웨어 가속기(H/W Accelerator) 등의 이름으로 불리며, DSP에 적합하지 않은 연산 등을 보완해 주는 용도로 많이 사용되고 있다. 특히, 높은 복잡도를 요구하면서 여러 통신 시스템에서 사용되는 FFT, FIR 필터와 같은 고속 신호처리부, 채널 코딩/디코딩 모듈 등에 사용된다. 최근 Turbo Code나 LDPC 코드 등의 복잡도가 높은 채널 코딩 방식의 적용이 일반화 되면서 이러한 부분을 하드웨어 가속기를 이용하여 구현하는 방식의 칩들이 등장하고 있다.

하드웨어 가속기의 사용 외에 재구성형 프로세서 기술은 주요한 흐름은 프로세서 어레이를 사용하는 방식의 적용이다. 이러한 방식은 동일한 메모리와 버스를 공유하는 여러 개의 DSP 또

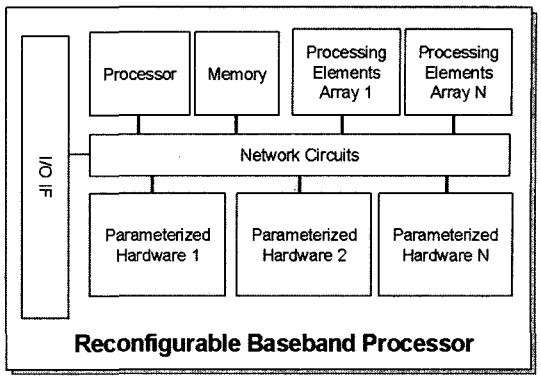
는 프로세싱 유닛들이 병렬로 연결된 구조를 가지고 있으며, 여러 작업들이 동시에 이루어지는 통신 프로세스에 적합한 구조이다. 반면, 이러한 방식의 경우 복잡도와 전력 소모가 높은 단점이 있으며, 단말에서는 수 개의 코어를 사용하는 방식이, 기지국에서는 보다 많은 수의 코어를 사용하는 방식의 칩이 등장하고 있다.

실제로 최근 등장하고 있는 여러 솔루션 칩들도 이러한 경향을 따르고 있으며, 동일한 구조를 가지는 여러 블록을 병렬로 연결하는 Multi Core 구조를 사용하는 칩도 다수 등장하고 있다. 일반적으로 최근 등장하는 재구성형 모뎀 칩 솔루션들은 다음과 같은 특징을 가지고 있다.

▷ 고속 신호처리, 채널코딩, 모뎀 제어 등의 구조로 모뎀을 세분화하여 각각 다른 종류의 하드웨어를 적용하는 구조
▷ 특정 블록에 대해 제한된 범위의 재구성이 가능한 ASIC을 사용하는 하드웨어 가속기(HW Accelerator)의 적용
▷ 대량의 MAC(Multiply and Accumulation) 연산에 효율적인 다수의 DSP를 병렬로 조합하는 Multi core 기반의 구성

ITU R WP8F의 SDR 보고서에서 나타난 기본적인 재구성형 기저대역 프로세서도 이와 같은 개념을 적용하여 크게 다음의 3가지 구조의 결합으로 이루어 질 것으로 보고 있으며, 이를 기반으로 한 재구성형 기저대역 프로세서의 일반 구조는 그림 3과 같다[2].

▷ 높은 프로그램 능력을 가지는 프로세서 어레이(Processing Element Array)
▷ 제한된 프로그램 능력을 가지나, 높은 연산 능력을 가지는, 특정 목적의 파라미터 제어형 하드웨어(Parameterized Hardware)
▷ 제어 등의 기능에 적용되는 CPU와 메모리



〈그림 3〉 재구성형 기저대역 프로세서 구조[2]

III. 재구성형 단말 모뎀 칩 개발 동향

재구성형 단말 모뎀 칩은 높은 계산량과 더불어 저전력을 요구하므로 설계 및 구현에 어려움이 있다. 기지국 측면에서의 성능 요건은 계산 능력인데 반해, 단말 모뎀에서 주요한 성능의 지표는 계산 성능과 MACs/mW 와 같이 표현되는 계산 당 요구 전력이 있다. 또한, 가격도 매우 중요한 요소이다. 최근까지 등장한 재구성형 모뎀 솔루션은 대부분 높은 연산 능력을 가지는 기지국 용 솔루션이 대부분이었으나 최근에 단말용 상용 솔루션이 등장하고 있다.

Sandbridge 사는 멀티코어/멀티thread 지원 DSP기반 단말 모뎀 솔루션인 SB3010을 이용하여 WCDMA 384kbps급 데이터 송수신을 시연하였다[8]. BitWave 사는 Softransceiver 라는 SDR 솔루션을 발표했다. 이 솔루션은 하나의 CMOS RFIC 칩 위에 RF와 AD/DA 컨버터 및 디지털 인터페이스 기능을 포함하고 있는데, RF

tuning 범위가 0.7~4.2 GHz에 이르며, 최대 20MHz의 대역폭을 수용하는 능력을 가지고 있다. ADI 사는 Blackfin이라는 DSP 프로세서를 이용한 단말 모뎀 솔루션인 Softfone을 발표했다. 이 외에도 Icera 사는 SDR 기반의 솔루션을 이용해 HSDPA category 7을 지원하는 데이터 카드를 출시했다. 또한, Morpho Technology는 Freescale의 RCF 기지국 솔루션에 적용되었던 RC array 기술을 이용한 단말 모뎀용 프로세서 코어 SOC 솔루션을 발표하였다.

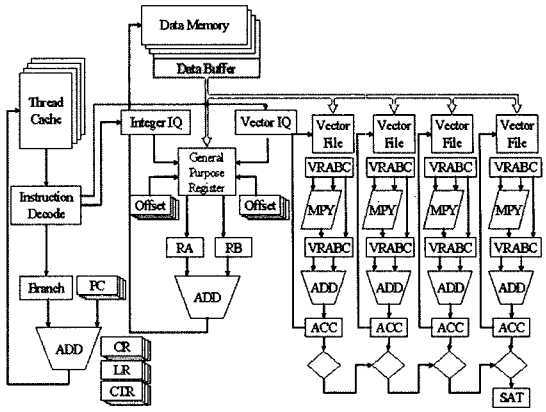
현재 출시되고 있는 솔루션들은 초기 단계의 상용 제품들로 최근 단말 모뎀 솔루션이 모뎀 프로세서 및 RF 칩셋, 어플리케이션 솔루션을 모두 포함하는 통합 솔루션으로 출시되는 것과 비교했을 때 경쟁력이 약한 것이 단점이다. 반면, 이러한 솔루션들은 시장의 수요를 확실히 알 수 없는 니치마켓 통신 시장에서 보다 효과적일 것으로 보인다.

Ⅳ. 재구성형 모뎀을 이용한 단말 플랫폼 설계

본 장에서는 SB3010을 이용하여 개발된 HSDPA TDD 단말 플랫폼을 소개한다.

1. SB3010 재구성형 모뎀의 특징

SB3010은 고집적, 다중모드, 다기능, S/W로 재구성이 가능한 저전력 디지털 기저 대역 processor 이며, pthread programming에 효율적인 DSP Core(SandBlaster™) 4개와 하나의 ARM Core로 구성된다. 또한, 단말 응용을 위한 다양한 인터페이스 기능을 제공한다[8]. SB3000은 단말용 솔루션으로 다른 재구성형 모뎀 칩 솔루션들에 비해 소



〈그림 4〉 Sandblaster DSP core 구조[8]

비 전력이 매우 낮다. 특히, 최적화된 컴파일러에 의해 매우 효율적인 병렬 처리를 수행할 수 있는 장점이 있다. 그림 4는 Sandblaster DSP core의 구조를 보여주고 있다.

Sandblaster는 pthread 기반의 프로그램을 효율적으로 지원하기 위해 총 8개의 H/W thread를 가지고 있다. 또한, 4개의 MAC 프로세서가 존재하여 필터 연산 등을 보다 효율적으로 지원한다.

다음은 SB3010의 특징을 나열한 것이다.

▷ 16 bit fixed point DSP Core
▷ 600 MHz Single Cycle Instruction Rate
▷ 최대 9.6 GMACs
▷ 효율적인 병렬 연산
(최대 32개의 multi thread 지원)
▷ 150MHz의 메모리 버스
▷ 1MB Integrated on core Memory
▷ 0.021mW/MMAC의 전력 소모
▷ 90nm 공정의 저전력 CMOS Process

Sandbridge사의 SB3010은 H/W 가속기를 사

〈표 2〉 HSDPA TDD 시스템의 특징

대역폭/칩속도	1.6MHz/1.28Mcps
이중화/다중화방식	TDD/ CDMA + TDMA
상하향 자원할당	1/6~6/1까지 변화가능
프레임구조	5ms 부프레임, 7 Timeslot
HSDPA최대 전송률	2.8Mbps
HSDPA TTI	5ms
수신기	Joint Detection 수신기
확산률	16 (하향), 1~16 (상향)
상향링크동기	폐루프 동기제어

용하지 않고 모든 모뎀 알고리즘을 DSP로 구현할 수 있으며, 특히 표준화된 POSIX 1.4 기반의 C 언어로 구현 가능하므로, 보다 높은 설계 유연성과 재사용성을 제공한다. 특히, 최적화된 컴파일러의 사용을 통해 보다 효율적인 모뎀 설계를 가능하게 한다.

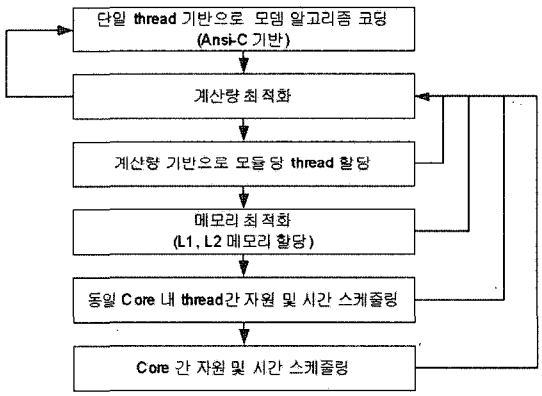
Sandbridge사는 SB3010을 이용하여 384kbps 전송률을 지원하는 WCDMA FDD를 약 3개의 DSP core로 구현할 수 있다고 발표했다.

다음 장에서는 앞서 소개한 Sandbridge 사의 SB3010 칩을 이용한 단말 플랫폼 개발의 예제를 살펴보기로 한다.

2. SB3010을 이용한 단말 플랫폼 개발

본 절에서는 SB3010을 이용한 HSDPA TDD 단말 플랫폼 개발 과정을 설명한다. 그림 5는 본 개발에서 사용된 SB3010을 이용한 단말 모뎀 개발 과정을 보여주고 있다.

전체 개발 과정은 크게 알고리즘 Coding, 계산량 최적화, thread 할당, 메모리 최적화, thread 스케줄링으로 나눌 수 있으며, 각각의 단계에서

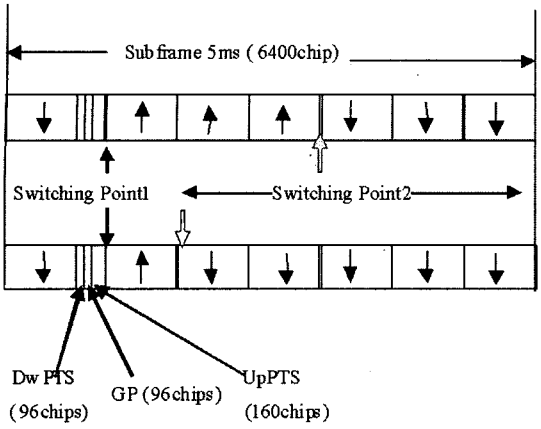


〈그림 5〉 SB3010을 이용한 모뎀 개발 과정

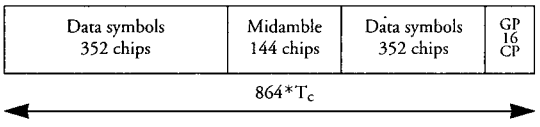
발생된 문제는 상호 연관되어 있기 때문에 상위 및 하위 단계에서의 변화는 반대로 하위/상위 단계의 수정이 요구된다. 그림 5의 과정을 한 주기라고 하면, 개발의 안정성을 위해 동일 과정이 여러 주기 반복된다.

본 개발에서는 IMT 2000의 표준 규격 중 하나로 중국 정부에 의해서 주도적으로 개발된 TD SCDMA를 기반으로 하였다. 개발된 HSDPA TDD 시스템의 특징은 표 2와 같다[9].

그림 6과 그림 7은 각각 TD SCDMA의 부프레임과 타임슬롯 구조이다[10]. 부프레임의 길이



〈그림 6〉 TD-SCDMA의 부프레임 구조

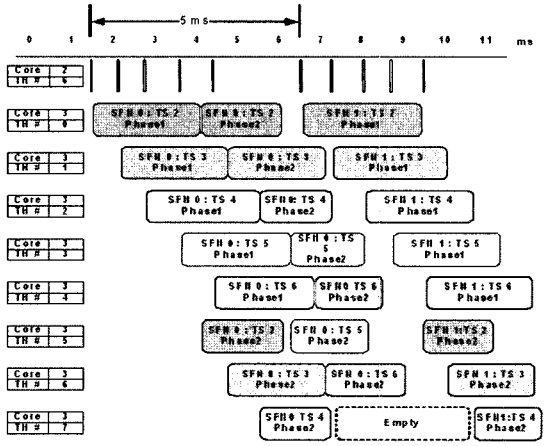


〈그림 7〉 TD-SCDMA의 타임 슬롯 구조

는 5ms이며, 첫번 째 하향링크 타임 슬롯과 두 번째 상향 링크 타임슬롯은 고정할당되며, 이후의 경우 Switching Point2의 이동에 따라 상/하향 타임슬롯 할당비가 1:6~6:1까지 가능하다. 본 개발에서는 하향링크에 전송량 증대가 핵심이므로 그림 6의 아래쪽 경우처럼 총 6개의 타임슬롯을 하향링크에 배치하였다.

HSDPA TDD 단말 모뎀 구현의 핵심 기술은 Joint Detection 수신기의 구현과 HSDPA의 높은 전송률을 지원하기 위한 채널 역다중화 및 디코딩 모듈의 구현이다.

TDD의 경우 낮은 스크램블 코드의 사용으로 인해 코드간 간섭이 심하며, 이를 제거하기 위해 Joint Detection 방식의 다중 사용자 수신기를 사용한다. Joint Detection은 다중 사용자 및 다중 경로에 의한 간섭을 제거하기 위해 등화기를 사용하며, 등화기 구현을 위한 역행렬 연산에 많은



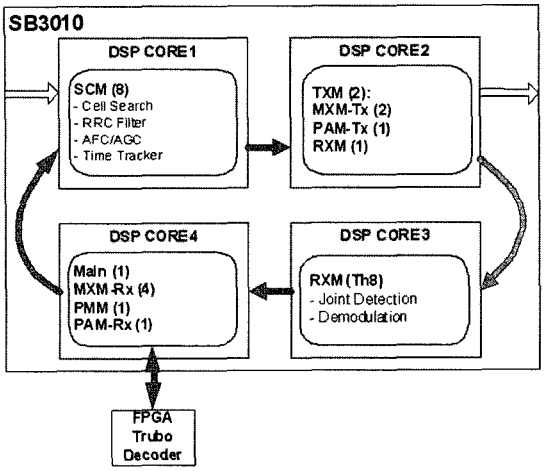
〈그림 8〉 다중 thread를 이용한 Joint Detection 구현

계산이 필요하다. 또한, HSDPA의 큰 전송블록의 크기로 인해 인터리빙, 터보 디코딩, H ARQ를 위해 큰 메모리가 요구된다. 특히, DSP를 이용한 구현에서 메모리의 문제는 핵심적이다.

그림 8은 8개의 thread를 이용하여 총 5개의 하향링크 타임 슬롯에 대한 Joint Detection을 수행하기 위한 시간 thread 스케줄 맵을 표시하고 있다. 각 타임 슬롯의 연산시간은 5ms 이내에 종료되어야 한다. 연산량 최적화를 통해 얻어진 전체 계산 시간이 5.9~7.1ms로 나타나게 되어 전체 연산을 하나의 phase 1연산과 두 개의 phase 2 연산으로 나눈 뒤, 이를 총 8개의 thread에 분산 배치하였다.

다음 표 3과 그림 9는 전체 모뎀 기능을 분화한 모듈과 각 모듈별로 Thread 할당한 예제를 보여준다. 하나의 thread가 75MHz의 동작속도를 지원하므로, 사전에 요구되는 계산량을 통해 thread를 할당하게 된다.

이렇게 할당된 thread는 4개의 코어에 여러가지 고려사항을 반영하여 그림 9과 같이 배치되었다. 추가적인 고려 사항으로는 모듈의 연관성과



〈그림 9〉 모듈 별 thread/코어 할당

〈표 3〉 모듈별 최대 계산량에 따른 thread 할당

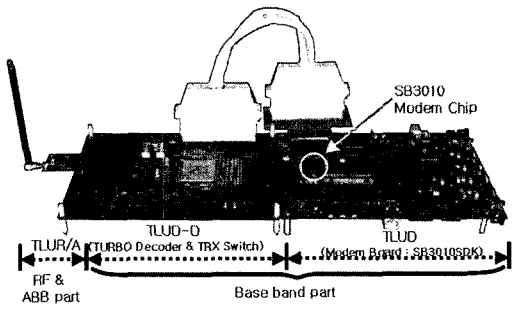
모듈	최대 계산량	Thread 요구량	Thread 할당량
SCM 동기모듈	515MHz	6.87	8
RXM 복조기	520 MHz	6.9	9
TXM 변조기	45 MHz	0.6	1
MXM Tx 채널인코딩	30 MHz	0.4	1
MXM Rx 채널디코딩/ DeMUXing	235 MHz	3.13	4
	1440 MHz (Turbo Decoder)	19.2	FPGA
PAM L2/3 연동	22 MHz	0.29	2
PMM 모뎀제어	26 MHz	0.347	1
Main			1
전체	1393MHz	18.57	27/32

코어 별 특징 구조에 기인한다. SB3010은 개별 코어에 256Kbyte의 L2 메모리를 가지며, 그림과 같이 한 방향의 링버스에 의해 전송된다. 링버스 전송이 효율적이기 위해서는 연산 순서대로 시계 방향에 위치해야 한다. 또 한가지 요소로 IQ RF 신호를 수신하는 것은 항상 코어1에서, 반대로 송신은 항상 코어2에서 수행되어야 한다.

이와 같이 thread 할당이 종료되면, 각 모듈에 대해 연산 시간 및 메모리 Access 시간에 대한 스케줄링을 수행해야 한다.

이와 같은 과정을 통해 HSDPA 기능을 가지는 단말 플랫폼을 총 27개의 Thread를 사용하여 구현하였으며, 이 값은 전체의 약 84%에 해당하는 값이다.

그림 10은 이와 같이 설계된 HSDPA TDD 단말 테스트 플랫폼을 보여주고 있다. 개발된 단말 플랫폼은 모뎀 보드인 TLUD와 Turbo Decoder 및 송수신 타이밍 제어를 위한 FPGA 보드인 TLUD D, RF 및 AD/DA 컨버터를 포함한 TLUR/A 보드의 3가지 부분으로 구성된다. TDD의 경우 송수신 타이밍의 정확도가 매우 중요하며, 특히 TD SCDMA의 경우 최소 1/8 chip (97.7ns)의 정확도를 가지고 전송되어야 한다. 이 값은 SB3010의 경우 총 7.3 DSP Clock에 해당한다. 이 정도의 정확도는 DSP 상에서 구현하는 것이 불가능하며, 본 플랫폼에서는 FPGA 상에 전송 버퍼를 두어 구현하였다.



〈그림 10〉 HSDPA TDD 재구성형 단말 플랫폼

RF/ABB 보드의 경우 직접 변환 방식을 사용하는 Maxim의 TD SCDMA Reference 디자인을 이용하였으나, 진정한 재구성형 단말 플랫폼을 위해서는 RF/ABB 부분에도 재구성이 가능한 플랫폼을 사용한 개발이 수행되어야 할 것이다.

V.결 론

본 논문에서는 차세대 통신 시스템의 핵심 기술로 평가되고 있는 재구성형 단말의 구조와 개발 동향을 살펴보았다. 또한, 실제 재구성형 단말 모뎀을 이용한 개발 예제를 통해 재구성형 단말의 구현 가능성을 확인해 보았다.

재구성형 단말은 제조 업체에 개발 기간의 단축, 칩 성능의 보장, 다양한 표준에 대한 재구성 능력 지원, 단일 하드웨어 플랫폼 사용 가능, 시장 변화에 대한 빠른 적응 등의 이득을 주며, 사용자에게는 소프트웨어 적으로 기능을 쉽게 확장할 수 있는 능력을 준다. 또한, 사업자 관점에서는 새로운 서비스의 빠른 망 적용 및 다양한 형상 전개 용이성 등의 장점이 있다.

최근 다양한 다중 접속 방식들이 등장하면서 재구성형 단말 모뎀에 대한 요구가 증가하고 있으며, 최근 들어 상용화 수준의 여러 모뎀 솔루션들이 등장하면서 이에 대한 관심도 높아지고 있다.

SDR 관점에서의 궁극적인 모뎀 칩은 fully programmable한 프로세서 형태가 되어야 할 것으로 보이나, 현 단계 솔루션들이 갖는 성능과 전력 소모 같은 한계로 인해서 구현에 어려움이 있다. 최근 등장하는 구조들은 현실성을 반영하여 블록들의 특징에 따라 다른 형태를 갖는 하이브리드 형태의 칩 솔루션들이 주류를 이룰 것으로 보인다.

또한, 최근 단말 모뎀은 RF에서부터 단말 응용 기능까지 모두 지원하는 패키지 형태로 공급되는 것이 추세이다. 또한, 멀티미디어 및 개인화 추세에 따라 단말의 통신 기능은 개인 멀티미디어 기기에 포함되는 부속 기능이 되어가고 있는 추세이다. 앞으로의 재구성형 단말 모뎀의 성공 여부는 이와 같은 시장의 트렌드를 만족하는 통합 솔루션의 개발 여부에 달려있을 것이다.

참고문헌

[1] Jacques Palkot, Christian Roland, "A New Concept for Wireless Reconfigurable receivers,", IEEE Comm. Mag. July 2003, pp.124 132.

[2] ITU R WP8F, "Report of the meeting of Working Group 8F," Dec. 2003.

[3] SDR Forum Technical Report 2.1, Nov. 1999.

[4] SDR Forum, "Input to ITU WP8F Report/ Recommendation on Advanced Technology", 2004 A0001, Jan. 2004.

[5] Tim Hentschel and Gerhard Fettweis, "Sample Rate Conversion for Software Radio," IEEE Comm. Magzine Aug 2000.

[6] H. Kalte,, "Dynamically Reconfigurable System on Programmable Chip," Proc. of EUROMICRO PDP, 2002.

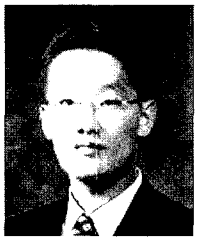
[7] 이승환, 조권도, 박성균, 이규대 "SDR에서의 하드웨어Reconfiguration," 대한전자공학회지 제30권 제4호, 2003. 4., pp:64 75.

[8] John Grossner et al, "A Software Defined Communications Baseband Design," IEEE Comm. Magazine, Jan.2003, pp120 128.

[9] Siemens White Paper, "TD SCDMA: the solution for TDD bands", March 2004.

[10] 3GPP TSG RAN TS25.221, "Physical channels and mapping of transport channels onto physical channel(TDD)".

저자소개



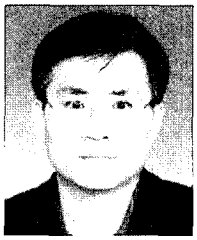
육 영 수

1996년 연세대학교 전자공학과 (학사)
1998년 연세대학교 전자공학과 (석사)
2003년 연세대학교 전기전자공학 (박사)
2003년 LG전자 UMTS시스템 연구소
2004년 - 현 재 LG전자 이동통신기술연구소
주관심분야 MIMO, Turbo Code, OFDM

박 순 준

1987년 고려대학교 전자공학과 (학사)
1989년 고려대학교 전자공학 (석사)
1989년 - 2000년 LG 정보통신 교환연구소
2000년 - 2003년 LG 전자 기간망 연구소
2003년 LG 전자 UMTS 시스템 연구소
2004년 LG 전자 이동통신기술연구소
주관심분야 이동통신기술, TDD기술, SDR

저자소개



오 민 석

1989년 연세대학교 전기공학과 (학사)
1996년 University of Surrey (석사)
2000년 University of Surrey (박사)
1989년 - 1995년 현대 전자 (산업 전자 연구소)
1999년 - 2001년 LG 전자 기술원
2001년 - 2003년 LG 전자 UMTS 시스템 연구소
2004년 - 현 재 LG 전자 이동통신기술연구소
주관심분야 Coding & Modulation, MIMO

최 진 성

1987년 서울대학교 제어계측공학과 (학사)
1994년 University of Southern California Electrical Engineering (석사)
1998년 University of Southern California Electrical Engineering (박사)
1987년 - 1989년 LG정보통신 TDX교환기 연구단
1989년 - 1992년 삼보컴퓨터 소프트웨어 사업본부
1998년 - 1999년 LG종합기술원
2001년 - 2003년 LG전자 UMTS 시스템 연구소
2004년 - 현 재 LG전자 이동통신기술연구소 소장 (상무)
주관심분야 IMT 2000, 무선인터넷, All IP