

---

# CMOS 링발진기의 전원 잡음에 의한 위상잡음과 Jitter 연구

박세훈\*

## A Study on Phase-Noise and Jitter due to the Power Supply Noise of the CMOS Ring Oscillator

Se-Hoon Park\*

### 요 약

전원 잡음에 의한 링발진기의 위상잡음과 jitter의 모델을 제시하고 시뮬레이션을 수행하여 모델의 타당성을 확인하였다. 링발진기의 전원 잡음은 협대역 위상변조에 의해 중심 주파수 양측면에 잡음 주파수만큼 간격을 두고 출력 잡음 신호가 나타나는 위상잡음으로 나타났다. 또한 전원 잡음에 의한 jitter의 선형 모델을 제시하였고, 시뮬레이션에 의해 jitter가 잡음 진폭의 크기에 비례하여 발생하는 것을 확인하였다.

### ABSTRACT

Models for the phase noise and jitter of the ring oscillator with the power supply noise are suggested and verified by simulations. The power supply noise is converted into the phase-noise by the narrow band phase modulation. The phase-noise appears as sideband frequencies apart from the center frequency of the ring oscillator as much as the frequency of the power supply noise. A jitter model describing the linear relation of jitter with the amplitude of the power supply noise is suggested and verified by simulation.

### 키워드

링발진기, 위상잡음, jitter, 협대역위상변조

## I. 서 론

링발진기는 집적화가 가능한 특성과, 저전력을 소모하는 특성으로 인해 통신시스템 [1]-[2], 하드디스크 드라이브[3], 마이크로 프로세서 등 다양한 응용 분야에서 사용되고 있다. 대부분의 응용에서 voltage-controlled oscillators (VCO's) 회로로 사용되며 phase locked loop (PLL) 회로에 포함되어 발진기의 역할을 수행한다.

현대의 이동통신 수요의 증가로 GSM과 같은 국제표준이 요구하는 낮은 위상 잡음과 저전력 소모 VCO에 대

한 관심이 높아지고 있다[4]-[6]. VCO 회로의 주파수의 순수도, 전력 소모와 같은 주요 파라메타는 링발진기의 성능에 의해 좌우되기 때문에 링발진기의 위상잡음과 jitter에 대한 이해는 필수적이다.

정확한 링발진기의 잡음 모델은 많은 수학적 계산이 필요하지만, 간단한 모델은 발진기의 신속한 해석과 설계에 큰 도움이 된다. 이러한 모델은 잡음이 미치는 영향을 간단한 수식으로 연계하여 회로에 미치는 영향을 쉽게 이해하게 한다.

본 연구에서는 전원 잡음이 링발진기의 위상잡음과

jitter에 미치는 영향에 대한 간단한 모델을 제시한다. 그리고 제시된 모델의 타당성을 시뮬레이션을 통하여 검증한다.

간에 따라 변하는 위상을 가진 구형파이며 다음 식으로 주어진다.

$$v_{out} = Agf[\omega_0 t + \theta(t)] \tag{1}$$

## II. 링발진기에서의 위상잡음과 Jitter의 문제점

CMOS 회로는 여러 가지 잡음에 노출되어 있다. 반도체 소자 자체에 의한 1/f 잡음, 비연속적인 전류의 흐름에 의한 shot noise, 인근 회로에 의한 간섭 잡음, 그리고 일정하지 않은 전원에 의한 잡음을 들 수 있다. 회로의 응용에 따라 나타나는 잡음의 가중치가 다르지만, 일반적으로 회로의 동작에 가장 많은 영향을 미치는 잡음은 전원 잡음이다.

링발진기의 위상잡음과 jitter는 각각 주파수 영역과 시간 영역에서 정의되는 신호의 잡음 특성이다. 위상잡음은 출력 신호가 주파수 영역에서 임펄스 형태로 나타나지 않고 중심 주파수를 중심으로 좌우로 감소하는 출력 특성을 보이는 현상이다. 이러한 현상은 RF 통신에서 채널간의 간섭을 일으켜 bit-error-rate를 증가시키는 주요 원인이 된다. 따라서 위상잡음은 채널의 수를 제한하는 원인이 되기도 한다.

Jitter는 일정한 시간 간격 내에서 신호 주기의 변화가 없으면 그 값이 '0'이지만, 신호 주기가 임의의 잡음에 의해 변화할 때 발생한다. 즉 이상적인 천이 시간을 중심으로 신호의 천이 시간이 변동하는 특성이다. 이러한 jitter는 스위칭 순간의 불확실성을 야기하여 클럭에 동기 되어야 할 디지털 시스템의 동기 문제를 일으키고, 타이밍 마진을 크게 하여 시스템의 속도를 저하시킨다.

본 연구는, 위상잡음과 jitter를 동시에 다룸으로써 전원 잡음에 의한 신호특성을 보다 더 의미 있게 밝힐 수 있다. 주파수 영역 특성과 시간 영역 특성은 서로 보완 관계에 있기 때문이다.

함수  $f$  는 주파수가  $\omega_0$  인 주기 함수를 의미한다. 링발진기에 입력된 전원 잡음은  $\theta(t)$  를 변화시켜 협대역 위상변조를 일으킨다. 함수  $f$  가 정현파인 경우 협대역 위상변조 식은 다음과 같다.

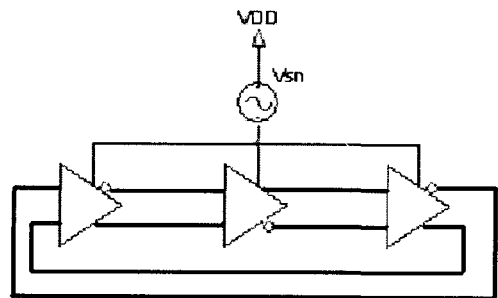
$$f(t) = \cos \omega_0 t - k_p \cos \omega_n t \sin \omega_0 t \tag{2}$$

여기에서  $k_p$  는 위상변조계수,  $\omega_0$  는 링발진기의 기준 주파수,  $\omega_n$  는 전원 잡음 주파수이다. 협대역 위상변조는 주파수 천이에 의해 전원 잡음의 주파수를 링발진기의 주파수 천후( $\omega_0 \pm \omega_n$ )로 천이 시킨다. 이러한 주파수 천이를 확인하기 위해 다음과 같이 simulation을 수행하였다.

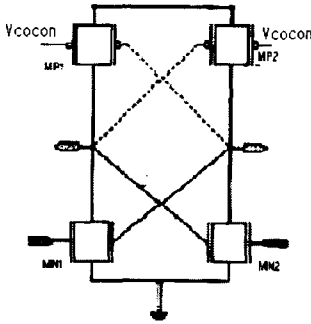
전원 전압 잡음에 의한 링발진기 출력 신호의 위상잡음과 jitter를 분석하기 위해 정현파 잡음을 전원 전압원과 직렬로 연결하였다(그림 1 (a)). 직렬 연결된 전원과 잡음원은 회로에 일정한 전압이 아닌 잡음에 의해 변화하는 전압 값을 공급하게 된다. 그림 1 (b)는 시뮬레이션에 사용된 단위 인버터의 회로도이다. 디지털 회로에서 발생하는 모든 잡음은 다수의 정현파 신호의 합으로 표현될 수 있기 때문에, 정현파 잡음신호가 전원잡음을 재현하기 위해 사용되었다.

## III. CMOS 링발진기의 위상잡음과 Jitter의 모델

전원 잡음에 의해 발생하는 출력신호의 위상잡음과 jitter의 모델을 제시한다. 먼저 링발진기의 출력을 주파수 영역에서 다루는 협대역변조에 의한 위상잡음 모델에 대해 살펴본다. 링발진기의 출력은 일정한 주파수  $\omega_0$  와 시



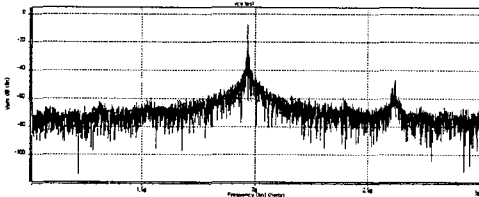
(a) 링발진기 회로 다이어그램



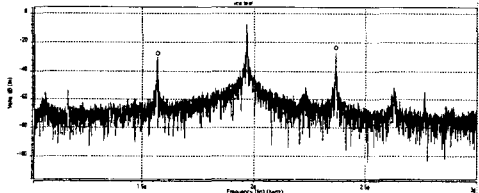
(b) 단위 인버터 회로

그림 1. 전원 잡음을 가진 링발진기 회로. VDD=3.3 V  
Fig. 1 Schematics of the ring oscillator with the power supply noise. VDD=3.3 V

그림 2는 링발진기의 출력을 주파수 영역에서 나타낸 것이며, 전원 잡음이 있을 경우와 없을 경우를 비교 하였다. 그림 2 (a)의 전원 잡음이 없는 링발진기의 기본 출력 주파수는 1.95 GHz이지만 (b) 주파수가 400 MHz인 전원 잡음이 인가 될 경우 링발진기의 출력 신호는 1.95 GHz와 함께 1.95 ±0.4 GHz에 잡음 신호가 나타났다. 그림 2 (b)에서 원으로 표시된 주파수가 전원 잡음에 의한 신호이다. 이는 전원 잡음이 협대역 위상변조에 의해 출력신호에 나타남을 확인해 준다.



(a) Without supply noise



(b) With supply noise

그림 2 (a)전원 잡음이 있을 때와 (b)없을 때의 스펙트럼. 작은 원이 표시된 피크가 전원 잡음에 의해 생긴 주파수 이다.

Fig. 2 Comparison of output spectrums of ring oscillator (a) without and (b) with the power supply noise source; peaks with small circles are due to power supply noise.

전원 잡음의 영향은 시간영역에서 jitter로 나타난다. 링발진기의 출력 주파수  $f$  는 다음 식과 같이 각 단위 인버터의 지연시간  $t_d$  에 의해 결정된다.

$$f = \frac{1}{2nt_d} \tag{3}$$

여기에서  $n$ 은 링발진기를 구성하는 인버터의 숫자이며  $t_d$  는 각 인버터의 지연시간이다. 본 연구에서는 3단 인버터로 구성된,  $n=3$ 인 링발진기가 사용되었다. 링발진기의 출력신호의 주기는 각 인버터 출력 노드의 충전/방전 주기에 의해 결정된다. 또한 출력신호의 주기는 주파수의 역수이며 인버터의 지연시간에 비례한다. 전원 잡음에 의해 영향을 받은 충전/방전은 변화된 인버터의 지연시간으로 나타나며 결과적으로 jitter로 나타난다.

전원 잡음에 의한 지연시간의 변화가 주기의 변화 즉 jitter로 나타나는 현상을 충전의 경우에서 설명한다. 인버터의 충전식은 다음과 같다.

$$\int i_c dt = CV_{DD} \tag{4}$$

여기에서  $t_c$  는 충전시간,  $i_c$  는 충전 전류,  $C$ 는 인버터 전체 부하 커패시턴스,  $V_{DD}$  는 전원 전압이다. 평균 충전 시간  $\overline{t_c}$  는 평균 지연시간  $\overline{t_d}$  와 일치한다는 가정을 하면 식 (4)는 다음 식으로 간소화 된다.

$$\overline{t_c} \overline{i_c} = CV_{DD} \tag{5}$$

여기에서  $\overline{i_c}$  는 평균 충전 전류이며; 정해진 게이트 전압에서의 저항영역 전류와 포화 영역 전류의 평균값이다. 전원 전압에 의해 변화된 주기  $T$  는 식 (5)을 이용하면  $V_{DD}$  함수로 다음과 같이 주어진다.

$$T = T_0 + \frac{C}{i_c} V_{DD} \tag{6}$$

식 (6)의 양변의 미분식과, 주기의 변화는 jitter라는 정의에 의해 다음 식을 얻는다.

$$jitter = \Delta T = K \Delta V_{DD} \tag{7}$$

여기에서  $K$  는 전원 잡음  $\Delta V_{DD}$  와 jitter사이의 비례상수이다.

식 (7)에 의하면 jitter는 전원의 변화에 비례한다. 이러한 모델을 확인하기 위해 정현파 전원 잡음의 진폭을 변화 시키면서 잡음의 한 주기 동안 신호의 천이를 관찰하여 jitter를 측정하였다. 그림 3은 측정된 jitter의 eye diagram이다. 이때 사용된 전원 잡음의 진폭은 0.1 V, 주파수는 500 MHz이다.

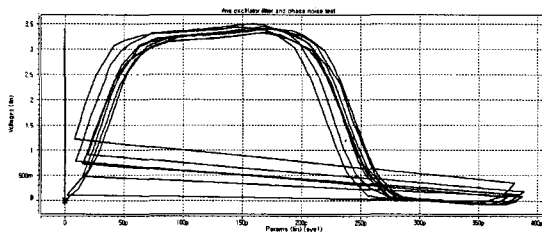


그림 3 주파수 500 MHz 0.1 V 진폭을 가진 전원 잡음에 의한 eye diagram  
 Fig. 3 An eye diagram of 3 stage ring oscillator with the power supply noise of 0.1 V amplitude at the frequency of 500 MHz.

그림 4는 주파수 500MHz의 전원 잡음신호의 진폭을 0.2 V까지 증가시키면서 jitter를 시뮬레이션 한 것이다. 식 (7)의 모델의 예측과 같이 진폭과 jitter가 비례함을 보여준다. 사용된 링발진기의 jitter vs. 잡음진폭의 선형식의 기울기는 6.06 ps/V이다. 즉 본 연구에 사용된 링발진기에서 jitter의 크기는 전원잡음의 진폭에 비례상수 6.06 ps/V를 곱한 값이다. 비례상수값은 사용된 인버터 회로에 따라 다른 값을 가질 것으로 예상되며, 식 (7)은 전원 전압에 의한 jitter 값을 예상하는데 유용하게 사용될 수 있다.

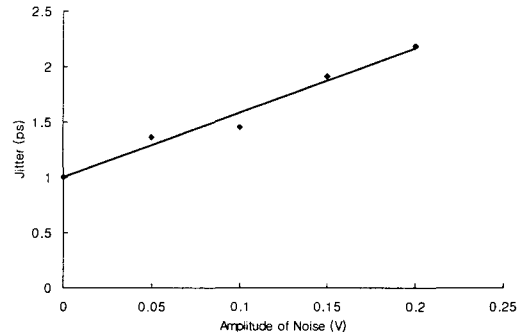


그림 4 jitter vs. 전원 잡음 진폭 그래프  
 Fig. 4 A graph of jitter vs. the amplitude of the power supply noise.

#### IV. 결론

전원 전압 잡음에 의한 CMOS 링발진기의 위상잡음과 jitter를 연구하였다. 위상잡음은 전원 잡음의 협대역 위상 변조로 모델링 되었다. 협대역 위상변조의 주파수 천이에 의해 전원 잡음의 주파수가 링발진기의 주파수 전후 ( $\omega_0 \pm \omega_n$ )로 천이 되는 현상이 시뮬레이션에 의해 확인되었다. 이러한 사실에 기초하여, 실제 전원 잡음은 다수의 정현파의 합이므로, 링발진기의 위상잡음은 각 정현파 잡음의 협대역 위상변조를 합한 것으로 추측할 수 있다.

위상잡음은 시간영역에서 jitter로 나타난다. Jitter가 전원 잡음에 의한 인버터 출력 노드의 충전/방전 시간의 변동에 의해 일어나며 그 크기는 전원 잡음의 진폭에 비례함을 나타내는 모델을 제시하였다. 시뮬레이션에 의한 eye diagram을 이용하여 jitter와 전원 잡음진폭 사이의 관계를 얻었다. 시뮬레이션은 jitter와 전원 잡음진폭이 선형 관계에 있음을 보여준다.

제시한 위상잡음과 jitter 모델은 VCO를 설계할 때 링발진기에 나타나는 잡음의 특성을 이해하는데 유용하다.

참고문헌

- [1] L. DeVito, J. Newton, R. Croughwell, J. Bulzacchelli, and F. Benkley, "A 52 MHz and 155 MHz clock recovery PLL," in ISCC Dig. Tech. Papers, 1991, pp. 142-143.
- [2] A. W. Bucheald, K. W. Martin, A. K. Oki, and K. W. Kobayashi, "A 6-GHz integrated phase-locked loop using AlGaAs/GaAs heterojunction bipolar transistors," IEEE J. Solid-State Circuits, vol. 27, Dec. 1992, pp. 1752-1762.
- [3] M. Horowitz, A. Chan, J. Cobrunson, J. Gasbarro, T. Lee, W. Leung, W. Richardson, T. Thrush, and Y. Fujii, "PLL design for a 500Mb/s interface," in ISSDD Dig. Tech. Papers, Feb. 1993, pp. 160-161.
- [4] J. Craninckx and M. Steyaert, "A CMOS 1.8 GHz low-phase-noise voltage-controlled oscillator with prescaler," in Proc. IEEE ISSCC, San Francisco, CA, Feb. 1995, pp. 266-267.
- [5] T. S. Aytur and B. Razavi, "A 2 GHz 6-mV BiCMOS frequency-synthesizer," IEEE J. Solid-State Circuits, vol. 30, pp.1457-1462, 1995.
- [6] B. Razavi, "A 1.8 GHz CMOS voltage-controlled oscillator," in IEEE proc. ISSCC, San Francisco, CA, Feb. 1997, pp. 388-389.

저자소개

박 세 훈(Se-Hoon Park)



1980년 경북대학교 전자공학 학사  
1982년 경북대학교 전자공학 석사  
1983~1986년 현대전자 반도체 사업부  
1992 미국 아리조나 주립대학 공학  
박사

1993~1995년 한국 전자 통신 연구원 반도체 연구소  
2005년~현재 안동대학교 전자공학과 부교수  
※ 관심분야: 집적회로 설계, PLL 설계, SoC 설계