

연산기능을 갖는 새로운 진동성 신경회로의 하드웨어 구현

Hardware Implementation of a New Oscillatory Neural Circuit with Computational Function

송한정^{*}
Han Jung Song

인제대학교 나노공학부

요약

연산기능을 갖는 새로운 진동성 신경회로를 설계하여 $0.5 \mu\text{m}$ CMOS 공정으로 칩 제작을 하였다. 제안하는 진동성 신경회로는 흥분성 시냅스를 가진 3개의 신경진동자와 억제성 시냅스를 가진 1개의 신경진동자로 이루어진다. 사용된 진동자는 가변 부성저항과 트랜스콘덕터를 이용하여 설계하였다. 진동자의 입력단으로 사용되는 가변 부성저항은 가우시안 분포의 전류전압 특성을 지니는 범프 회로를 이용하여 구현하였다. 뉴럴 회로의 SPICE 모의실험결과 간단한 연산기능을 확인하였다. 제작된 칩을 $\pm 2.5 \text{ V}$ 의 전원전압 조건에서 측정하였고 이를 모의실험결과와 비교 분석하였다.

Abstract

A new oscillatory neural circuit with computational function has been designed and fabricated in an $0.5 \mu\text{m}$ double poly CMOS technology. The proposed oscillatory circuit consists of 3 neural oscillators with excitatory synapses and a neural oscillator with inhibitory synapse. The oscillator block which is a basic element of the neural circuit is designed with a variable negative resistor and 2 transconductors. The variable negative resistor which is used as an input stage of the oscillator consist of a bump circuit with Gaussian-like I-V curve. SPICE simulations of a designed neural circuit demonstrate cooperative computation. Measurements of the fabricated neural chip in condition of $\pm 2.5 \text{ V}$ power supply are shown and compared with the simulated results.

Key words : 부성저항, CMOS, 신경진동자, 신경회로, OTA

1. 서 론

최근 연구에 의하면, 신경망 조직에 어떤 외부의 흥분성 자극이 주어질 경우 신경망 내의 뉴런들은 일정한 펄스 열을 나타내는 진동성 진동자의 특성을 지니며 이러한 진동성 뉴런들이 신경망의 연산기능을 수행하는 것으로 밝혀진 바 있다[1-5]. Freeman이나 Victor의 후구 조직 모델 등[2,6]이 대표적이며 이러한 진동자를 기본 요소로 하는 모델들은 복잡한 뇌의 연상기억 및 연산능력을 위한 국부 진동으로 이루어지는 신경망을 제안한다는 점을 공통된 특징으로 들 수 있다. 이와 같은 일련의 모델들에 대한 신경망의 하드웨어 구현에 대한 다양한 시도가 있어왔다. Barreco의 히스테리시스(hysteresis) 현상을 이용한 회로[4] 라든지, Moon의 CMOS 인버터 체인을 응용한 회로[3] 또는 Luo의 트랜스콘덕터와 연산증폭기로 구성하는 회로[6,7] 등이 그 대표적인 예라 할 것이다. 그러나 아직까지는 초보적 차원으로 간단한 신경진동자(neural oscillator) 구현 정도에 머무르고 있는 것이 사실이어서 시스템 차원의 진동성 신경망 구현에는 여전히 많은 연구와 심도있는 모색이 있어야 할 것으로 사료된다. 본 연구에서는 가변 부성저항(negative resistor)으로 동작하는 진동자를[8] 이용하여 연산기능을 갖는 간단한 신경

회로를 설계하고 이를 집적회로 하드웨어로 구현하여 그 특성을 분석한다. 먼저, 2장에서는 입력단 신호의 취합기능을 지닌 부성저항으로 동작하는 진동자의 설계 및 이의 SPICE 모의실험결과를 살펴본다. 3장에서는 흥분성 및 억제성 시냅스 회로 설계와 몇 개의 진동자를 연결하여 연산기능을 갖는 신경회로를 설계한다. 4장에서는 제안하는 신경회로를 $0.5 \mu\text{m}$ 2중 폴리 2중 금속 CMOS 공정으로 제작하고 칩 측정결과 및 분석을 보이고 5장에서 결론을 냅둔다.

2. 취합 기능을 갖는 신경진동자

진동성 신경회로의 기본 요소가 되는 진동자는 연결 시냅스와 외부 입력의 취합 기능을 가져야 한다[4,11]. 본 논문의

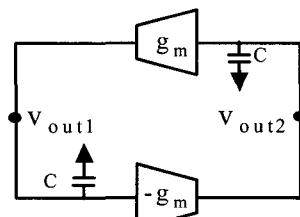


그림 1. 커패시터와 트랜스콘덕터로 이루어지는 이상적인 결합진동자

Fig. 1. Ideal coupled oscillator using transconductor(OTA)s and capacitors

접수일자 : 2005년 10월 5일

완료일자 : 2006년 2월 11일

감사의 글 : 본 논문은 2004년도 인제대학교 학술연구 조성비 지원을 받아 수행되었습니다.

신경회로에 사용되는 신경진동자 구현을 위하여 이상적인 결합 진동자(coupled oscillator) [9]를 기본 개념으로 설정하였다. 그림 1은 2개의 커페시터와 OTA(트랜스콘덕터)로 이루어지는 이상적인 결합진동자이다.

이 회로는 다음과 같은 1계 미분 방정식으로 해석될 수 있다.

$$\begin{aligned} C \frac{dV_{out1}}{dt} &= g_m \cdot V_{out2} \\ C \frac{dV_{out2}}{dt} &= -g_m \cdot V_{out1} \end{aligned} \quad (1)$$

여기에서, g_m 은 OTA의 트랜스콘덕턴스, V_{out1} 및 V_{out2} 는 노드 전압을, C 는 콘덴서 용량을 의미한다. 전형적인 $C=1\text{ pF}$, $g_m=1\text{ uS}$ 를 사용했을 때, 식 (1)에 대한 MATLAB 모의실험 결과는 기준전압 2.5 V에 대하여 그림 2(a)의 V_{out1} 과 V_{out2} 의 위상궤적에 보이듯이 완전한 진동을 보인다. 그러나 실제 OTA의 출력콘덕턴스(g_o)는 0이 아닌 유한한 값을 갖기 때문에 이를 고려하면, 식 (1)은 식 (2)와 같이 표현된다.

$$\begin{aligned} C \frac{dV_{out1}}{dt} &= g_m \cdot V_{out2} - g_o \cdot V_{out1} \\ C \frac{dV_{out2}}{dt} &= -g_m \cdot V_{out1} - g_o \cdot V_{out2} \end{aligned} \quad (2)$$

여기에서 $g_o=50\text{ nS}$ 의 경우, MATLAB 모의실험 결과는 그림 2(b)에 나타나듯이 출력 V_{out1} 과 V_{out2} 파형이 수렴하여 궁극적으로 진동이 일어나지 않게 된다 [8].

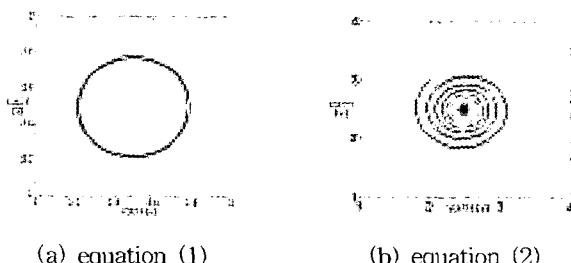
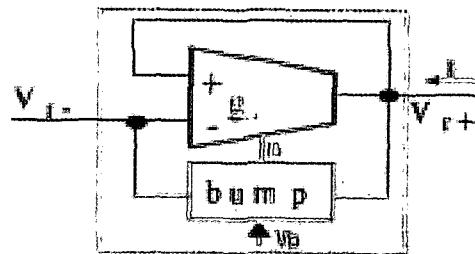


그림 2. <그림 1>에 대한 모의실험 결과 (위상궤적)
Fig. 2. Simulation results of <Fig. 1> (phase plots)

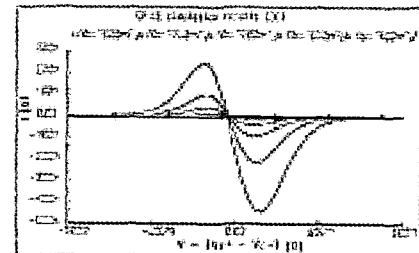
그러므로 완전한 진동을 위하여는 실제 OTA의 출력 콘덕턴스를 통하여 소모되는 전하를 보상하기 위한 방법이 필요하다. 또한 본 논문에서는 진동을 일으키는 전하공급 소자 기능 뿐 아니라 시냅스를 통하여 다른 신경진동자들과 연결되는 입력단 역할을 수행할 수 있는 조건이 요구된다. 이러한 기능을 갖는 새로운 부성저항을 그림 3(a)에 나타내었다 [8]. 이 회로는 하나의 트랜스콘덕터를 정궤환 형태로 연결하여 범프(bump) 회로[10]에서 나오는 제어전류 I_b 에 의해 저항 값이 가변되도록 한다. 여기에서 V_{r+} 와 V_{r-} 는 입력 두 단자에 나타나는 전압을 의미하며 저항 R 은 다음과 같이 표현될 수 있다.

$$R = \frac{V_{r+} - V_{r-}}{I} \quad (3)$$

그림 3 (a)에 대한 SPICE 모의 실험결과가 그림 3(b)에 나타나 있다.



(a) block diagram of the negative resistor



(b) SPICE simulated I-V characteristics

그림 3. 신경진동자용 가변 부성저항
Fig. 3. Variable negative resistor for neural oscillator

그림 3 (b)에서 횡축은 저항 양단간 전압차 ($V_{r+} - V_{r-}$), 직축은 출력전류 I 를 나타내며, 각 곡선은 입력 제어전압 V_b 의 변화 (0.8 V ~ 0.6 V)에 따른 전류전압 특성곡선으로 원점 부근에서 전류의 기울기가 (-)가 되는, 즉 부성저항 영역이 존재함을 알 수 있다. 입력 제어전압 V_b 에 따라 부성저항의 크기가 달라지는데, 부성 저항의 I-V (전류-전압) 특성은 크게 3가지로 구분된다. 우선은 저항이 무한대인 즉, 전류가 0인 영역과 정 (+)의 저항을 지니는 영역, 그리고 부 (-)의 저항을 지니는 영역으로 구분된다. 원점 부근에서 입력 제어전압 V_b 에 따라 가변되는 부성저항 영역이 두개의 굴곡점 사이에서 나타난다.

본 논문에서는 앞서 언급한 가변 부성저항을 능동 전하공급 소자로서 그림 4와 같이 연결하여 이를 해결한다. 여기에서 비선형 부성 저항은 출력 콘덕턴스를 통해 소모되는 전하를 보상해 주는 전하공급 소자 역할을 한다. 한편 신경회로의 신경진동자 기능이 이루어지려면 다른 진동자간 시냅스로 연결되어 임계 값 이상에서 진동발화 할 수 있어야 한다. 제안하는 부성 저항의 입력단이 이러한 역할을 한다. 신경진동자의 구체적인 CMOS 회로도 및 SPICE 모의실험 결과를 그림 5에 나타내었다.

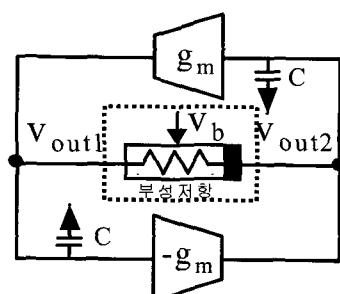
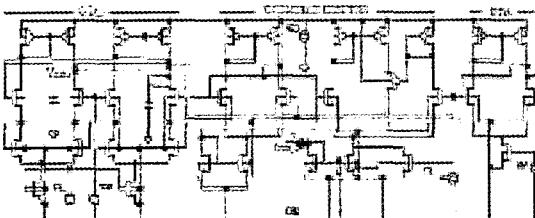
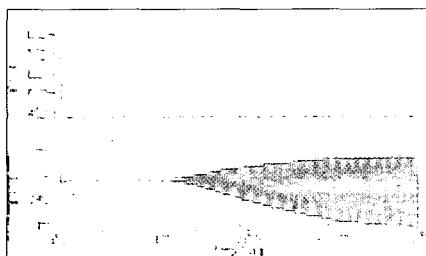


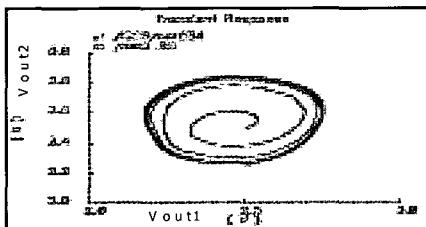
그림 4. 부성 저항을 사용하는 신경진동자
Fig. 4. Practical neural oscillator with negative resistor



(a) CMOS circuit



(b) linear sweep input



(c) phase plot (input = DC 0.7 V)

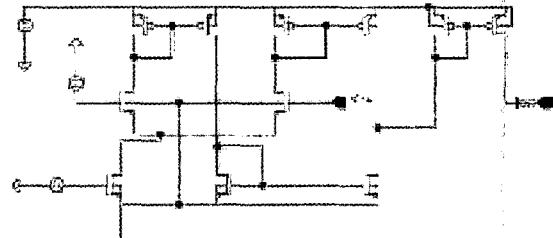
그림 5. 신경진동자의 SPICE 모의실험 결과
Fig. 5. SPICE simulation results of the neural oscillator

그림 5(a)에서 2개의 트랜스 콘덕터는 다이오드 연결 단순 OTA를 사용하였고 신경진동자의 빠른 수렴을 위하여 또 다른 부케환 더미 트랜스콘덕터를 추가하였다. 제안하는 회로는 입력단의 I_{sum} 에 연결되는 외부 신호 또는 시냅스를 통해 나타나는 다른 신경진동자의 조건 여부에 따라 출력의 진동발화 여부가 결정된다. 결국 입력단에 나타나는 신호의 총합이 어떤 임계값 이상의 경우에만 펄스열이 생성된다. 그림 5(b)는 어느 입력 0.5 V 이상의 임계전압 이후에 진동자가 진동모드로 발화하는 것을 SPICE 분석으로 보여주고 있다. 그림 5(c)는 DC 0.7 V 입력조건에 대한 두 출력 V_{out1} 과 V_{out2} 의 위상쾌적 위상 쾌적이다.

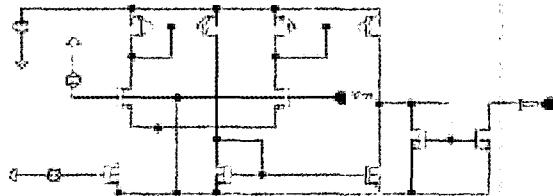
3. 진동자와 시냅스로 이루어지는 신경회로

제안하는 신경진동자는 신경회로의 기본 요소로 사용될 수 있다. 먼저 본 논문에 적합한 시냅스를 설계하였는데, 광역 트랜스콘덕터에[11] 전류 source 또는 전류 sink를 연결하여 각각 진동자의 발화를 유도하는 흥분성 시냅스와 발화된 진동자 기능을 억제하는 억제성 시냅스를 구성하였다. 이러한 시냅스는 진동자의 출력으로 나오는 전압파형을 정류된 전류파형으로 변환시켜 그림 5(a)의 회로도에 표시된 입력단의 전류 총합을 나타내는 I_{sum} 에 연결되며 임계 값 여부에 따라 진동성 출력의 발화 여부가 결정된다. 그림 6 (a), (b)는

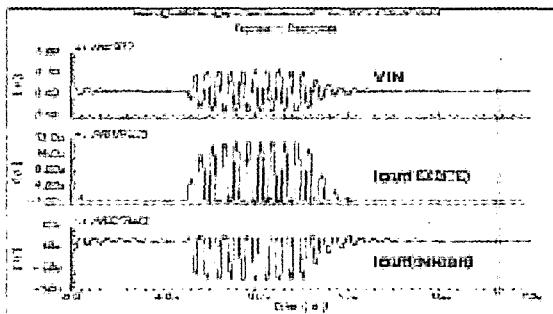
설계한 신경진동자의 흥분성 (excitatory) 및 억제성 (inhibitory) 시냅스 회로를 보여준다. 그림 6 (c)는 흥분성 및 억제성 시냅스 회로의 SPICE 해석 결과로 진동성 입력 전압에 대하여 각각 상반된 반파 전류파형을 나타낸다.



(a) excitatory synapse circuit



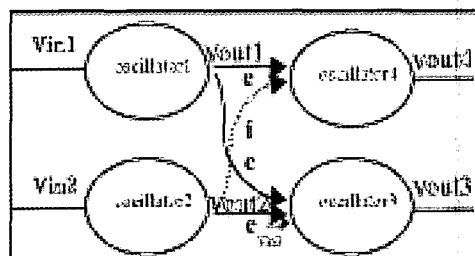
(b) inhibitory synapse circuit



(c) SPICE simulation results

그림 6. 제안하는 신경회로의 시냅스
Fig. 6. Synapses for proposed neural circuits

본 논문에서 제안한 신경진동자가 신경회로 내에서 정상적인 동작을 하는지, 즉 각 입력단의 취합 기능과 임계 값 이상에서의 진동자 발화 기능, 또 흥분성 및 억제성 시냅스 기능 확인을 위하여 흥분성 및 억제성 시냅스로 연결되는 네트워크 회로를 그림 7과 같이 구성하였다. V_{out1} 및 V_{out2} 는



e : excitatory (흥분성), i : inhibitory (억제성)

그림 7. 4개의 신경진동자와 시냅스로 이루어진 신경회로
Fig. 7. Simple neural circuit with 4 neural oscillators and synapses

각각 진동자 1 및 2의 출력전압이고, Vout3 및 Vout4는 진동자 1 및 2의 상호 시냅스 연결된 진동자 3, 4의 출력 전압을 나타내며, 어느 경우든 임계 입력 값 이상에서는 진동성으로 발화하게 된다.

외부 입력으로서 half-overlapped 50 khz (duty cycle 50%) 구형파 펄스를 각각 Vin1,2에 인가하고, Vin3에 펄스 입력을 인가하였을 경우의 SPICE 모의실험 결과를 그림 8에 나타내었다.

홍분성 시냅스로만 연결된 진동자 3은 입력으로 들어오는 Vout1 또는 Vout2 중 하나라도 진동모드 상태에 있을 경우와 직접적인 입력 In3의 신호 여부에 따라 진동성 출력(out3)을 나타낸다. 그러나 홍분성 시냅스와 억제성 시냅스로 연결된 진동자 4는 오직 진동자 1의 진동과 진동자 2의 무진동 모드에만 진동성 출력(out4)을 나타낸다. 이 SPICE 모의 실험을 통하여 신경진동자는 신경회로 시냅스 연결시 기본적인 입력 취합 기능과 임계치 여부에 따른 진동 발화 현상 등 정상적인 동작을 할 수 있다.

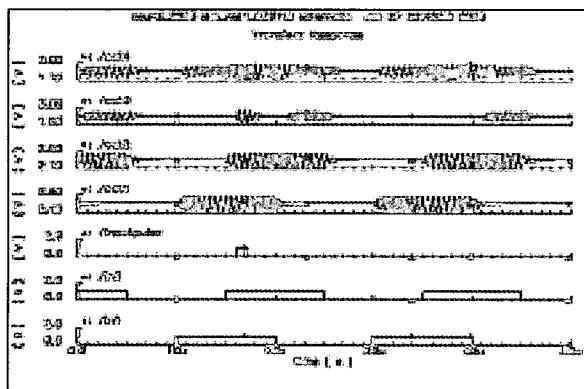
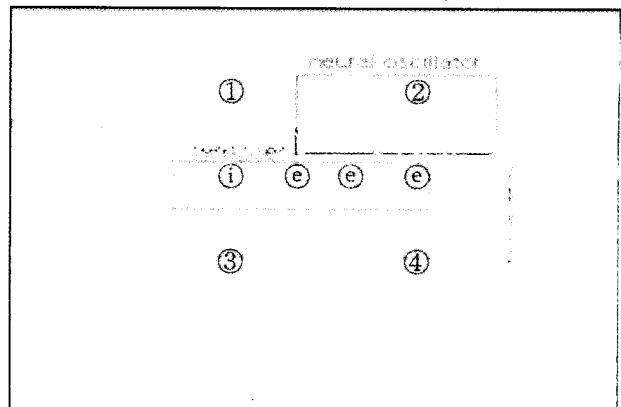


그림 8. <그림 7>의 신경회로에 대한 SPICE 모의실험결과
Fig. 8. SPICE simulation results of the neural circuit in <Fig. 7>

4. 진동성 신경회로의 칩 제작 및 측정

본 논문의 회로는 $0.5\mu m$ 2중 폴리 2중 메탈 CMOS 공정을 사용하여 40 pin DIP 패키지 형태로 제작되었고 전체 칩 크기는 $1500\mu m \times 1500\mu m$ 로, 신경진동자의 블록과, 그림 7에 제안한 신경회로를 삽입하였다. 제작된 신경회로는 $2 pF$ 용량의 커패시터를 사용하는 4개의 신경진동자와, 3개의 홍분성 시냅스, 1개의 억제성 시냅스로 이루어진다.

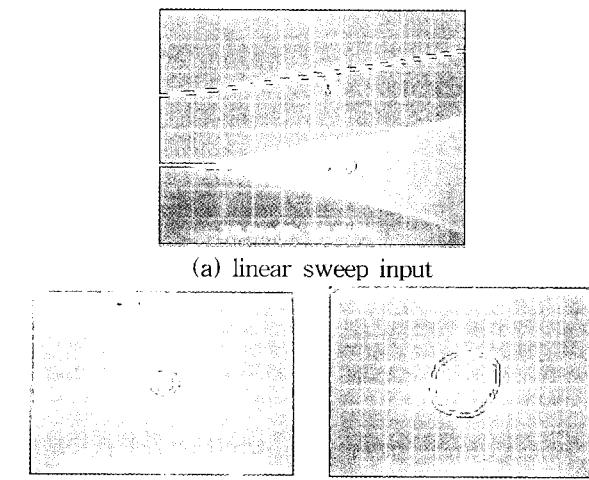
측정 및 분석은 40 pin DIP 소켓과 브래드 보드를 사용하여 오실로스코프 및 반도체 소자 분석기 등을 이용하여 실시하였다. 그림 10 (a)는 신경회로에 사용된 진동자의 측정 결과로 외부 입력 Vb를 선형 sweep 전압을 인가했을 때의 출력파형으로서 SPICE 모의실험에서 확인한대로 (그림 5(b)) 어느 임계 값 이상에서 진동성 출력으로 발화됨을 알 수 있다.



①, ②, ③, ④ : neural oscillator, ④ : excitatory synapse,
① : inhibitory synapse

그림 9. 제작된 <그림 7>의 신경회로 칩 사진

Fig. 9. Microphotograph of the fabricated neural circuit in <Fig. 7>



(a) linear sweep input

(b) input = (DC 0.5 V)

(c) input = DC 0.7 V

그림 10. 단일 신경진동자의 위상궤적 측정 측정결과

Fig. 10. Measured phase plots of a single neural oscillator

그림 10 (b) 와 그림 10 (c)는 입력으로 각각 직류전압 0.5 V 및 0.7 V를 인가했을 때의 출력 Vout1, 2에 의한 위상 특성으로 입력전압에 따라 발화 진동 폭이 커지는 선형 특성을 보이고 있다.

한편, 제작된 신경회로의 특성을 확인하기 위하여 입력 Vin1 및 Vin2의 전압 펄스에 따른 출력 out1, out2, out3, out4가 어떻게 나타나는지를 측정하였다. 그림 11(a)는 입력에 DC 전압을 0으로 했을 경우로 출력이 모두 0으로 나오며, (b)는 입력 Vin1 및 Vin2를 각각 0 및 1로 한 경우, (c)는 입력 Vin1 및 Vin2를 각각 1 및 0으로 한 경우이며, (d)는 입력 Vin1 및 Vin2를 각각 1 및 1로 한 경우로 그림 8에 있는 SPICE 모의실험에서의 출력 결과와 동일한 특성을 나타내고 있음을 알 수 있다.

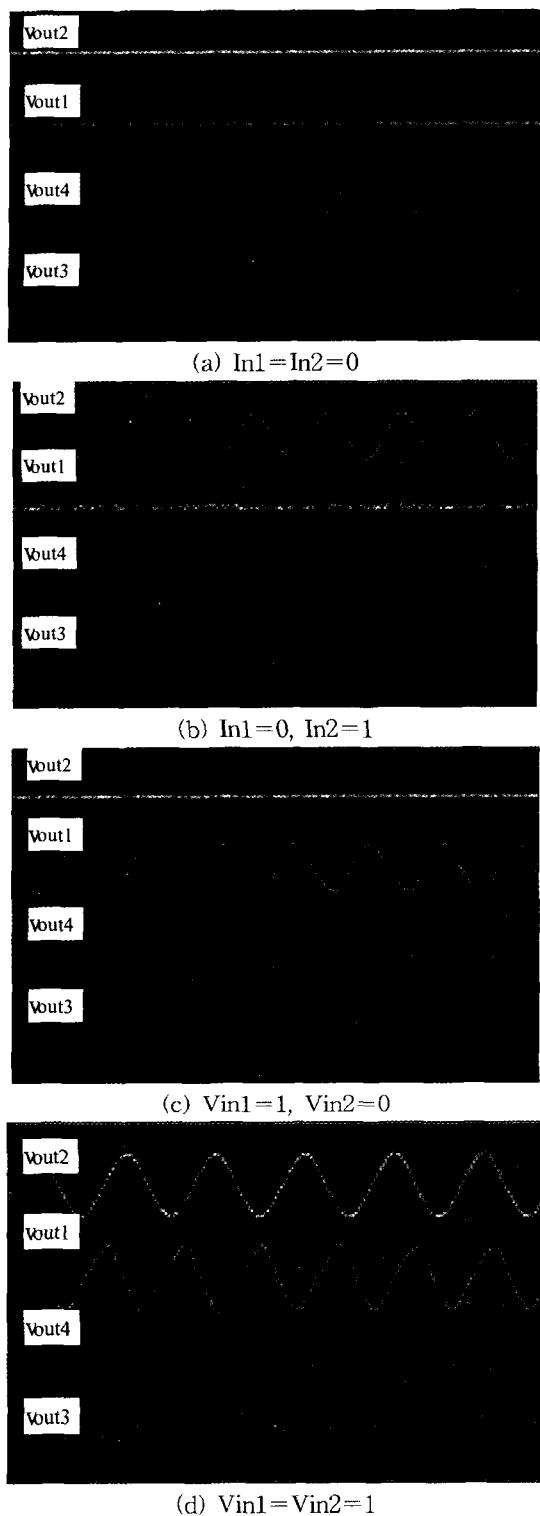


그림 11. 제작된 신경회로 측정결과

Fig. 11. Measured results of the fabricated neural circuit

4. 진동성 신경회로의 칩 제작 및 측정

본 논문에서 4개의 신경진동자와 3개의 홍분성 시냅스, 1개의 억제성 시냅스로 이루어지는 진동성 신경회로를 설계하여 연산 기능을 분석하였다. 제안한 회로는 범프 회로의 출

력을 제어 전류원으로 하는 새로운 형태의 가변 부성저항으로 동작하는 신경진동자로 이루어지며 그 특성을 $0.5 \mu\text{m}$ 2중 폴리 2중 CMOS SPICE 파라메타를 사용하여 분석하였으며, 진동성 신경회로에서 요구하는 특정 임계치 이상의 입력 값에서만 발화 즉, 진동하는 특성을 보였다. 시냅스의 억제성 또는 홍분성 여하에 따른 상호영향을 분석하였다. 한편 제작된 진동성 신경회로는 $\pm 2.5V$ 전원으로 구동시켜 입력 조건에 따라 출력이 어떻게 변하는지 등을 측정하여 모의실험결과와 비교, 분석하였다. 본 논문에서 제안하는 회로는 향후 진동성 신경회로에 유용하게 활용될 수 있을 것으로 사료된다.

참 고 문 헌

- [1] D. Terman, D. L. Wang, "Global competition and local cooperation in a network of neural," *Physica D*, 81, pp.148-176, 1995.
- [2] W. J. Freeman, Y. Yao, B. Burke, "Central pattern generating and recognizing in olfactory bulb: A correlation learning rule," *Neural Networks*, vol. 1, pp. 227-288, 1988
- [3] G. Moon, M. Zaghloul, and R. Newcomb, "CMOS Design of Pulse Coded Adaptive Neural Processing Element using Neural-Type Cells," *IEEE International Symposium on Circuits and Systems*, San Diego, CA, pp. 2224 - 2227, May, 1992
- [4] B. Linares-Barranco, E. Sanchez-Sinencio, A. Rodriguez-Vazquez, J.L. Huertas, "CMOS Analog Neural Network Systems based on Oscillatory Neurons," *IEEE International Symposium on Circuits and Systems*, pp. 2236 - 2239, May, 1992.
- [5] Y. Ota and B. M. Wilamowski, "CMOS implementation of a pulse-coded neural network with a current controlled oscillator," *IEEE International Symposium on Circuits and Systems*, Atlanta, GA, pp. 410 - 413, May, 1996
- [6] V. M. G. Tavares, J. C. Principe, J. G. Harris, "A silicon olfactory bulb oscillator," *IEEE International Symposium on Circuits and Systems*, pp. 397-400, Geneva, Switzerland, May 2000.
- [7] Q. Luo, J.G. Harris. "A novel neural oscillator and its implementation in analog VLSI," *IEEE International symposium on Circuits and Systems*, pp. 245-248, Australia, May 2001.
- [8] H.J. Song, J.G. Harris. "A CMOS neural oscillator using negative resistance," *IEEE International symposium on Circuits and Systems*, pp. 152-155 Thailand, May 2003.
- [9] K. D. Neff, B. K. Meadows, E. A. Brown, S. P. DeWeerth, P. Hasler, "A CMOS coupled nonlinear oscillator array," *IEEE International Symposium on Circuits and Systems*, pp. 301-304, Phoenix, Ariz, May 2002.
- [10] T. Delbruck, "Bump Circuits for Computing Similarity and Dissimilarity of Analog Voltage," *Proceedings of International Joint Conference on*

Neural Networks, July 8-12, 1991, Seattle WA,
pp I-475-479.

- [11] Carver Mead, Analog VLSI and neural systems, Addison-wesley publishing company, 1989.

저자소개



송한정(Han Jung Song)

관심분야 : 신경회로, 센서, 집적회로, 소자, 신뢰성 등

Phone : 055-320-3873

Fax : 055-320-3631

E-mail : hisong@inje.ac.kr