

외란에 강인한 새로운 구조의 3상 Phase-Locked Loop

Novel Structure of 3-Phase Phase-Locked Loop with Stiffness against Disturbance

裴炳烈* · 韓炳文† · 朴用熙** · 曹胤瑚**

Byung-Yeol Bae · Byung-Moon Han · Yong-Hee Park · Yun-Ho Cho

Abstract - PLL is a key item of power converter for power quality compensation and power flow control. This paper proposes a novel 3-phase PLL that is composed of ALC and PI controller. The operational principle was investigated through theoretical approach, and the performance was verified through computer simulations with MATLAB and experimental works with TMS320VC33 DSP board. The proposed 3-phase PLL shows accurate performance under the voltage disturbances such as sag, harmonics, phase-angle jump, and frequency change.

Key Words : PLL(Phase-Locked Loop), ALC(Adaptive Linear Combiner), Delta-rule, PI controller, Voltage Disturbance, 계통연계용 전력변환기

1. 서 론

전력계통에 연계하여 운용되는 전력변환기에서 계통전압의 위상을 정확히 검출하는 것은 제어의 정밀도를 높이는데 있어서 가장 중요한 요소이다. 위상검출에 의해 생성된 기준전류 또는 기준전압은 역률보상, 유무효전력제어, 고조파 전류 보상 등을 수행하기 위해 계통전압과 동기를 필요로 하기 때문이다. 하지만 실제 계통전압은 선로의 고장이나 연계된 비선형부하에서 발생하는 고조파전류의 영향으로 불평형 상태이고 왜곡된 상태로 되어 있다[1]~[3]. 더욱이 앞으로 전력전자기기의 보급이 증가함에 따라 계통전압은 더 많은 양의 고조파를 함유하게 될 것으로 예측된다.

전력계통과 연계된 전력변환기에서는 왜곡된 전압과형 조건과 여러 가지 선로사고에 의한 불평형 상태에서도 계통전압의 정확한 위상검출과 강인하고 빠른 제어특성이 요구된다. 그렇지 않으면 전력변환기의 기준전류 또는 전압이 계통전압 위상과의 오차가 커지고, 나아가서 전력변화 시스템의 전체 제어특성에 악영향을 미치게 된다. 이러한 이유로 왜곡된 전압전압 하에서의 전력변환기제어에 대해 많은 연구가 수행되어왔고 또한 이런 조건하에서 정확한 위상검출을 위해 많은 연구가 수행되어왔다.

안정된 단상전원에서 계통전압의 위상을 검출하는 방법으로는 전압전압의 영점을 검출하는 영점교차 PLL(zero-crossing Phase Locked Loop)과 d-q 축 상에서 단상을 3상

으로 확장하여 가상의 3상 PLL을 구성하는 방법이 있다. 그러나 이 두 가지방식의 경우 왜곡된 전원의 고조파 영향을 피할 수 없다[4], [5]. 그리고 왜곡된 3상 전원조건에서의 안정된 위상검출방식은 동기좌표계상에서의 PI 계수의 조정에 의한 특성을 구현한 방식, 동기좌표계상에서 LPF(low-pass filter)를 추가한 형태로 고조파에 대해 강인한 특성을 구현한 방식, 그리고 적응필터(adaptive filter) 개념을 적용한 방식 등이 있다. 동기좌표계상에서 구현한 방식은 특정 외란을 회피할 목적으로 구현됐으므로 다른 외란에 대해서는 강인하지 못한 특성을 보이며 적응필터(adaptive filter)를 적용한 방식은 대체로 강인한 특성을 보이나 구현이 복잡한 단점을 갖고 있다[4]~[6].

본 논문에서는 먼저 delta-rule을 적용한 ALC (Adaptive Linear Combiner)와 PI(Proportional Integral)제어기로 구성된 새로운 단상 PLL시스템을 제안하였다. 그리고 이것을 확장하여 3상 정상성분의 위상을 검출하기 위한 이론적 접근을 시도하여 외란에 강인한 새로운 3상 PLL시스템을 제안하였다. 제안하는 시스템의 동작 원리는 먼저 이론적인 접근으로 분석하였고 MATLAB 소프트웨어에 의한 시뮬레이션을 통하여 그 우수성을 입증하였다. 또한 하드웨어적으로 구현할 때 타당성을 검증할 목적으로 TMS320VC33 DSP 보드를 이용한 실험을 실시하였다.

2. 이론적 접근

이상적인 3상 전원 전압은 일반적으로 다음과 같은 식으로 정의한다.

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \begin{bmatrix} \sqrt{2} V_s \sin(\omega t) \\ \sqrt{2} V_s \sin(\omega t - 2\pi/3) \\ \sqrt{2} V_s \sin(\omega t + 2\pi/3) \end{bmatrix} \quad (1)$$

† 교신저자, 正會員 : 明知大 工大 電氣工學科 教授 · 工博
E-mail : erichan@mju.ac.kr

* 學生會員 : 明知大 工大 電氣工學科 博士課程

** 學生會員 : 明知大 工大 電氣工學科 碩士課程

接受日字 : 2005年 9月 27日

最終完了 : 2005年 11月 14日

식 (1)의 3상 전압을 식 (2)의 Park's 변환행렬에 의해 3상/2상변환하면 식 (3)과 같이 된다.

$$\begin{bmatrix} v_{ds} \\ v_{qs} \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (2)$$

$$\begin{bmatrix} v_{ds} \\ v_{qs} \end{bmatrix} = \begin{bmatrix} \sqrt{3} V_s \sin \omega t \\ -\sqrt{3} V_s \cos \omega t \end{bmatrix} \quad (3)$$

식 (3)은 3상에 정상성분만 존재한다는 가정하에서의 d-q 축 값이다. 식(3)을 더 일반화 시키면 식 (4), (5)와 같이 표현이 가능하다.

$$v_{ds}^p = \sqrt{3} V_s^p \sin(\omega t + \theta_p) \quad (4)$$

$$v_{qs}^p = -\sqrt{3} V_s^p \cos(\omega t + \theta_p) \quad (5)$$

여기서, v_{ds}^p , v_{qs}^p , 그리고 θ_p 는 각각 정상성분 전압의 d, q 축 값, 그리고 위상이다.

그리고 역상성분이 존재 한다면 식 (6), (7)과 같은 식으로 표현 가능할 것이다.

$$v_{ds}^n = \sqrt{3} V_s^n \sin(\omega t + \theta_n) \quad (6)$$

$$v_{qs}^n = \sqrt{3} V_s^n \cos(\omega t + \theta_n) \quad (7)$$

여기서, v_{ds}^n , v_{qs}^n , 그리고 θ_n 는 각각 역상성분 전압의 d, q 축 값, 그리고 위상이다.

식(4)와 (6)을 그리고 식(5)와 (7)을 각각 산술합한 것은 역상성분이 존재하는 일반적인 3상 전압의 d-q 축 값이 된다. 이것은 다음 식과 같이 표현된다.

$$v_{ds} = \sqrt{3} V_s^p \sin(\omega t + \theta_p) + \sqrt{3} V_s^n \sin(\omega t + \theta_n) \quad (8)$$

$$v_{qs} = -\sqrt{3} V_s^p \cos(\omega t + \theta_p) + \sqrt{3} V_s^n \cos(\omega t + \theta_n) \quad (9)$$

식(8)과 (9)에 보이는 바와 같이, 여타 고조파가 없다고 가정하면 v_{ds} 와 v_{qs} 는 정상성분과 역상성분의 합으로 구성된다.

여기서 정상성분 검출방식의 한 가지 힌트를 얻을 수 있는데 그것은 식(8)과 (9)의 각 축 값에 직교하는 성분을 알 수 있다면 역상성분뿐만 아니라 정상성분을 얻을 수 있다는 것이다.

식 (8)과 (9)를 90°위상지연 시키면 식 (10)과 (11)과 같이 된다.

$$v_{qs}' = -\sqrt{3} V_s^p \cos(\omega t + \theta_p) - \sqrt{3} V_s^n \cos(\omega t + \theta_n) \quad (10)$$

$$v_{ds}' = -\sqrt{3} V_s^p \sin(\omega t + \theta_p) + \sqrt{3} V_s^n \sin(\omega t + \theta_n) \quad (11)$$

식 (8)에서 (11) 행 후 2로 나누어주면 정상성분의 d 축 값을 얻을 수 있으며 같은 방식으로 (9)에서 (10)을 더한 후 2로 나누어주면 정상성분의 q 축 값을 얻게 된다.

위와 같은 목적을 달성하기 위해 실제적으로 적용되는 가장 대표적인 방법은 전역통과필터(all-pass filter)를 사용하여 90° 뒤진 값을 얻어서 정상성분을 검출해내는 방법이다[5].

본 논문에서는 위의 전역통과필터(all-pass filter)를 사용하

는 대신 ALC를 이용한 단상 PLL을 고안하고 이를 확장하여 외란이 존재하는 상황에서 정상성분의 위상을 검출하는 3상 PLL을 고안하였다.

3. 제안하는 새로운 단상 PLL

이상적인 전원 전압은 일반적으로 다음과 같은 식으로 정의한다.

$$v = V_M \sin(\omega t + \theta) \quad (12)$$

위식을 삼각함수 합의 정리에 의하면 다음과 같다.

$$\begin{aligned} v &= V_M \sin(\omega t + \theta) \\ &= V_M \cos(\theta) \sin(\omega t) + V_M \sin(\theta) \cos(\omega t) \end{aligned} \quad (13)$$

식(13)의 최종 정리된 부분의 첫 번째 항과 두 번째 항을 살펴보면 θ 에 의해 좌우되는 크기성분과 정현파 성분인 $\sin(\omega t)$ 와 $\cos(\omega t)$ 로 구성됨을 알 수 있다. 다시 말하면 식(13)에 보이는 바와 같이 임의의 $\sin(\omega t)$ 성분과 $\cos(\omega t)$ 성분의 크기를 적절히 조절하면 전원전압 v 를 생성할 수 있음을 보인다.

이를 위해 신경망(neural network)의 기본인 ALC (Adaptive Linear Combiner)를 적용하였다.

식(13)을 delta-rule을 적용한 ALC의 각 파라미터에 대해 정리하면 식 (14), (15), 그리고 (16)으로 표현된다.

$$\hat{Y} = WX \quad (14)$$

여기서 \hat{Y} 은 추정된 값이며, weighting factor인 W 벡터와 X 벡터는 다음과 같다.

$$W = [V_M \cos(\theta) \quad V_M \sin(\theta)] \quad (15)$$

$$X = [\sin(\omega t) \quad \cos(\omega t)]^T \quad (16)$$

식(15)에서 W 의 첫 번째 원소는 편의상 W_1 , 두 번째 원소는 W_2 로 부호화 하였으며, 식 (16)에서 X 의 첫 번째 원소는 X_1 , 그리고 두 번째 원소는 X_2 로 부호화하였다.

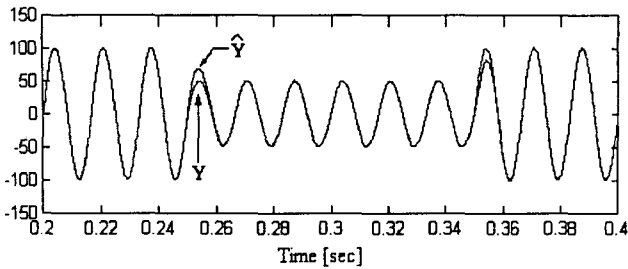
weighting factor, W 벡터의 적용에는 delta-rule이 적용되었고 그 식은 다음과 같다[7].

$$W(k+1) = W(k) + \alpha \frac{X(k)e(k)}{X(k)^T X(k)} \quad (17)$$

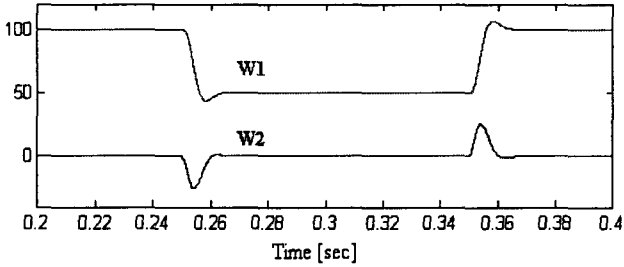
식(17)에서 α 는 $0 < \alpha < 2$ 의 범위를 갖는 값으로 delta-rule ALC 시스템의 안정도와 추종속도 또는 대역폭과 관련된 값이다. α 는 경험에 의해 0.066으로 설정하였다.

이렇게 구성된 ALC를 시험하기 위해 $100\sin(\omega t)$ 을 입력으로 시뮬레이션을 실시하였다. 그림 1은 원 신호의 50% 크기 변화시 추종하는 모습을 보인다.

그림 1에서 얻어진 weighting factor 성분들은 식(13)에서의 사인(sine)과 코사인(cosine)파형의 크기에 해당한다. 식 (13)을 다시 정의하면 식 (18)과 같이 나타낼 수 있다.



(a) 원 신호 Y와 추종치 \hat{Y}



(b) W1과 W2

그림 1. ALC에 의한 원신호 추종

Fig. 1. Tracking original signal by ALC

$$V_A \sin(\omega t + \theta) = V_A \cos(\phi) \sin(\omega t + \psi) + V_A \sin(\phi) \cos(\omega t + \psi) \\ = V_{M \sin} \sin(\omega t + \psi) + V_{M \cos} \cos(\omega t + \psi) \quad (18)$$

여기서, $\phi + \psi = \theta$ 이다.

식 (18)에서 X 벡터인 단위 사인(sine)과 코사인(cosine)의 위상을 제어하여 $V_{M \cos}$ 을 0으로 수렴시키면 첫 번째 항만 남게 되어 X_1 인 $\sin(\omega t + \psi)$ 의 위상은 원 신호인 $V_A \sin(\omega t + \theta)$ 의 위상과 같아진다. 즉 ψ 와 θ 는 같아진다. 이러한 원리로 본 논문에서 제안한 delta-rule을 적용한 ALC에 PI제어기를 추가한 형태를 그림 2에 나타내었다.

코사인(cosine)의 크기인 W_2 를 0으로 수렴시키는 방법으로 추종 신호의 크기에 해당하는 $\sqrt{W_1^2 + W_2^2}$ 과 W_2 의 비를 이용하여 X 벡터의 위상을 변화시키는 방법을 이용하였다. 직교하는 두 성분 X_1 과 X_2 의 크기에 해당하는 W_1 과 W_2 의 합성 벡터의 크기는 $\sqrt{W_1^2 + W_2^2}$ 이 되므로 그림 2의 $W_2 / \sqrt{W_1^2 + W_2^2}$ 는 벡터 크기 $\sqrt{W_1^2 + W_2^2}$ 에 대한 W_2 의 성분비가 된다. 그러므로 $W_2 / \sqrt{W_1^2 + W_2^2}$ 를 예러로 취하는 PI제어기의 비례상수와 적분상수는 $\sqrt{W_1^2 + W_2^2}$ 즉, Y신호의 크기와 무관하게 된다.

4. 단상 PLL 타당성 검증

그림 2의 시스템을 다음과 같은 조건에서 매트랩(Matlab) 툴을 이용하여 시뮬레이션을 실시하였다. 이 조건들은 계통에서 일어날 수 있는 여러 가지 이벤트 조건에서도 delta-rule을 적용한 단상 PLL시스템이 위상검출을 원활히 수행하는지 평가하기 위함이다. 이를 위해 표 1과 같이 시뮬레이션 시나리오를 작성하였다.

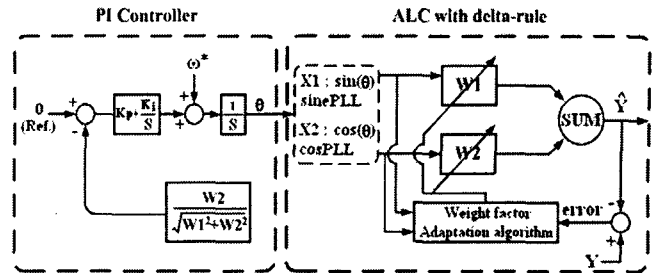


그림 2. delta-rule을 적용한 단상 PLL 시스템

Fig. 2. single-phase PLL system using delta-rule

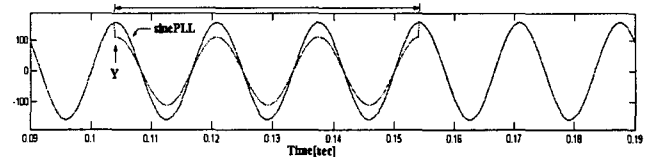
표 1. 시뮬레이션 시나리오

Table 1. Simulation scenario

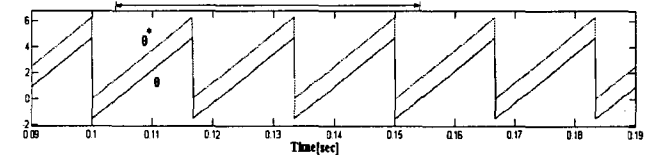
전원전압	110Vrms
Event	
전압강하(Sag)	30%
고조파(Harmonics)	1st : 100%, 5th: 22.6%, 7th : 10.5%, 11th: 7.3%, 13th: 4.7%
위상각 점프 (Phase-angle jump)	20°
주파수 변화 (Frequency variation)	60Hz to 65Hz

시뮬레이션 결과 파형에서 sinePLL은 전압신호와 비교를 위해 편의상 155배를 취하였다. 그리고 θ^* 와 θ 의 구분을 위해 θ 에 -0.5π 옴셋을 두었다.

그림 3은 30% 전압강하시 위상검출 결과를 보인다. 전압강하는 0.104s에 시작하여 0.154에 끝나게 되는데 이때의 최대 위상오차는 0.0476[rad]으로 2.7°에 해당된다. 이 값은 제안하는 PLL 시스템을 적용한 제어시스템이 0.0001s의 제어주기를 갖을 때 한 주기 지연에 해당하는 위상값이다.



(a) 전압강하 발생시 전압신호 Y와 생성된 기준 sinePLL

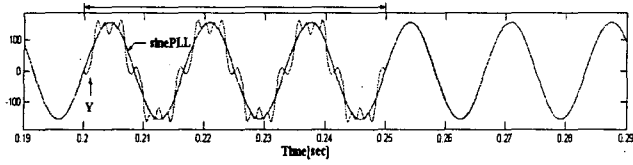


(b) 전압강하 발생시 전압신호 위상과 검출된 위상

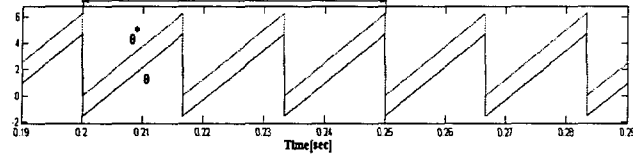
그림 3. 전원 전압강하 발생 시 시뮬레이션 결과

Fig. 3. Simulation results in voltage sag.

그림 4는 고조파 발생 시 위상검출 결과를 보인다. 이 때 전압 신호의 기본파 위상과 검출된 위상의 오차는 0.04[rad]으로 2.29°에 해당된다. 이 값은 30% 전압강하시의 오차보다 작은 값에 해당된다.



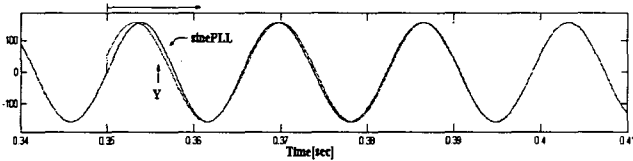
(a) 왜곡된 전압신호와 생성된 기준 sinePLL



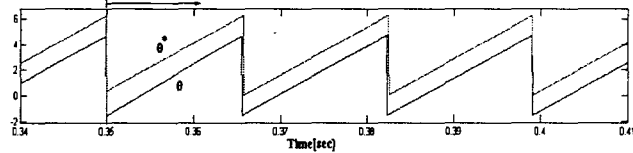
(b) 전압신호 기본파성분의 위상과 검출된 위상
 그림 4. 전원전압 고조파 발생 시 시뮬레이션 결과
 Fig. 4. Simulation results in voltage harmonics

그림 5는 20°의 위상각 점프(phase-angle jump)시 위상검출 결과를 보인다. 이 때 전압 신호의 위상을 2주기 이내에 추종한다.

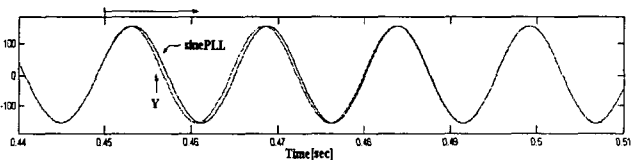
그림 6은 전압신호의 주파수가 60Hz에서 65[Hz]로 계단(step)변화 시 위상 추종을 보인다. 이때에도 전압신호 위상을 2주기 이내에 추종한다.



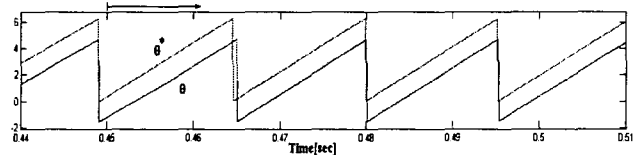
(a) 전압 위상각 점프(phase-angle jump)시 신호 Y와 생성된 기준 sinePLL



(b) 전압 위상각점프(phase-angle jump)시 신호의 위상과 검출된 위상
 그림 5. 전원전압 위상각점프(phase-angle jump) 시 시뮬레이션 결과
 Fig. 5. Simulation results in voltage phase-angle jump



(a) 전압 주파수 가변시 신호 Y와 생성된 기준 sinePLL



(b) 전압주파수 가변시 신호 위상과 검출된 위상
 그림 6. 전원전압 주파수 변화 시 시뮬레이션 결과
 Fig. 6. Simulation results in voltage frequency variation

5. 제안하는 3상 정상성분 PLL

제안하는 ALC를 이용한 3상 정상성분 PLL은 2장에서 언급한 정상성분 검출방식을 구현하기 위해 ALC(Adaptive Linear Combiner) 단상 PLL을 이용하고 이를 확장하여 구현되었다.

전개의 편의를 위해 식 (8)과 (9)를 식(19)과 (20)로 재정의하였다.

$$v_{ds} = V_{ds} \sin(\omega t + \theta_{ds}) \quad (19)$$

$$v_{qs} = V_{qs} \sin(\omega t + \theta_{qs}) \quad (20)$$

위 식에 나타낸 d, q축 전압 v_{ds} , v_{qs} 의 위상을 검출하기 위해서 ALC단상 PLL을 적용하면 각 축의 기본파 단위 사인(sine)성분과 단위 코사인(cos)성분은 다음 식과 같이 표현할 수 있다.

$$PLLv_{ds, \sin} = \sin(\omega t + \theta_{ds}) \quad (21)$$

$$PLLv_{qs, \sin} = \sin(\omega t + \theta_{qs}) \quad (22)$$

$$PLLv_{ds, \cos} = \cos(\omega t + \theta_{ds}) \quad (23)$$

$$PLLv_{qs, \cos} = \cos(\omega t + \theta_{qs}) \quad (24)$$

v_{ds} 와 v_{qs} 가 정현파임을 가정하면, 식(19), (20)를 각각 식 (21), (22)로 나누어 줌으로써 V_{ds} , V_{qs} 를 구할 수 있다. 이 V_{ds} 와 V_{qs} 에 각각 $-PLLv_{ds, \cos}$ 와 $-PLLv_{qs, \cos}$ 를 곱해 줌으로써 v_{ds}' 과 v_{qs}' 을 구할 수 있게 된다.

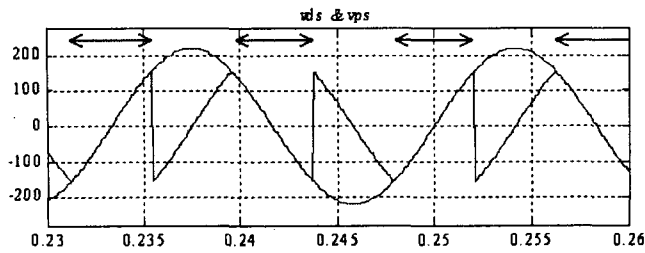
하지만 식 (21)과 (22)는 sine함수이므로 크기의 절대값이 작아질수록 크기 연산은 부정확해질 뿐만 아니라 발산할 수 있다. 그래서 식 (22)의 절대값이 0.707이상이면 식 (22)를 이용하여 v_{ds}' 를 구하게 되고, 그보다 작아지면 식 (21)를 이용하여 v_{qs}' 를 연산하게 된다. 이 과정을 MODE I과 MODE II로 구분하여 표 2와 같이 표현하였다.

표 2. 90° 지연된 값 연산.

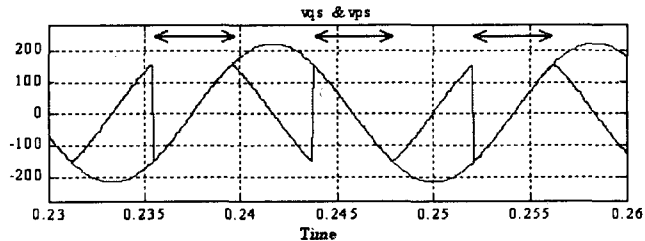
Table 2. 90° phase-shifted value calculation

	함수	조건
MODE I	$v_{ds}' = -\frac{v_{qs}}{PLLv_{qs, \sin}} PLLv_{qs, \cos}$	$ PLLv_{qs, \sin} < 0.707$
MODE II	$v_{qs}' = -\frac{v_{ds}}{PLLv_{ds, \sin}} PLLv_{ds, \cos}$	$ PLLv_{qs, \sin} > 0.707$

표 2에서 구한 v_{ds}' 와 v_{qs}' 는 2장에서 이미 살펴본 식 (11)과 (10)에 해당되는 값들이므로 2장에서 설명한 정상성분 검출이 가능하다. 그림 7은 v_{ds}' , v_{qs}' 와 v_{ds} , v_{qs} 의 관계를 이용하여 생성시킨 정상성분을 구간별로 나타낸 것이다. 그림 7의 (a)와 (b)에서 화살표로 표시한 구간에서만 d축과 q축 정상성분을 검출할 수가 있다.



(a) d-축 전압과 추출한 d-축 정상성분 전압
 ←→ : d-axis 정상성분 전압구간, MODE I



(b) q-축 전압과 추출한 q-축 정상성분 전압
 ←→ : q-axis 정상성분 전압구간, MODE II

그림 7. 구간별 정상성분

Fig. 7. positive sequence extraction from source voltage

그림 7에서 생성된 정상성분 d, q 축 성분인 v_{ds} 와 v_{qs} 에 제안한 ALC 단상 PLL을 적용하면 정상성분전압의 위상을 구할 수 있다. 표 3에 나타난 것과 같이 그림 7의 정상성분 전압구간 전환 시 PLL 기준각을 적절하게 v_{ds} 또는 v_{qs} 로 전환시켜야 한다.

표 3. 모드 전환 시 PLL 기준각 전환

Table 3. Positive sequence angle for mode transition

MODE 전환	동작
MODE I → MODE II	$\theta_{PLL} = \theta_{PLL} - \pi/2$
MODE II → MODE I	$\theta_{PLL} = \theta_{PLL} + \pi/2$

표 3의 과정을 거친 PLL 기준각은 d축과 q축을 모드에 따라 이동하면서 정상성분의 위상을 추종하므로 연산한 정상성분의 위상각 θ_{PLL} 은 표 4와 같이 시스템 제어를 위한 기준 위상으로 적용된다.

표 4. 정상성분 위상각

Table 4. Reference positive-sequence PLL angle

모드	동작
MODE I	$\theta_{PLL}^* = \theta_{PLL}$
MODE II	$\theta_{PLL}^* = \theta_{PLL} + \pi/2$

여기서, θ_{PLL}^* 는 최종 결과인 정상성분 위상각이다.

6. 시뮬레이션 및 실험

지금까지 전개한 3상 정상성분 Phase-Locked Loop의 동

작을 검증하기 위해 매트랩(Matlab) 툴을 사용하여 시뮬레이션을 실시하였고 DSP TMS320VC33 보드를 이용하여 실험을 실시하였다. 그리고 실험에서의 전원 이벤트는 3상 전원 시뮬레이터인 AA2000XG에 의해 모의되었다. 시뮬레이션과 실험은 표5에 나타난 4가지 시나리오 조건에 대해서 수행되었다.

표 5. 시뮬레이션과 실험 시나리오

Table 5. scenario of the Simulation and Experiments

Event	조건
전압강하(Sag)	30%
위상각점프 (Phase-angle jump)	20°
불평형 (Unbalance)	정상성분 1p.u., 위상 = 0° 역상성분 0.2p.u. 위상=20°
고조파 (Harmonics)	1 st : 100%, 5 th : 22.6% 7 th : 10.5%, 11 th : 7.3% 13 th : 4.7%

시뮬레이션 결과에 보이는 그림은 3가지로 구성되어있다. 3상 전원 전압 파형, 정상성분위상과 검출한 위상, 그리고 검출한 위상각과 정상성분 위상각의 오차로 나타내었다. 검출한 위상에 -0.5π 오프셋을 두어서 정상성분위상과의 구분을 용이하게 하였다. 실험결과 파형도 3개의 그림으로 구성된다. 첫 번째 그림은 이벤트가 발생한 3상 전압을, 두 번째 그림은 추출한 정상성분 전압의 위상, 그리고 세 번째 그림은 a상 전압과 추출한 위상으로 생성한 단위 사인(sine)을 나타낸다. 실험에서는 시뮬레이션과 달리 정상성분 전압 위상과의 비교가 불가하므로 a상 전압과 생성한 단위 사인(sine)을 동작 분석에 활용하였다.

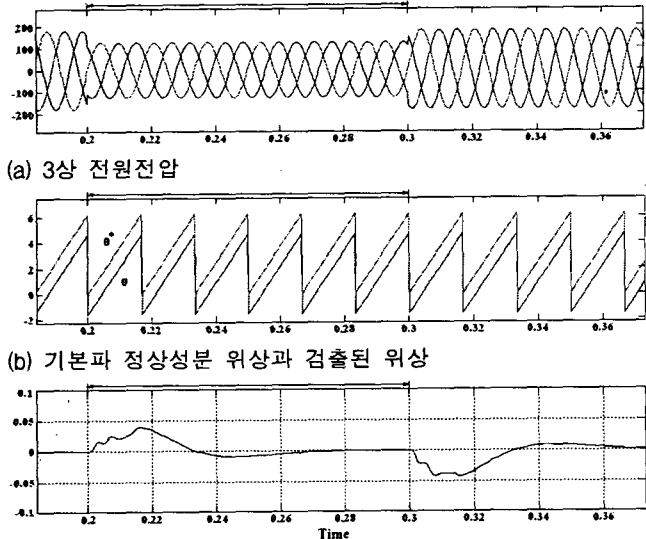
그림 8은 0.2s부터 0.3s까지 3상 전압강하를 30% 발생시켰을 때 위상검출기의 동작을 보인다. 이때 외란의 과도 시 0.042 [rad](=2.4°)의 에러가 발생되었다. 이 값은 10kHz의 제어주기를 갖는 디지털제어기(digital controller) 제어주기의 1.1배에 해당하는 값이다. 그리고 과도를 지나 2주기 만에 안정된 에러 범위 안으로 안정화되어 동작한다. 그림 9는 전원 전압에 3상 전압강하 30%를 발생시켰을 때의 실험 결과이다. 추출한 sinpll은 a상 전원전압의 위상을 2주기 이내에 안정적으로 추종함을 알 수 있다.

그림 10은 0.7s에 위상각점프(phase-angle jump) 20° 발생시의 동작을 보인다. 과도시의 에러는 0.3465[rad]으로 20°에 해당하는 값이다. 외란 발생 후 3주기 만에 정상성분 위상을 안정되게 추종한다. 그림 11은 전원전압에 위상각점프(phase-angle jump) 20° 발생시의 실험결과를 보인다. 해당 이벤트 발생즉시 생성된 기준 사인(sine)이 위상이 틀어져 있음을 알 수 있다. 하지만 3주기 미만의 추종속도로 전원전압과 동기됨을 확인할 수 있다.

그림 12는 0.9s부터 1.0s까지 불평형이 발생하였을 때 동작을 보인다. 0.2pu의 역상성분이 발생하였을 때의 동작이다. 과도 시 0.0112[rad](=0.64°)의 오차를 보이며 정상상태 시는

정상성분의 위상각을 정확히 추종함을 보인다. 그림 13은 불평형발생시의 실험 결과이다. 불평형조건에서 a상 전압의 위상은 정상성분 전압보다 3.5° 앞서게 되며 이것은 제어주기의 1.5배에 해당하는 값이다. 3번째 파형의 확대된 그림에 보이는 바와 같이 추출한 위상이 정상성분의 위상을 정확히 추종함을 알 수 있다.

그림 14는 42%의 THD를 갖는 고조파가 발생하였을 때의 동작을 보인다. 고조파 발생 시 정확히 기본파와 정상성분의 위상을 추종하는 것이 관건이며 이 동작에서는 과도 시 0.0209[rad](=1.2°)의 오차를 보이며 정상상태 시는 0.013[rad](=0.745°)의 오차를 보인다. 정상상태에서 1° 미만의 에러를 보이며 우수한 동작특성을 보인다. 그림 15는 전원전압에 THD 42%의 고조파가 함유되었을 때의 실험 결과를 보인다. 전원전압에 심각한 고조파가 발생했음에도 불구하고 위상검출이 고조파에 대한 오염이 거의 없이 원활히 이루어지고 있음을 보인다.



(c)정상성분 위상에 대한 검출된 위상의 에러
그림 8. 전압강하 발생 시의 시뮬레이션 결과
Fig. 8. Simulation results in voltage sag

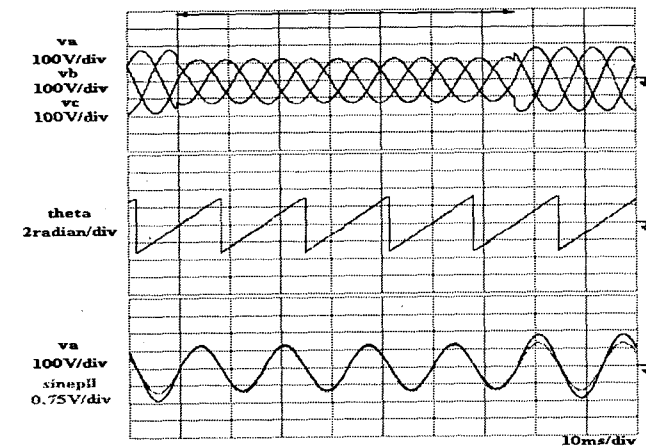
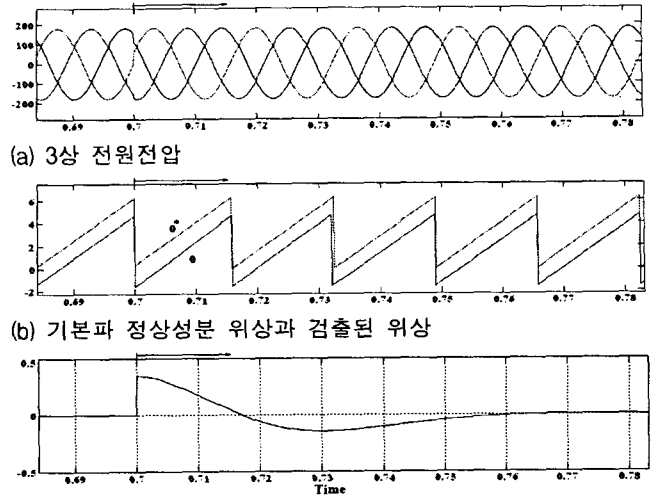


그림 9. 전압강하 발생시 실험 결과
Fig. 9. Experimental results in voltage sag



(c)정상성분 위상에 대한 검출된 위상의 에러
그림 10. 위상각점프(Phase-angle jump) 발생 시의 시뮬레이션 결과

Fig. 10. Simulation results in voltage phase-angle jump

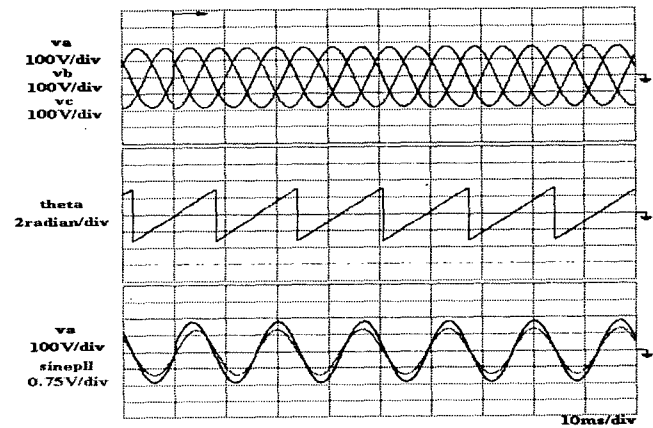
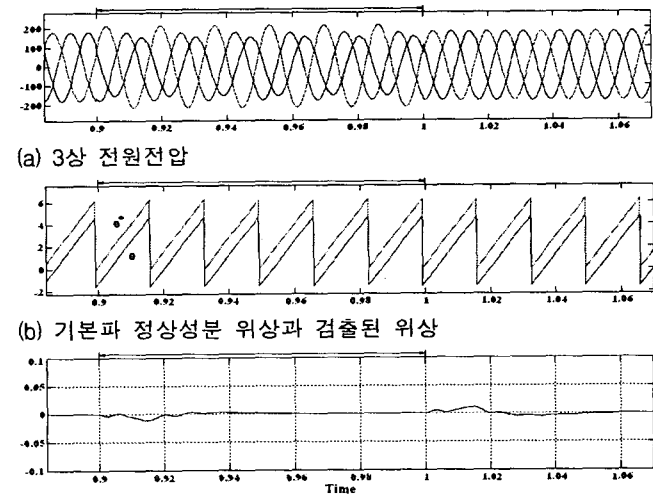


그림 11. 위상각점프(Phase-angle jump) 발생시
Fig. 11. Experimental results in voltage phase-angle jump



(c)정상성분 위상에 대한 검출된 위상의 에러
그림 12. 불평형 발생 시의 시뮬레이션 결과
Fig. 12. Simulation results in voltage unbalance

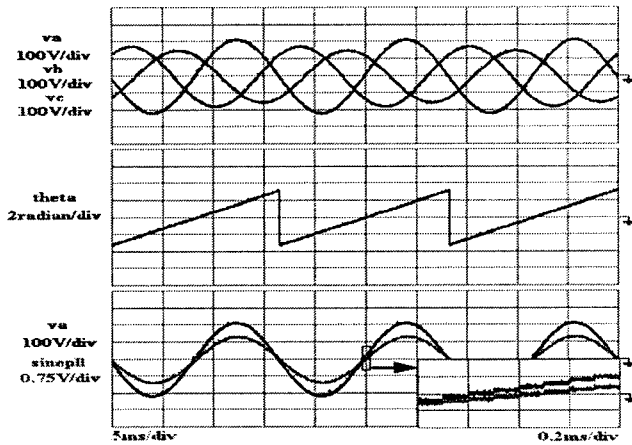


그림 13. 불평형 발생 시의 실험 결과
 Fig. 13. Experimental results in voltage unbalance

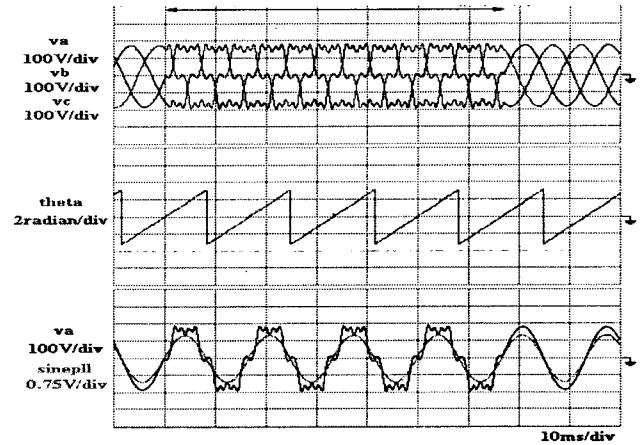
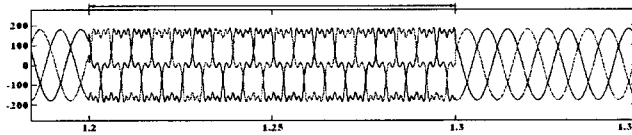
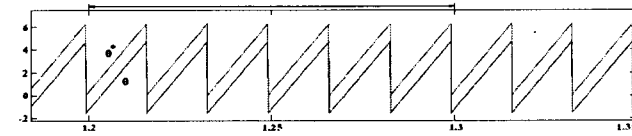


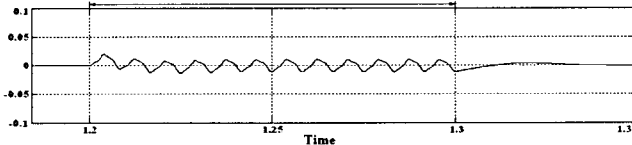
그림 15. 고조파 발생시 실험 결과
 Fig. 15. Experimental results in voltage distortion



(a) 3상 전원전압



(b) 기본파 정상성분 위상과 검출된 위상



(c) 정상성분 위상에 대한 검출된 위상의 에러

그림 14. 고조파 발생 시의 시뮬레이션 결과
 Fig. 14. Simulation results in voltage distortion

7. 결 론

본 논문에서는 먼저 delta-rule을 적용한 ALC (Adaptive Linear Combiner)와 PI(Proportional Integral)제어기로 구성된 새로운 단상 PLL시스템을 제안하였다. 그리고 이것을 확장하여 3상 정상성분의 위상을 검출하기 위한 이론적 접근을 시도하여 외란에 강인한 새로운 3상 PLL시스템을 제안하였다.

제안하는 시스템의 동작 원리는 먼저 이론적인 접근으로 분석하였고 MATLAB 소프트웨어에 의한 시뮬레이션을 통하여 그 우수성을 입증하였다. 또한 하드웨어적으로 구현할 때 타당성을 검증할 목적으로 TMS320VC33 DSP 프로세서를 이용한 실험을 실시하였다.

제안하는 3상 PLL 시스템은 전압외란, 즉 순간전압강하, 고조파함유, 위상각점프 그리고 주파수가변 등의 조건하에서도 강인하고 응답이 빠른 성능을 가지고 있어 향후 전력계통에 연계된 전력변환기를 제어할 때 우수한 성능을 보일 것으로 예측된다.

감사의 글

본 연구는 과학기술부 및 한국과학재단의 ERC 프로그램을 통한 지원으로 이루어졌으며 이에 감사를 드립니다.

참 고 문 헌

- [1] E.B. Makram, R.B. Haines, A.A. Girgis, "Effect of harmonic distortion in reactive power measurement," IEEE Trans. on Ind. Appl., Vol.28, No.4, pp. 782-787, 1992.
- [2] C.J. Melhorn, T.D. Davis, G.E. Beam, "Voltage sags; Their impact on the utility and industrial customers," IEEE Trans. on Ind. Appl., Vol.34, No.3, pp. 549-558, 1998.
- [3] G. Yalcinkaya, M.H.J. Bollen. P.A. Crossley, "Characterization of voltage sags in industrial distribution systems, " in Conf. Rec. IEEE-IAS, pp. 2197-2204, 1997.
- [4] V.Kaura, V.Blasko, "Operation of a phase locked loop system under distorted utility conditions," IEEE Trans. on Ind. Appl., Vol.33, No.1, pp.58-63, 1997.
- [5] S.J Lee, J.K K, S.K Sul, "New phase detecting method for Power Conversion Systems Considering Distorted Conditions in Power System," in Conf. Rec. IEEE-IAS, Vol.4, pp. 2167-2172, 1999.
- [6] Hong-Seok Song, Hyun-gyu Park, and Kwang-hee Nam, "An instantaneous phase angle detection algorithm under unbalanced line voltage condition", Power Electronics Specialists Conference, PESC 99. 30th Annual IEEE, pp. 533 - 537 vol 1, 27 June-1 July 1999
- [7] Widrow, B., Lehr, M.A, "30 Years of Adaptive Neural Networks: Perceptron, Madaline, and Backpropagation," Proc. IEEE , Vol.78, pp. 1415 - 1442 1990.

저 자 소 개



배 병 열(裴炳烈)

1975년 11월 17일생.
2001년 명지대 전기공학과 졸업.
2003년 동 대학원 전기공학과 졸업(석사).
현재 동 대학원 전기공학과 박사과정.



한 병 문(韓炳文)

1953년 7월 5일생.
1976년 서울대 전기공학과가 졸업.
1988년 미 아리조나주립대 대학원 전기
공학과 졸업(석사).
1992년 동 대학원 전기공학과 졸업(공학박)
미 Westinghouse중앙연구소 선임연구원.
현재 명지대 전기공학과 교수.



박 용 희(朴用熙)

1979년 10월 17일생.
2005년 명지대 전기공학과 졸업.
현재 동 대학원 전기공학과 석사과정.



조 윤 호(曹胤瑚)

1979년 8월 13일생.
2005년 명지대 전기공학과 졸업.
현재 동 대학원 전기공학과 석사과정.