

논문 2006-43SD-1-5

GALS 시스템에서의 저비용 데이터 전송을 위한 QDI 모델 기반 인코더/디코더 회로 설계

(Design of QDI Model Based Encoder/Decoder Circuits for Low
Delay-Power Product Data Transfers in GALS Systems)

오 명 훈*

(Myeong-Hoon Oh)

요 약

기존의 지연 무관 (Delay-Insensitive(DI)) 데이터 인코딩 방식은 N 비트 데이터 전송에 물리적으로 $2N+1$ 개의 도선이 필요하다. GALS(Globally Asynchronous Locally Synchronous) 시스템과 같은 대규모 칩 설계 시에 많은 도선 수로 인해 발생할 수 있는 전력 소모와 설계 복잡성을 줄이기 위해, 의사지연 무관 (Quasi Delay-Insensitive(QDI)) 모델에 기반하고, $N+1$ 개의 도선으로 N 비트 데이터를 전송할 수 있는 인코더와 디코더 회로를 설계한다. 이 회로들은 전류모드 다치 논리 회로 (Current-Mode Multiple Valued Logic(CMMVL))를 사용하여 설계되었으며, 도선수를 줄임으로써 파생되는 효율성을 검증하기 위해 $0.25 \mu\text{m}$ CMOS 공정에서 기존의 DI 인코딩 방식인 dual-rail 방식 및 1-of-4 방식과 delay-power product (D*P) 값 측면에서 비교하였다. HSPICE를 통한 모의실험 결과 4 mm 이상의 도선의 길이에서, dual-rail 방식과는 5 MHz 의 data rate 이상에서, 1-of-4 방식과는 18 MHz 의 data rate 이상에서 제안된 CMMVL 방식이 유리하였다. 또한, 긴 도선에 버퍼를 장착한 dual-rail 방식, 1-of-4 방식과의 비교에서도 개선된 CMMVL 방식이 10 mm 도선, 32 비트 데이터 전송에서 각각 4 MHz , 25 MHz data rate 이상에서 최대 57.7% 와 17.9% 의 D*P 값 감소 효과를 나타냈다.

Abstract

Conventional delay-insensitive (DI) data encodings usually require $2N+1$ wires for transferring N -bit. To reduce complexity and power dissipation of wires in designing a large scaled chip, an encoder and a decoder circuits, where N -bit data transfer can be performed with only $N+1$ wires, are proposed. These circuits are based on a quasi delay-insensitive (QDI) model and designed by using current-mode multiple valued logic (CMMVL). The effectiveness of the proposed data transfer mechanism is validated by comparisons with conventional data transfer mechanisms using dual-rail and 1-of-4 encodings through simulation at the $0.25 \mu\text{m}$ CMOS technology. In general, simulation results with wire lengths of 4 mm or larger show that the CMMVL scheme significantly reduces delay-power product (D*P) values of the dual-rail encoding with data rate of 5 MHz or more and the 1-of-4 encoding with data rate of 18 MHz or more. In addition, simulation results using the buffer-inserted dual-rail and 1-of-4 encodings for high performance with the wire length of 10 mm and 32 -bit data demonstrate that the proposed CMMVL scheme reduces the D*P values of the dual-rail encoding with data rate of 4 MHz or more and 1-of-4 encoding with data rate of 25 MHz or more by up to 57.7% and 17.9% , respectively.

Keywords: 지연 무관 데이터 전송, GALS 시스템, 전류모드 다치 논리회로

I. 서 론

공정 기술이 발달함에 따라 칩 내에 집적될 수 있는 소자의 수가 급격히 늘어남에 따라, SoC 설계에 있어 단일 클럭으로 구동하는 설계 방식은 몇 가지 측면에서 치명적인 문제점을 야기할 수 있다. 즉, 클럭 주파수가 높아질수록 클럭 스쿠와 지터 문제를 해결해야하고, 전

* 정회원, 한국전자통신연구원 서버플랫폼 연구팀
(Server Platform Research Team, ETRI)
접수일자: 2005년7월25일 수정완료일: 2005년12월26일

역 클럭 분배에 상당한 전력을 소모한다. 또한, 지역 모듈들의 개별 타이밍뿐만 아니라, 전역적 타이밍 종결 (timing closure)을 위해 지역 모듈들간의 연결 시 도선의 지연시간을 고려해야 한다^[1].

전역 클럭을 사용하지 않으므로써 전역 클럭이 지는 문제점을 근본적으로 제거할 수 있고, 핸드셰이크 프로토콜에 의해 데이터를 전송함으로써 타이밍 문제를 효과적으로 해결할 수 있는 비동기식 설계 방식이 대안으로 제시될 수 있다^[2]. 그러나, 설계 복잡성, 테스트의 문제 때문에 최근에는 SoC 설계에 GALS(Globally Asynchronous Locally Synchronous) 시스템을 적용하려는 연구가 활발히 진행되고 있다^{[1][3]}.

이러한 GALS 기반 SoC 설계에 사용되는 데이터 전송 방식 중 bundled 데이터 프로토콜^[4]과 같은 matched delay line을 가정한 방식은 쉽게 설계할 수 있다는 장점에도 불구하고, 대용량의 SoC 설계 시 중대한 오류를 발생시킬 수 있다. 즉, 여러 기능 블록들 사이에서 통신에 필요한 다수의 도선이 필요하고, placement와 routing 전에 각각의 도선들의 지연시간을 예측하기가 매우 힘들기 때문에, 칩 내 모든 데이터 전송 제어 신호에 대하여 정확한 matched delay line을 가정하기란 거의 불가능하다. 더구나, 도선의 지연시간이 다양하기 때문에 설계 복잡도를 크게 증가시킬 수 있다. 따라서 GALS 시스템 기반 SoC 설계에서는, 다양한 도선의 지연시간에 상관없이 안전한 데이터 전송을 가능케하는 지연 무관 (Delay-Insensitive(DI)) 데이터 전송 방식이 바람직하다.

대표적인 DI 데이터 전송방식으로 dual-rail 인코딩 방식^[5]과 1-of-4 인코딩 방식^[6]이 연구되었다. 이들 방식에서는 유효 데이터와 무효 데이터를 구분하기 위해 데이터를 인코딩시켜 전송하고, 이를 위해 더 많은 도선의 수가 필요하다. 일반적으로 기존의 방식에서는 N 비트 데이터 전송에 2N+1개의 도선이 필요하다. 따라서 DI 데이터 전송을 위해 적용된 방식이 도선의 수를 거의 2배로 늘림으로써 이로 인한 전력 소모나 설계 비용을 증가시킬 수 있다.

다치 논리 회로(multiple-valued logic(MVL))^[7]는 도선의 수를 줄이기 위한 효과적인 방법으로서, 기존의 이진 회로에 비해 같은 데이터 심볼을 적은 수의 도선으로 전송할 수 있다. 다치 값들을 표현하는 방법에 따라 전압 모드 MVL(Voltage-Mode MVL(VMMVL))과 전류 모드 MVL(Current-Mode MVL(CMMVL))로 나눌 수 있다. 일반적으로, CMMVL 회로는 VMMVL 회

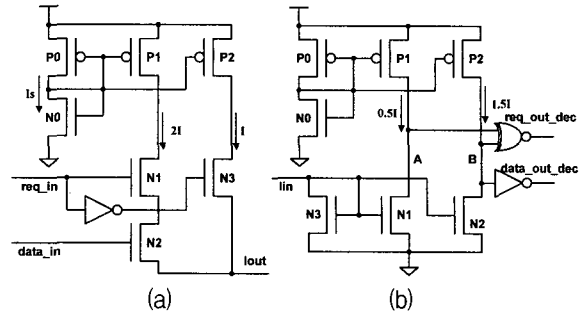


그림 1. 제안된 회로 (a) 인코더 (b) 디코더
Fig. 1. Proposed Circuits (a) encoder (b) decoder.

로에 비해 전류량을 조절함으로써 상대적으로 낮은 전압에서도 큰 노이즈 마진 특성을 갖는 것으로 알려졌다^[8].

본 논문에서는 CMMVL 회로를 기반으로 N+1개의 도선으로 N 비트 데이터를 도선의 지연 시간에 무관하게 안정적으로 전송할 수 있는 인코더와 디코더 회로를 설계한다. 또한, 시뮬레이션을 통하여 제안된 회로를 기존 방식인 dual-rail 방식 및 1-of-4 방식과 delay-power product(D*P) 측면에서 비교한다

II. 제안된 인코더와 디코더 회로 구조

CMMVL 회로를 이진 전압 모드의 디지털 시스템에 적용하기 위해서는 전압과 전류 값 사이의 변환기가 필요하다. 본 논문에서의 인코더와 디코더 회로는 각각 전압에서 전류로, 다시 전류에서 전압으로 변환하는 역할을 수행한다.

CMOS 공정을 사용하여 CMMVL 회로를 보다 쉽게 구성하기 위해, 전류원, 전류미러, 전류비교기 등과 같은 기본 회로^[9]이 이미 연구되어왔고, 이들을 활용한 응용 CMMVL 회로도 많이 설계되었다^{[10][11]}. 본 논문의 인코더, 디코더 회로에도 이러한 기본 회로를 적용하였다.

한편, 일반적으로 GALS 시스템의 각 기능 모듈의 데이터 형태는 모두 single-rail 기반이므로 제안된 CMMVL 회로와 외부 환경과의 인터페이스 신호들은 모두 single-rail bundled 데이터 핸드셰이크 프로토콜^[4]을 지원한다. 또한, 인코더와 디코더 사이의 DI 데이터 전송에, 구현이 용이하고 dual-rail 방식이나 1-of-4 방식에도 널리 적용되는 4-페이즈 시그널링^[5]을 사용한다.

사실상, 본 논문에서 제시하는 인코더와 디코더 회로는 QDI(Quasi Delay-Insensitive) 모델^[12]을 기반으로 하고 있다. 소자와 도선의 지연시간을 unbounded로 가정하여 DI 특성을 유지하나, 한 도선에서 분기되는 여러

표 1. 입력 신호에 의한 전류 레벨 매핑

Table 1. Current level mapping with input signals.

<i>req_in</i>	0	1	1
<i>data_in</i>	x	0	1
전류 레벨	I	0	2I
(A,B)	(0,1)	(1,1)	(0,0)

도선들의 지연시간 차이를 무시하는 isochronic fork 가 정의 특성을 부가한다.

그림 1은 1 비트 데이터에 대한 제안된 인코더와 디코더 회로를 나타내고 있다. 그림 1(a)의 인코더에서 트랜지스터 P0과 N0는 전류원을 구성하고 전류 Is를 발생시킨다. 전류 Is는 전류미러^[13] 역할을 수행하는 P1과 P2의 드레인에 복사되고 이때 복사되는 전류량(I, 2I)은 P1과 P2의 크기에 따라 변화시킬 수 있다. 인코더의 입력 신호인 *req_in*과 *data_in* 신호는 일종의 스위치 역할을 수행하는 N1, N2, N3를 제어함으로써 표 1과 같이 전류 레벨을 선택하여 Iout에 출력한다.

4-페이지 시그널링에서는 *req_in* 신호가 '1'일 때만 *data_in* 신호가 의미가 있으므로, 이때 *data_in* 신호가 '0'일 때와 '1'일 때 각각 0과 2I의 전류 레벨을 매핑하였다. 휴지 상태인 *req_in* 신호가 '0'인 경우를 중간 레벨인 I에 매핑하였다. 인코더 회로 설계 시에는 표 1에 정의된 전류 레벨을 만들기 위해 P1과 P2의 sizing을 통하여 P1에서 발생하는 전류를 P2에서 발생하는 전류보다 2배 더 크게 조절해야한다.

그림 1(b)은 디코더 회로를 나타내고 있다. 인코더와 마찬가지로 P0, N0는 전류원을, P1과 P2는 전류미러의 역할을 수행한다. 세 레벨로 인코딩된 전류 값은 Iin을 통해서 트랜지스터 N3으로 입력되고 이 전류는 P1과 P2와 연결되어 전류비교기를 구성하는 N1과 N2에 복사된다. 전류비교기에서 입력 전류와의 차분 전류를 만들기 위해, P1과 P2는 전류 레벨의 threshold 전류인 0.5I와 1.5I를 각각 발생시킨다. 이때, 전류비교기 내의 노드 A와 노드 B의 전압 값은 입력 전류에 따라서 변화하게 된다. 예를 들어, 입력 전류가 I일 때 N1에서는 I만큼의 전류량을 구동하려고하지만, P1에서는 0.5I의 전류만 발생되므로 노드 A의 전압은 논리값 '0'이 된다. 그러나, N2에서는 (1.5I-I=0.5I)만큼의 전류가 노드 B에 남기 때문에 전압은 논리값 '1'이 된다. 같은 방식으로 입력 전류가 0이나 2I일 때도 노드 A와 B의 전압은 서로 유일한 값을 나타낸다. 표 1에서는 입력 전류에 따른 이들 노드의 전압변화를 나타내고 있다. 이러한 전압 변화의 특성을 이용하여 전류 레벨을 전압 레벨인 원래의

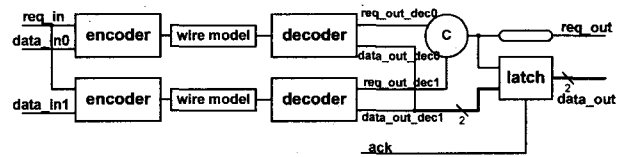


그림 2. 제안된 회로의 시뮬레이션 환경

Fig. 2. Simulation environment.

*req_in*과 *data_in* 신호로 복원할 수 있다. 복원된 신호인 *req_out_dec*과 *data_out_dec*는 그림 1(b)와 같이 각각 XNOR와 inverter의 논리 게이트로 간단히 발생시킬 수 있다.

QDI 모델의 가정에 의해, 노드 B에서 XNOR 게이트와 inverter로 분기되는 도선처럼, 인코더와 디코더 회로내의 한 도선에서 분기하는 모든 도선의 지연 시간은 동일하므로 DI 규약을 지킬 수 있다.

III. 인코더와 디코더 회로의 설계 및 동작 시뮬레이션

1. 시뮬레이션 환경

그림 1의 인코더와 디코더 회로의 설계 시 가장 중요한 것은 트랜지스터 크기에 따라 변하는 전류량 I이다. [가 클수록 전류비교기에서 발생하는 차분 전류가 커지므로 디코더에서 복원하는 delay는 줄어들지만, 전류원과 전류미러에서 발생하는 전류량은 많아지므로 static 전력은 더 많이 소모된다. 그러므로, delay와 전력소모를 모두 반영할 수 있는 기준이 필요하고 이 기준에 따라서 최적화된 전류량을 결정하기 위해 트랜지스터의 크기를 튜닝하는 일이 필요하다. 본 논문에서는 delay와 전력소모의 두가지 특성을 모두 반영할 때 흔히 사용되는 delay-power product (D*P)를 사용하였고, 다양한 길이의 도선에 대해 D*P 값을 측정하였다.

그림 2는 시뮬레이션 환경을 나타내고 있다. 실험에서 사용된 데이터 크기는 지연 무관 특성을 확인하기 위한 최소 데이터 크기인 2 비트이다. 시뮬레이션 환경은 2쌍의 인코더/디코더 회로, 데이터 전송 완료를 감지하기 위한 C-element, 데이터를 저장하기 위한 리시버의 래치, 그리고 다양한 도선의 길이를 모델링한 도선

표 2. 인코더/디코더의 트랜지스터 W/L ratio

Table 2. Transistor W/L ratio of encoder and decoder.

Tr.	P0	N0	P1	P2	N1	N2	N3
인코더	0.25	0.25	14.5	4.83	2.42	2.42	2.42
디코더	0.25	0.25	2.42	8.46	20.83	20.83	20.83

표 3. 공급 전압 변화에 따른 delay와 기준전류 변화
Table 3. Variations of delay and reference current with different supply voltages.

공급전압(V)	1.7	1.8	1.9	2	2.1	2.2	2.3
delay(ns)	-	4.55	4.23	4.01	4.26	4.48	-
Iref(uA)	26	36	45	54	64	75	86

모델로 구성되어 있다. ANAM 0.25 um 5-metal 공정^[14]을의 사용하여 시뮬레이션을 수행하였고, 3번째 metal 층에서 distributed RC 모델^[15]을 기반으로 전체 도선 모델을 5개의 RC 셀로 구분하였다. 단위 길이당 RC 셀의 resistance와 capacitance 값을 [14]의 파라미터를 참고하여 계산하였고, 이를 다양한 길이의 도선 모델링에 사용하였다. 트랜지스터 수준에서 HSPICE 툴을 사용하여 data_in에서 data_out까지의 평균 delay를 측정하였고, NanoSim 툴을 사용하여 Root Mean Square (RMS) 전력을 측정하였다.

2. 설계 및 동작 시뮬레이션

delay를 증가시키지 않으면서, 전력 소모를 최소화하기 위해 몇가지 방법을 고안하였다. 즉, 인코더와 디코더 회로의 전류원에서 소모되는 전류에 의한 static 전력을 줄이기 위해, Is의 전류를 가능한 적게 발생시키고, 대신 전류미러에서 이를 scale up 시켜 기준 전류 I와 2I를 생성시킨다. 또한, CMMVL 회로는 주어진 공정의 공급 전압 보다 낮은 전압에서 동작함을 보장하므로, 본 논문에서도 실험에 사용된 0.25 um 공정의 공급 전압인 2.5V 보다 낮은 2V 전압에서 인코더와 디코더 회로를 동작 시킨다.

2V 공급 전압에서 내부 트랜지스터 크기의 반복적인 튜닝을 통해 기준 전류 I를 54 uA로 발생시켰을 때 최소의 D*P 값을 얻을 수 있었다. 표 2는 이때의 트랜지스터들의 Width(W)/Length(L) ratio를 나타내고 있다.

본 논문의 인코더와 디코더 회로에서는 휴지 상태 즉, return-to-zero 상태에서 전류 I가 발생되므로, 데이터

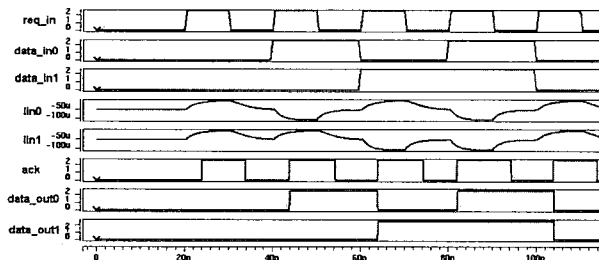


그림 3. 타이밍 시뮬레이션 파형
Fig. 3. Waveforms of timing simulation.

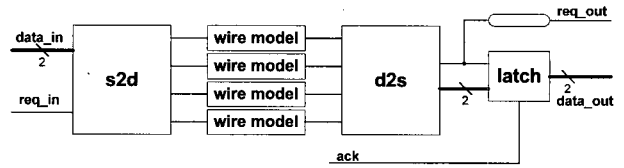


그림 4. dual-rail과 1-of-4 방식의 시뮬레이션 환경
Fig. 4. Simulation environments of dual-rail and 1-of-4 schemes.

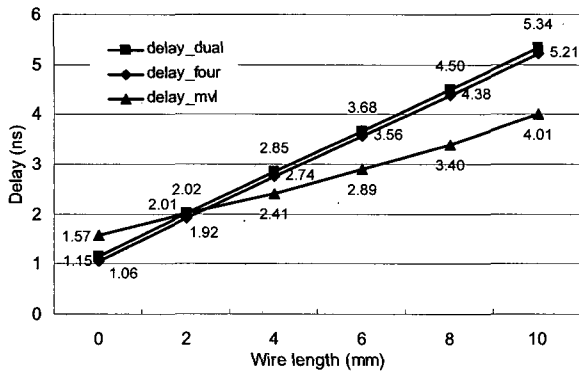
전송과 상관없이 static 전력이 소비된다. 2 비트 데이터 전송 시에 인코더와 디코더에서 측정된 static 전력은 560 uW 이며, 이를 포함한 dynamic 전력은 4장에서 자세히 설명한다.

설계된 회로의 동작 안정성을 검증하기 위해, 디지털 시스템에서 가장 큰 노이즈 소스로 알려진 공급 전압 노이즈 환경을 구성하고 회로를 분석하였다. 이를 위해, 공급 전압 2V를 기준으로 인코더의 공급 전압을 1.7V에서 2.3V 까지 0.1V씩 변화시키면서 delay와 변화된 기준 전류를 측정하였다. 표 3은 10 mm 도선 모델을 사용한 실험에서의 변경된 공급 전압에 대한 delay와 새 기준 전류량 Iref을 나타내고 있다. Iref는 공급전압에 따라 달라지고, Iref와 디코더의 threshold 전류와의 차분 전류가 달라지게 되므로, delay 역시 변화한다. 디코더의 threshold 전류는 각각 27uA와 81uA (0.5I=0.5*54 uA, 1.5I=1.5*54 uA)이므로 Iref는 이들 사이에 있어야만 회로의 동작을 보장할 수 있고, 이를 통해서 공급 전압에 대한 노이즈 마진을 구할 수 있다. 표 3에서와 같이 공급 전압 1.8V에서 2.2V사이의 Iref에 대해서 위의 조건 27uA < Iref < 81uA를 만족하고 실제로 1.7V와 2.3V에서는 회로가 동작하지 않았다. 0.25 um 공정을 고려할 때, 이러한 0.2V의 공급 전압 마진은 타당하다^[16].

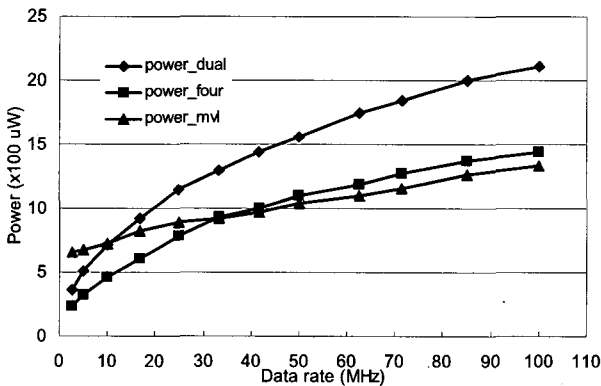
그림 3은 타이밍 시뮬레이션 파형을 보여주고 있다. 2 비트의 가능한 모든 입력 데이터("00", "01", "10", "11")에 대해서 입력 신호(data_in0, data_in1)는 인코더

표 4. 면적 비교
Table 4. Area comparison.

		dual-rail	1-of-4	CMMVL
인코더	트랜지스터 수	28	40	18
	면적(um ²)	8.91	14.48	5.62
디코더	트랜지스터 수	26	24	56
	면적(um ²)	9.74	10.30	21.42
합계	트랜지스터 수	54	64	74
	면적(um ²)	18.65	24.78	27.04



(a) 도선 길이에 따른 delay 변화
(a) Delay variation with different wire lengths.



(b) data rate에 따른 10 mm 도선에서의 전력 소모
(b) Power consumption on 10 mm wire with different data rates

그림 5. 제안된 방식과 non-buffered dual-rail, 1-of-4 방식과의 delay와 전력 소모 비교

Fig. 5. Comparisons of delay and power consumption with dual-rail and 1-of-4 schemes.

에서 전류 레벨(I_{in0} , I_{in1})로 변환되고 다시 디코더에서 전압 레벨로 바뀌어 최종 출력 신호($data_{out0}$, $data_{out1}$)에서 원래 데이터로 복구됨을 볼 수 있다.

IV. 다른 방식과의 비교

제안된 인코더와 디코더의 유효성을 평가하기 위해서 기존의 지연무관 전송 데이터 방식인 dual-rail 인코딩 방식과 1-of-4 인코딩 방식을 비교 대상으로 제안된 방식과 비교하였다. 그림 4에서와 같이 dual-rail, 1-of-4 방식의 시뮬레이션 환경도 2 비트 데이터 전송을 가정하였고, 같은 데이터 크기이지만, 그림 2의 제안된 방식보다 도선의 수가 2 배 더 많음을 알 수 있다. s2d 모듈은 single-rail의 2 비트 데이터를 dual-rail 혹은 1-of-4 데이터로 변환하고, d2s 모듈에서는 4개의 도선으로부터

터의 데이터를 다시 single-rail의 2 비트 데이터로 변환하며, 데이터 전송 완료를 검출하기 위한 2 입력 C-element 회로를 포함하고 있다. 공정한 비교를 위해 3장에서 수행한 측정 방식을 그대로 적용하여 두 비교 대상 방식의 delay와 전력 소모를 측정하였다.

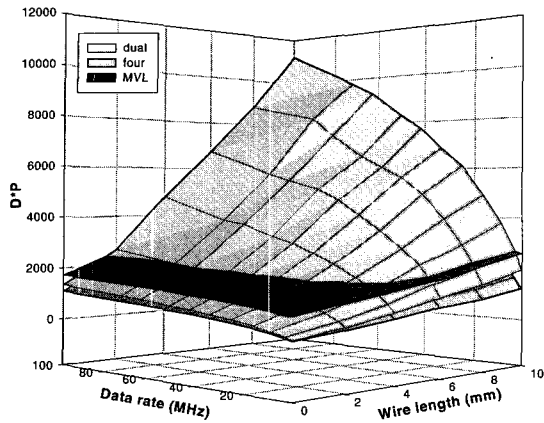
먼저, 표 4에서 2 비트 데이터 전송을 가정한 각 방법들간의 면적을 비교하였다. 도선 모델, 래치, delay 셀과 같은 공통으로 사용되는 블록을 제외하고 인코더와 디코더의 면적($width \times length$)과 사용된 트랜지스터의 수를 계산하였다. 제안된 방식이 전체적으로 가장 큰 면적을 차지하지만, 1-of-4와 비교했을 때 겨우 1.09 배 더 크므로 면적 측면에서 그다지 크게 차이 나지 않음을 알 수 있다.

1. non-buffered dual-rail과 1-of-4 방식과의 delay, 전력 소모 비교

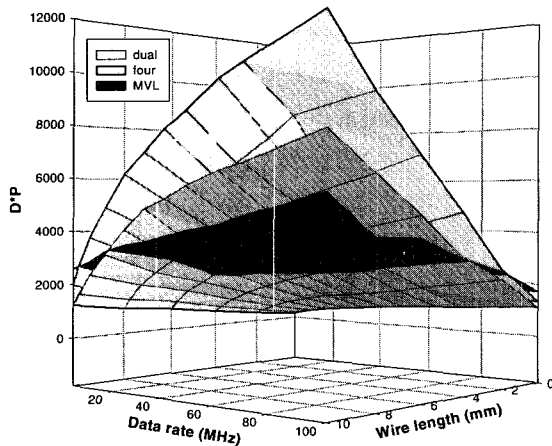
그림 5(a)는 제안된 CMMVL 방식(delay_mv1), dual-rail 방식(delay_dual), 1-of-4 방식(delay_four)의 도선의 길이에 따른 delay를 측정한 결과를 나타내고 있다. 도선의 길이가 늘어날수록, 도선의 resistance와 capacitance 성분이 증가하므로 delay는 증가하게 된다. dual-rail과 1-of-4 방식은 데이터 변환 로직이 간단하고 같은 도선 모델을 사용하였으므로, 거의 같은 delay 특성을 보여준다. dual-rail과 1-of-4 방식의 기울기가 제안된 방식 보다 크므로, 도선의 길이가 0 mm였을 때 더 큰 delay 특성을 보이던 제안된 방식이, 2 mm 이상에서는 더 적은 delay가 측정되었다.

한편, 총 전력은 입력 데이터에 의한 load capacitance의 charge, discharge에 관련된 dynamic 전력과 이와 관계없이 소모되는 static 전력의 합으로 표현할 수 있고, 전압 모드 회로인 dual-rail과 1-of-4 방식은 dynamic 전력이 전체 전력의 대부분을 차지한다. 그러나, CMMVL 회로에 기반한 제안된 방식의 총 전력에는 dynamic 전력뿐만 아니라, static 전력 성분도 존재한다. 전압 모드 회로인 dual-rail, 1-of-4 방식과 전력 소모량을 비교하기 위해 charging, discharging rate에 따른 소비 전력을 측정하였다.

평균 dynamic 전력 P_d 는 $P_d = C_L \times V_{dd}^2 \times N \times f$ (C_L : load capacitance, V_{dd} : 공급전압, N : 클록 싸이클당 평균 변화 수(스위칭 activity), f : 클록 주파수)로 계산된다. 여기에서 DI 데이터 전송 방식에서는 구체적인 클록 주파수가 없으므로, 본 논문에서의 전력소모 실험을 위하여 $N \times f$ 를 data rate로 정의하며 이 data rate



(a) 3D view 1



(b) 3D view 2

그림 6. 제안된 방식과 non-buffer dual-rail, 1-of-4 방식과의 D*P 비교
Fig. 6. Comparisons of D*P values with dual-rail and 1-of-4 schems.

는 실제적으로 핸드셰이크 프로토콜의 요구(request) 신호의 평균 주파수를 의미한다.

그림 5(a)에서 도선 10 mm에서의 dual-rail과 1-of-4 방식의 delay가 5.34 ns 와 5.21 ns 이지만, 실험에서 data_in 신호를 req_in 신호보다 0.5 ns 먼저 발생시켰기 때문에 실제 turnaround 시간은 5 ns 미만이다. 이러한 이유로 4 페이즈 핸드셰이크 프로토콜을 통해 데이터를 전송하는 최대 data rate를 100 MHz로 결정하였다. 그림 5(b)는 10 mm 도선에서, 제안된 방식(power_mvl), dual-rail 방식(power_dual), 1-of-4 방식(power_four)의 전력 소모를 2.5 MHz부터 100 MHz까지의 data rate에 따라서 측정한 결과이다.

dual-rail 방식의 경우 1-of-4 방식에 비해 데이터 전송시 두 배의 신호 변환이 필요하므로 data rate 전 영역에서 더 많은 전력을 소모한다. CMMVL 회로의 전력

표 5. 제안된 방식이 더 작은 D*P 값을 갖기 위한 최소 data rate () : switching activity

Table 5. Minimal data rates for lower D*P values of the proposed scheme

도선 길이 (mm)	dual-rail과 비교	1-of-4와 비교
0	-	-
2	75 MHz (1/2.44)	-
4	13 MHz (1/14.08)	46 MHz (1/3.98)
6	7 MHz (1/26.14)	22 MHz (1/8.32)
8	6 MHz (1/30.50)	20 MHz (1/9.15)
10	5 MHz (1/36.60)	18 MHz (1/10.17)

소모 증가율은 다른 두 방법보다 data rate에 상대적으로 덜 영향을 받으므로, 낮은 data rate에서는 전력소모가 크지만, 10 MHz와 33 MHz에서부터 각각 dual-rail과 1-of-4 방식보다 더 적은 전력을 소모한다. 결과적으로 D*P 값을 계산하면 10 mm 도선에서는 5 MHz, 18 MHz 이상에서 각각 제안된 방식이 dual-rail, 1-of-4 방식에 비해 더 우수하다.

그림 6은 각각의 방식에 대한 D*P 값을 data rate와 도선 길이에 따라 계산하여 나타내고 있다. 그림 6(a)에서 보는바와 같이 도선 2 mm 이하에서는 data rate 전 영역에서 제안된 방식의 D*P 값이 가장 크지만, 그림 6(b)처럼 대략, 도선 4 mm 이상에서, 그리고, data rate 20 MHz 이상에서 적은 D*P 값을 가진다.

좀 더 구체적인 자료로써 표 5에는 각 도선의 길이에 따라서 제안된 방식이 더 작은 D*P 값을 갖기 위한 최소의 data rate를 표시하였다. 아울러, 타겟 시스템 없이 GALS 시스템에서의 IP 간 switching activity를 예상하기는 어렵지만, 현재 널리 사용되고 있는 버스 시스템 [17][18]의 동작 클럭 주파수인 183 MHz를 근거로 최대 switching activity를 계산하였다. dual-rail 방식의 경우, 2 mm 이상에서 1/2.44의 switching activity까지는 제안된 방식이 유리함을 알 수 있고, 1-of-4 방식의 경우에는 1/3.98 이하의 switching activity와 4 mm 이상의 도선의 길이에서 제안된 방식이 유리하다. D*P 값의 측면에서의 제안된 방식의 이득은 data rate와 도선 길이에 따라 달라지지만, 10 mm의 도선과 100 MHz data rate에서 dual-rail 방식과 1-of-4 방식에 비해서 각각 51.4%와 27.0%의 D*P 값을 줄일 수 있다.

2. buffered dual-rail과 1-of-4 방식과의 delay, 전력 소모 비교

일반적으로 전압 모드 회로에서 긴 도선을 통한 데이터

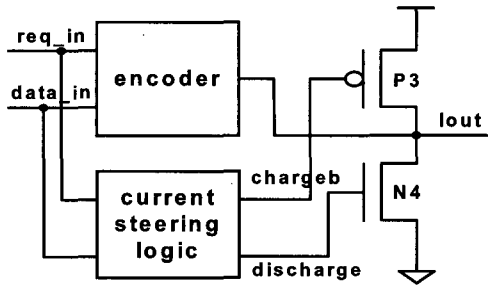
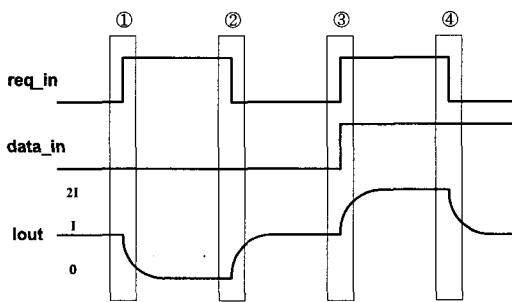


그림 7. CSL을 장착한 인코더 회로
Fig. 7. Encoder circuit with CSL.

전달 시, 도선의 중간에 버퍼를 삽입함으로써 도선으로 인한 지연시간을 줄일 수 있다. 그러나, routing 전에 도선의 길이가 설계자에게 알려지지 않았을 경우, 무작위적인 버퍼 삽입은 오히려 지연시간을 늘릴 수 있고, 전력 소모에도 크게 악영향을 미칠 수 있다. 따라서, 도선의 길이, 다시 말해서 채널의 load capacitance 값이 알려져 있고 도선의 길이가 delay에 영향을 미칠 때, ad-hoc 방법 또는 버퍼 삽입 알고리즘을 사용하여 도선의 지연시간을 감소시킨다. 한편, 보통의 타겟 시스템에서는 32 비트 주소, 64 비트 데이터처럼 2 비트보다는 전송 데이터가 크다. 이와 같은 환경에서 제안된 방식과 기존의 방식들을 비교하기 위해, 도선의 길이를 10mm로, 전송 데이터의 크기를 32 비트로 가정한 뒤 dual-rail 방식과 1-of-4 방식 각각에 대하여 최적의 D*P 값을 위한 버퍼를 삽입하였다.

[14]에 제시된 4가지 버퍼 종류(D1, D3, D7, DA)를 사용했으며, 버퍼 각각에는 기본 버퍼를 기준으로 1배(D1), 3배(D3), 7배(D7), 10배(DA)의 구동 능력이 있다.



For ① : $discharge_x = ((req_in \& \overline{data_in}) \text{ XOR } delay(req_in \& \overline{data_in})) \& req_in$
 For ② : $charge_x = ((\overline{req_in} \& data_in) \text{ XOR } delay(\overline{req_in} \& data_in)) \& \overline{req_in}$
 For ③ : $charge_y = ((req_in \& data_in) \text{ XOR } delay(req_in \& data_in)) \& req_in$
 For ④ : $discharge_y = ((\overline{req_in} \& \overline{data_in}) \text{ XOR } delay(\overline{req_in} \& \overline{data_in})) \& \overline{req_in}$
 $discharge = discharge_x \text{ OR } discharge_y$
 $chargeb = charge_x \text{ OR } charge_y$

그림 8. chargeb 신호 및 discharge 신호 발생조건
Fig. 8. Conditions of chargeb and discharge signals.

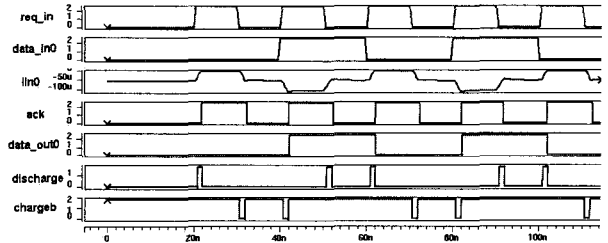
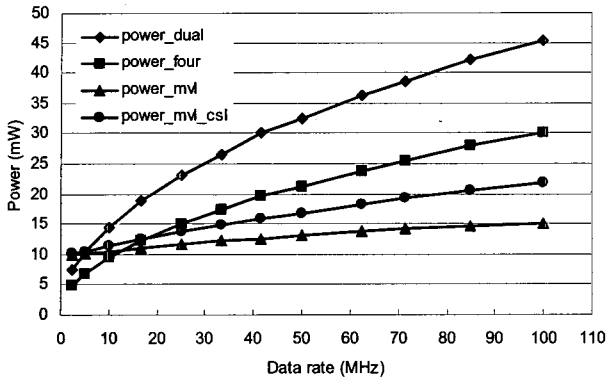


그림 9. CSL을 장착한 CMMVL 회로의 타이밍 시뮬레이션 파형
Fig. 9. Waveforms of timing simulation of CMMVL circuit with CSL.

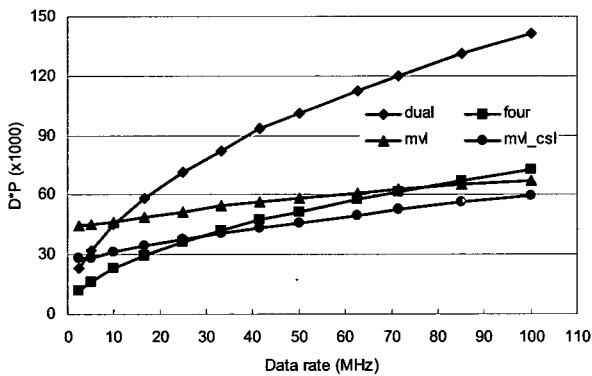
이들 버퍼를 도선에 삽입할 때는 버퍼 종류, 버퍼 수, 삽입의 위치에 따라 다양한 환경에서 D*P 값을 측정하였다. 즉, 도선에 삽입되는 버퍼 수를 1개, 2개, 3개, 5개로 변화시켰고, 버퍼 1개에 대해서는 버퍼의 위치를 도선의 앞과 중간으로 변화시켰다. 물론, 버퍼 종류도 변화시켰다. 실험결과, dual-rail 방식의 경우는 D3의 버퍼 1개를 도선 앞쪽에 위치시켰을 때, 1-of-4 방식의 경우는 D7의 버퍼 1개를 도선 앞쪽에 위치시켰을 때 가장 적은 D*P 값을 나타내었다. 42 MHz data rate를 기준으로 dual-rail 방식과 1-of-4 방식의 delay와 전력소모는 각각 3.11 ns, 30.0 mW와 2.42 ns, 19.7 mW로 측정되었다. 32 비트로 확장된 데이터 전송을 위한 4 단의 C-element의 propagation delay(약 0.45 ns)에도 불구하고, 그림 5(a)의 버퍼를 삽입하지 않은 경우의 delay(5.34 ns, 5.21 ns)와 비교해서 delay를 크게 감소시켰음을 알 수 있다.

마찬가지로 전류 모드 회로에서의 전송 delay도 도선의 길이에 영향을 받는다. 근본적인 원인은 10 mm 도선의 시뮬레이션 결과를 나타내는 그림 3에서와 같이, 도선의 길이가 길수록 도선의 capacitance 성분이 증가하고, 이에 따라 인코더의 출력 신호 $Iin0$ 와 $Iin1$ 의 전류량이 디코더의 전류미터에서 주어진 기준 전류 레벨까지 charge 되는데 시간이 걸리기 때문이다. 그러나, 기준 전류 레벨로 전류가 charge 혹은 discharge 되기 전에, 미리 강제적으로 도선에 적정량의 전류를 charge 혹은 discharge 시키면 기준 전류 레벨로 도달하는 시간을 줄일 수 있고, 이는 디코더에서 신호를 복원하는 시간을 단축시킬 수 있다.

이를 위해 CSL(Current Steering Logic)을 고안하였다. CSL을 장착한 인코더 회로를 나타내는 그림 7에서, 인코더의 최종 출력 신호에 연결된 P3와 N4는 각각 charge, discharge 동작을 수행한다. 이러한 동작을 가능케하는 chargeb 신호와 discharge 신호는 인코더의



(a) 전력소모 비교



(b) D*P 값 비교

그림 10. 10 mm 도선에서 32비트 데이터 전송 시 버퍼를 장착한 dual-rail, 1-of-4 방식과의 비교

Fig. 10. Comparisons with buffered dual-rail and 1-of-4 schemes with 32-bit data transfers on 10 mm wir.

입력 신호인 *req_in* 신호와 *data_in* 신호에 의해서 CSL에서 펄스형태로 발생된다. 그림 8은 이 두 신호를 이용하여 펄스형태의 신호를 만들어내는 4가지 조건과 회로를 위한 로직식을 설명하고 있다.

①과 ④는 전류가 discharge 되는 영역이고, ②와 ③은 전류가 charge되는 영역이다. 각 영역에 대해 *req_in* 신호와 *data_in* 신호를 이용해 지연소자와 AND, XOR 연산을 조합하면 그림 9의 *chargeb*와 *discharge* 신호와 같은 펄스들을 만들어 낼 수 있다. 여기에서 펄스들의 폭을 조절하면 전류의 charge, discharge 량을 조절할 수 있고, 이는 그림 8에 설명된 로직식의 지연 소자의 지연 시간에 의해 결정된다.

그림 9는 그림 2와 동일한 환경에서 CSL을 장착한 CMMVL 회로를 시뮬레이션한 결과를 나타내고 있다. 측정된 delay는 2.20 ns로 그림 3의 delay인 4.01 ns를 크게 단축시켰다. 10 mm 도선에 32 비트로 확장된 데이터 전송 시뮬레이션에서 4단의 C-element 트리를 포

함한 delay는 2.747 ns로 측정되었고 42 MHz data rate에서 소모된 전력은 15.9 mW였다.

그림 10은 10 mm 도선으로 32비트 데이터를 전송하는 환경에서 CSL을 장착한 CMMVL 회로의 전력소모량 (*power_mv_csl*)과 D*P 값(*mv_csl*)을 포함하여, 모두 4가지 다른 방식들의 시뮬레이션 결과를 나타내고 있다.

CSL을 장착한 CMMVL 회로는 data rate 전영역에서 CSL을 장착하지 않는 CMMVL 회로에 비해 전력소모가 많다. 이는 CSL에 의한 추가적인 전력소모에 기인한다. 그러나, CSL에 의한 delay 감소 효과로 CSL을 장착한 CMMVL 회로가 그렇지 않는 CMMVL 회로보다 더 적은 D*P 값을 나타낸다. 최적의 버퍼를 삽입한 dual-rail과 1-of-4 방식과 비교할 때, 각각 4 MHz, 25 MHz 이상의 data rate에서 CSL을 장착한 CMMVL 회로가 D*P 값 측면에서 유리하다. CSL을 장착한 CMMVL 회로의 dual-rail 방식과 1-of-4 방식에 대한 최대 이득은 100 MHz의 data rate에서 각각 57.5 %와 17.9 %이다.

V. 결 론

GALS 구조 기반 SoC 설계를 위한 DI 데이터 전송 메커니즘을 제안하였다. N 비트 데이터 전송에 2N+1개의 도선이 필요한 기존의 DI 방식과는 달리 제안된 방식은 QDI 모델을 기반으로 CMMVL 회로를 사용하여 N+1개의 도선만으로 DI 데이터 전송이 가능하다. 제안된 방식의 유효성을 입증하기 위해 트랜지스터 레벨에서 설계하여 delay 및 전력 소모 시뮬레이션을 통해 전통적인 dual-rail 방식 및 1-of-4 방식과 D*P 측면에서 비교하였다.

버퍼를 장착하지 않은 dual-rail, 1-of-4 방식과 비교해서 2 비트 데이터 전송시, 2 mm 이상의 도선에서 더 적은 delay가 측정되었다. D*P 값의 이득은 data rate에 따라서 달라지지만, dual-rail, 1-of-4 방식에 비해 각각 최대 51.4 %와 27.0 %의 이득을 얻었다.

32비트 데이터 전송 시 10 mm 도선에 D*P 측면에서 최적화된 버퍼를 삽입한 dual-rail, 1-of-4 방식과의 비교에서도 CSL을 장착한 제안된 방식의 D*P 값이 각각 4 MHz, 25 MHz 이상의 data rate에서 더 적음을 알 수 있었다. 최대 이득은 100 MHz에서 각각 57.7 %와 17.9 %로 측정되었다.

참 고 문 헌

- [1] *International Technology Roadmap for Semiconductors 2003 Edition*, Semiconductor Industry Association, 2003.
- [2] K. van Berkel, M. B. Josephs, and S. M. Nowick, "Scanning the technology: applications of asynchronous circuits," *Proc. of IEEE*, Vol. 87, No. 2, pp. 223-233, February 1999.
- [3] A. Lines, "Asynchronous interconnect for synchronous SoC design," *Micro*, Vol. 24, No. 1, pp. 32-41, January-February 2004.
- [4] S. B. Furber and P. Day, "Four-phase micropipeline latch control circuits," *IEEE Trans. VLSI Systems*, Vol. 4, No. 2, pp. 247-253, June 1996.
- [5] J. Sparso and S. B. Furber, *Principles of asynchronous circuit design: a system perspective*, Kluwer Academic Publisher, 2001.
- [6] W. J. Bainbridge and S. B. Furber, "Delay insensitive system-on-chip interconnect using 1-of-4 data encoding," in *Proc. of the Symp. on Asynchronous Circuits and Systems*, pp. 118-126, Salt Lake City, US, 2001.
- [7] K. C. Smith, "Multiple-valued logic: a tutorial and appreciation," *Computer*, Vol. 21, No. 11, pp. 17-27, November 1988.
- [8] I. B. Dhaou, M. Ismail, and H. Tenhunen, "Current mode, low-power, on-chip signaling in deep-submicron CMOS Technology," *IEEE trans. Circuits and Systems I: Fundamental Theory and Applications*, Vol. 50, No. 3, pp. 397-406, March 2003.
- [9] A. K. Jain, R. J. Bolton, and M. H. Abd-El-Barr, "CMOS multiple-valued logic design-part I: circuit implementation," *IEEE trans. Circuits and Systems I: Fundamental Theory and Applications*, Vol. 40, No. 8, pp. 503-514, 1993.
- [10] K. W. Current, "Current-mode CMOS multiple-valued logic circuits," *IEEE journal of solid-state circuits*, Vol. 29, No. 2, pp. 95-107, Feb. 1994.
- [11] T. Hanyu and M. Kameyama, "A 200 MHz pipelined multiplier using 1.5 V supply multiple-valued MOS current-mod circuits with dual-rail source-coupled logic," *IEEE journal of solid-state circuits*, Vol. 30, No. 11, pp. 1239-1245, Nov. 1995.
- [12] S. Hauck, "Asynchronous design methodologies: An overview," *Proc. of IEEE*, Vol. 83, No. 1, pp. 69-93, 1995.
- [13] A. S. Sedra and L. C. Smith, *Microelectronic Circuits*, Saunders College Publishing, 1991.
- [14] *CNU_IDEC cell library data book*, IDEC Chungnam National University, 1999.
- [15] Neil H. E. Weste and K. Eshraghian, *Principles of CMOS VLSI design*, Addison-Wesley publishing company, 1992.
- [16] Y.-M. Jiang and K.-T. Cheng, "Vector generation for power supply noise estimation and verification of deep submicron designs," *IEEE trans. VLSI Systems*, Vol. 9, No. 2, pp. 329-340, 2001.
- [17] *Advance microcontroller bus architecture specification*, Advance RISC Machines Ltd, 1999
- [18] *CoreConnect, processor local bus architecture specifications*, IBM Corp., 2000.

— 저 자 소 개 —



오 명 훈 (정회원)

1997년 전남대학교 컴퓨터공학과 학사

1999년 전남대학교 컴퓨터공학과 석사

2001년~2002년 University of Manchester 방문 연구원

2005년 광주과학기술원 정보통신공학과 박사

2005년~현재 한국전자통신연구원 서버플랫폼 연구팀 선임연구원

<주관심분야 : GALS 시스템 설계, 비동기회로 설계, 저전력 회로 설계,
TCP/IP Offload Engine 설계>