

논문 2006-43SD-1-9

비선형 단일 기울기 ADC를 사용하여 아날로그 감마 보정을 적용한 CMOS 이미지 센서

(A CMOS Image Sensor with Analog Gamma Correction using a Nonlinear Single Slope ADC)

함 석 현*, 한 건 희**

(Seog-Heon Ham and Gunhee Han)

요 약

인간의 눈은 넓은 영역의 빛의 밝기를 받아들이기 위해 log 응답 특성을 갖는 반면 이미지 센서는 제한된 dynamic range를 갖는다. 선형 ADC(analog-to-digital converter)를 적용한 일반적인 CMOS 이미지 센서는 이미지의 어두운 부분을 확실하게 나타내게 하기 위하여 이득을 높이며 일부 밝은 부분의 포화 현상을 막을 수 없다. 감마 보정은 인간의 눈의 반응에 맞추는 본질적인 방법이다. 그러나 디지털 감마 보정은 ADC 해상도와 센서 자체의 dynamic range의 한계 때문에 이미지의 질을 떨어뜨린다. 본 논문은 아날로그 감마 보정을 수행하는 비선형 ADC를 사용한 CMOS 이미지 센서를 제안한다. 제안된 비선형 ADC를 적용한 CMOS 이미지 센서는 0.35 μ m CMOS 공정을 이용하였다. 제안된 비선형 ADC CIS를 적용한 아날로그 감마 보정이 기존의 디지털 감마 보정 방법에 비해 질적으로 향상된 이미지를 보였는데 수치적으로 200mV 미만 픽셀 출력으로 이루어진 저조도 이미지에서의 peak-signal-to-noise ratio (PSNR)는 제안된 아날로그 감마 보정이 27.8dB, 디지털 감마 보정이 25.6dB로 측정되어 아날로그 감마 보정이 디지털 감마 보정에 비해 저조도 양자화 잡음을 28.8% 개선되었음을 확인하였다.

Abstract

An image sensor has limited dynamic range while the human eye has logarithmic response over wide range of light intensity. Although the sensor gain can be set high to identify details in darker area on the image, this results in saturation in brighter area. The gamma correction is essential to fit the human eye response. However, the digital gamma correction degrades image quality especially for darker area on the image due to the limited ADC resolution and the dynamic range. This paper proposes a CMOS image sensor (CIS) with a nonlinear analog-to-digital converter (ADC) which performs analog gamma correction. The CIS with the proposed nonlinear analog-to-digital conversion scheme was fabricated with a 0.35 μ m CMOS process. The analog gamma correction using the proposed nonlinear ADC CIS provides the 2.2dB peak-signal-to-noise-ratio(PSNR) improved image quality than conventional digital gamma correction. The PSNR of the image obtain from the digital gamma correction is 25.6dB while it is 27.8dB for analog gamma correction. The PSNR improvement over digital gamma correction is about 28.8%.

Keywords : CMOS image sensor, Gamma correction, Nonlinear analog-to-digital converter, Single-slope ADC.

I. 서 론

최근의 CIS(CMOS image sensor)는 고속화, 저전력, 집적화의 추세로 전자 카메라 적용 시장에서 CCD

(charge coupled device)를 빠른 추세로 대체하고 있다 [1]-[3].

일반적으로 이미지 신호 프로세싱 블록은 넓은 dynamic range의 일반 화면을 받아내기 위하여 선형 ADC 이득을 조절한다^[4]. 이러한 이득 조절 방법은 이미지에서 어두운 부분의 밝기를 향상시키려고 이득을 올리면 그림 1(b)와 같이 밝은 부분이 포화되기 때문

* 학생회원, ** 정회원, 연세대학교 전기전자공학과
(Dept. Electrical and Electronic Engineering, Yonsei Univ.)
접수일자: 2005년10월18일 수정완료일: 2006년1월2일

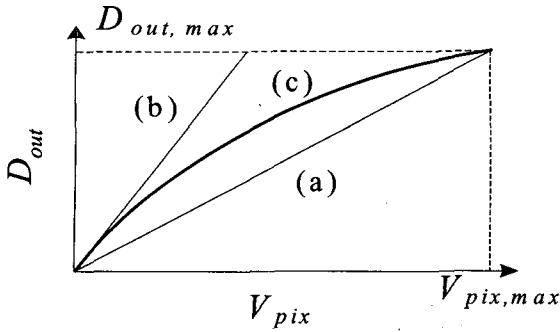


그림 1. 이득과 dynamic range. (a) 정상 이득 (b) 높은 이득 (c) 감마 보정 이득
 Fig. 1. Gain and dynamic range. (a) Normal gain. (b) High gain. (c) Gamma correction gain.

에 낮은 조도의 high contrast 화면에서는 효과적이지 않다. 낮은 신호에서는 높은 이득, 높은 신호에서는 낮은 이득을 구현하는 그림 1(c)와 같은 감마 보정이 인간의 눈의 로그 응답을 맞추기 위하여 요구되어 진다.

기존의 CIS들은 디지털 영역에서 감마보정을 수행하지만 디지털 감마 보정은 낮은 신호에서 양자화 잡음을 증폭하여 이미지 질을 저하시킨다^[5]. 그 밖에 아날로그 영역에서 보정을 수행하는 연구가 있었지만 데이터나 화질의 손실 없이 maximum dynamic range를 처리하는데 한계가 있었다^[6]. 본 논문은 그림 1(c)처럼 동작하는 비선형 단일 기울기 ADC를 제안한다. II장에서는 CIS에서 사용되는 일반적인 단일 기울기 ADC의 구조와 동작을 설명한다. 또한 비선형 ADC를 제안하고 시뮬레이션 결과를 보여준다. III장에서는 측정 결과를 설명하고 IV장에서 결론을 제시한다.

II. 제안하는 비선형 ADC를 적용한 CIS

1. 종적 단일 기울기 ADC의 동작

그림 2는 CIS에서 사용되는 단일 기울기 ADC의 주요 동작을 나타낸다. ADC는 비교기 어레이, 래치 어레이, 램프 생성기, 카운터로 구성되어 있다. 비교기는 픽셀 신호를 램프 신호와 비교하여 출력으로써 래치 신호 latch를 생성한다. 래치 블럭은 비교기의 출력으로부터 latch가 발생하는 순간 카운터 값을 저장하게 된다. 첫 번째 단계에서 램프 발생기와 카운터를 리셋하고 픽셀 리셋 레벨, 램프 오프셋, 비교기 오프셋 신호를 추출하여 저장한다. 두 번째 단계에서 모든 오프셋 신호를 제거하는데 이러한 제거 과정을 CDS(correlated double sampling)라고 한다^[7]. 세 번째 단계에서는 램프 신호 V_{ramp} 가 증가하면서 오프셋이 제거된 램프 신호가 V_{sig} 를 초과하게

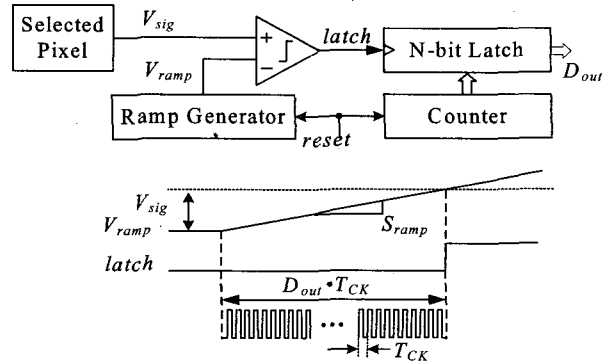


그림 2. 비교기를 적용한 단일 기울기 ADC의 동작 원리
 Fig. 2. Operation principal of the single slope ADC with comparator.

되면 비교기의 출력 latch는 그림 2처럼 변화한다. 카운터는 램프 신호가 증가하는 동안 지속적으로 카운트되고 래치는 비교기 출력이 변화할 때 카운터 값을 저장한다. 결과적으로 래치에 저장된 값은 V_{ramp} 가 V_{sig} 과 같아지는 소요 시간을 의미하며 그것은 V_{sig} 에 대응하는 ADC 출력에 해당하게 된다. 그러므로 ADC 출력 D_{out} 는 식 1과 같이 램프 기울기 S_{ramp} , 클럭 주파수 f_{CK} 에 의존한다.

$$D_{out} = V_{sig} \frac{f_{CK}}{S_{ramp}} \tag{1}$$

2. 제안된 CIS 용 비선형 ADC

그림 3은 구현하고자 하는 비선형 단일 기울기 ADC의 원리를 나타낸다. 램프 신호가 입력 신호 수준에 도달하는 경과 시간이 디지털 출력을 의미하기 때문에 그림 3(a)의 특성을 가지는 ADC는 그림 3(b)처럼 비선형 램프 신호를 사용하여 구현할 수 있다.

램프 신호는 T_{max} 가 최대 디지털 출력 D_{max} 에 해당되기 때문에 전체 dynamic range를 감당하기 위해서는 최대 ADC 처리 시간인 T_{max} 에서 V_{max} 에 도달해야 한다.

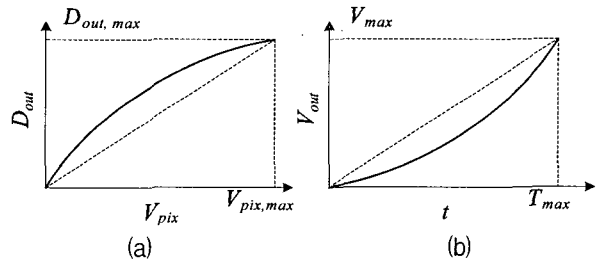


그림 3. 비선형 단일 기울기 ADC의 원리 (a) 구현하고자 하는 ADC 동작 (b) 요구되는 램프 신호
 Fig. 3. Principle of nonlinear single slope ADC. (a) Desired ADC behavior. (b) Required ramp signal.

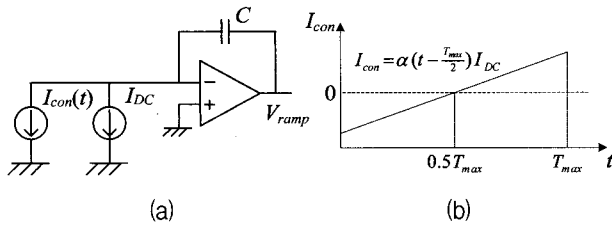


그림 4. 비선형 램프 생성기 (a) 개념도 (b) 비선형 램프 생성기를 위한 조절 전류
 Fig. 4. Nonlinear ramp generator. (a) Schematic diagram. (b) Control current for the nonlinear ramp generator.

이 램프 신호는 그림 4와 같이 일정한 전류 입력과 시간 의존 전류 입력을 가지는 적분기를 이용하여 구현할 수 있다.

램프 생성기의 출력 전압은 식 2와 같다.

$$V_{ramp}(t) = \frac{1}{C} \int_0^t (I_{DC} + I_{con}(\tau)) d\tau \quad (2)$$

$$= \frac{I_{DC}}{C} \left(\left(1 - \frac{\alpha T_{max}}{2}\right)t + \frac{\alpha}{2}t^2 \right)$$

식 2는 그림 3(b)에 보여준 것과 같은 파형을 구현하기 위해 2차 항을 포함한다. 시간 의존 전류원의 기울기 α 는 2차 항의 상대적 가중치를 조절함으로써 α 가 높아지면 곡률이 커진다. 하지만 램프 신호는 식 (3)에서 알 수 있듯이 α 에 상관없이 T_{max} 에서 V_{max} 가 된다.

$$V_{ramp}(T_{max}) = \frac{1}{C} I_{DC} T_{max} = V_{max} \quad (3)$$

식 (3)은 T_{max} 에서 I_{con} 의 적분량이 0이 되는 한 만족된다.

그림 5는 제안된 비선형 램프 생성기의 회로도를 보여준다. 시간 의존 전류원은 추가된 램프 생성기와 선형화된 transconductor를 이용하여 구현한다. 마스터 램프 생성기의 출력 V_{ramp1} 은 램핑이 시작되는 순간부터 소요되는 시간에 대응하며 V_{ramp1} 은 선형화된 transconductor는 V_{ramp1} 를 입력으로 받아 시간에 종속되는 선형전류를 생성한다. I_{con} 은 그림 4(b)에서처럼 $0.5T_{max}$ 에서 극성이 바뀌어야 하기 때문에 operational transconductor의 기준 전압으로써 V_{ramp1} 최대값의 중간값인 V_{mid} 를 인가해야 한다.

OTA의 transconductance는 식 (2)에서의 α 에 해당하며 α 는 차동입력 구동 소자의 크기, tail 전류, source degeneration 저항에 의하여 조절된다.

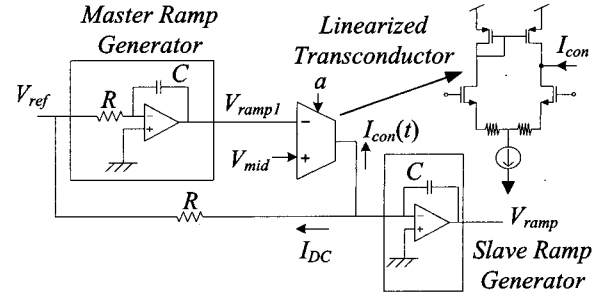


그림 5. 제안한 비선형 램프 생성기의 블럭도
 Fig. 5. Schematic diagram of the proposed nonlinear ramp generator.

OTA의 transconductance는 식 (2)에서의 α 에 해당하며 α 는 차동입력 구동 소자의 크기, tail 전류, source degeneration 저항에 의하여 조절된다.

제안된 비선형 ADC를 사용한 아날로그 감마 보정은 디지털 감마 보정에 의하여 낮은 신호에서 발생하는 양자화 잡음의 증폭 현상을 피할 수 있다. 식 (4)는 선형 ADC의 입력과 출력을 나타낸다.

$$P = S + n_c \quad D_{out} = P + n_q \quad (4)$$

여기서 P 는 픽셀 값, S 는 입력 신호, n_c 는 회로 잡음, D_{out} 은 선형 ADC의 출력, n_q 는 양자화 잡음을 각각 의미한다. 식 (4)는 선형 ADC의 출력이 픽셀 값에 양자화 잡음이 추가된 것을 나타낸다. 디지털 감마 보정을 적용한 선형 ADC의 출력 G_{dig} 는 식 (5)와 같다.

$$G_{dig} = A(S) \cdot D_{out} + n_d \quad (5)$$

$$= A(S) \cdot P + A(S) \cdot n_q + n_d$$

여기서 $A(S)$ 는 감마 보정 곡선 n_d 는 디지털 감마 보정에서의 truncation error를 나타낸다. 식 (5)는 디지털 감마 보정이 $A(S) > 1$ 인 저조도 신호에서 양자화 잡음인 n_q 가 증폭된다는 것을 나타낸다. 반면에 아날로그 감마 보정한 비선형 ADC의 출력 G_{ana} 는 아래 수식과 같다.

$$G_{ana} = A(S) \cdot P + n_q \quad (6)$$

식 (6)은 아날로그 감마 보정의 경우 전 신호 범위에서 양자화 잡음이 균일하다는 것을 나타낸다.

3. 시뮬레이션 결과

그림 6은 제안된 램프 생성기의 소자 수준 시뮬레이션 결과를 보여준다. Source degenerated operation transconductor의 transconductance는 차동 입력 쌍의

구동 소자 size의 변경을 통하여 조절할 수 있다. 그림 7은 제안된 비선형 ADC를 사용하여 아날로그 감마 보정을 한 경우의 잡음 시뮬레이션 결과를 기존의 디지털 감마 보정과 비교하여 보여준다. 두 경우의 감마 보정 특성 곡선을 일치시킨 경우, 디지털 감마 보정이 낮은 입력 신호에서 양자화 잡음을 증폭하는 반면에 아날로그 감마 보정은 증폭이 되지 않는다는 것을 보여준다.

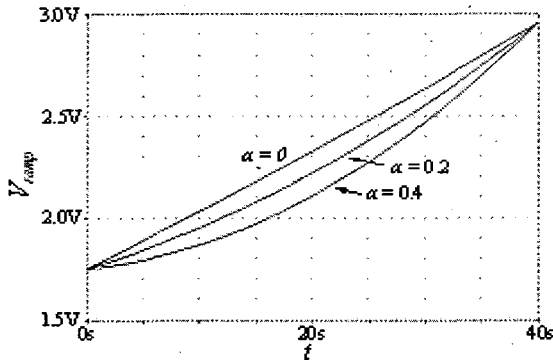


그림 6. 제안된 램프 생성의 소자 시뮬레이션 결과
Fig. 6. Transistor level simulation results of proposed ramp generation.

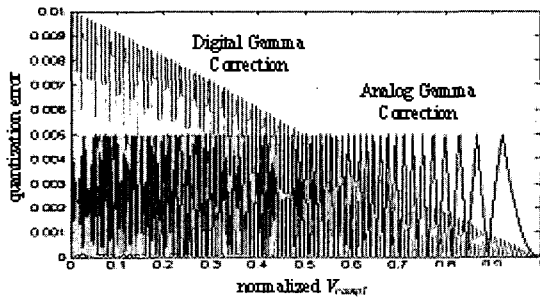


그림 7. $\alpha=0.3$ 이고 10bit ADC 해상도를 갖는 경우에 양자화 잡음 시뮬레이션 결과
Fig. 7. Quantization error simulation results for $\alpha=0.3$ and 10bit ADC resolution.

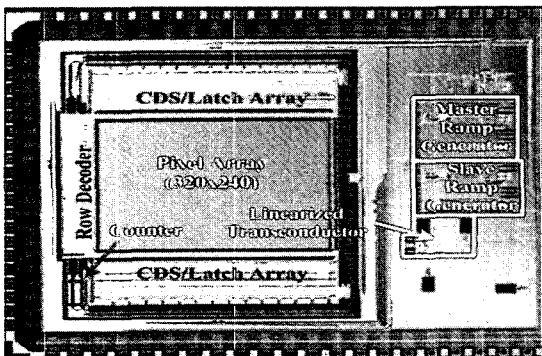


그림 8. 제조된 CIS의 칩 사진 (4,800 μm x 4,000 μm)
Fig. 8. Microphotograph of the fabricated CIS (4,800 μm x 4,000 μm).

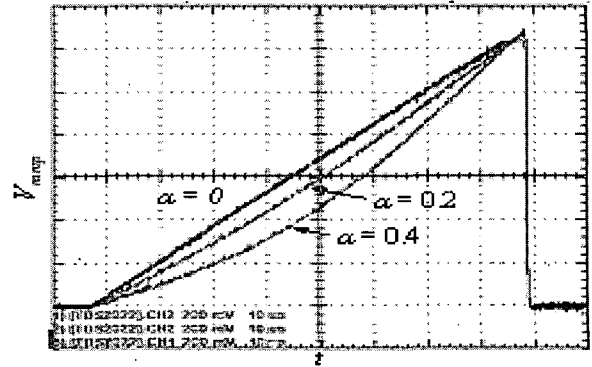


그림 9. 제안된 램프 생성기의 측정 결과
Fig. 9. The measurement result of the proposed ramp generator.

III. 실험

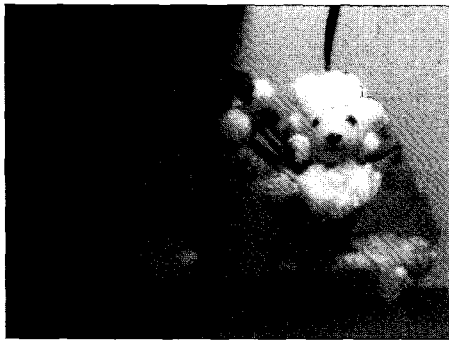
제안된 비선형 램프 생성기는 0.35- μm CMOS 공정을 이용하여 CIS에 탑재되었다. 그림 8은 제조된 CIS의 칩 사진을 보여준다. 제조된 chip은 램프 기울기와 선형화된 transconductor의 transconductance를 변화시킬 수 있도록 되어 있다.

그림 9는 α 의 변화에 따라 제안된 램프 생성기의 측정 결과를 나타낸다. α 에 무관하게 램프 신호는 T_{max} 에서 V_{max} 가 된다는 것을 알 수 있다.

그림 10은 제조된 CIS로부터 얻어진 이미지를 보여준다.

그림 10(a)에서처럼 정상 이득 조건에서는 어두운 부분의 윤곽을 구별하기가 힘들고(이미지 안에 흰색 box 영역 참조) 그림 10(b)처럼 높은 이득 조건에서는 어두운 부분은 뚜렷하게 볼 수 있으면서 밝은 부분은 포화되는 것이 확인된다. 본 논문에서 제안된 비선형 ADC를 통하여 얻은 그림 10(c)의 이미지는 어두운 부분이 뚜렷해지면서도 밝은 부분이 포화되지 않는다.

그림 11(a)는 정상 이득을 가진 선형 ADC로부터 얻은 이미지를 감마 보정한 결과이며 그림 11(b)는 본 논문에서 제안된 CIS로부터 얻어진 이미지를 보여준다. 두 경우의 감마 보정 특성 곡선을 일치시켰다. 아날로그 감마 보정이 이미지 안에 흰색 box 영역에서 확인할 수 있듯이 디지털 감마 보정보다 향상된 이미지를 생성한다는 것을 알 수 있다. 수치로 확인하기 위하여 아날로그 감마 보정과 디지털 감마 보정에 따른 저조도 이미지에서의 양자화 잡음 증폭 정도를 비교하는 가장 일반적인 척도인 PSNR (peak-signal-to-noise-ratio)을 측정하였다



(a)



(b)

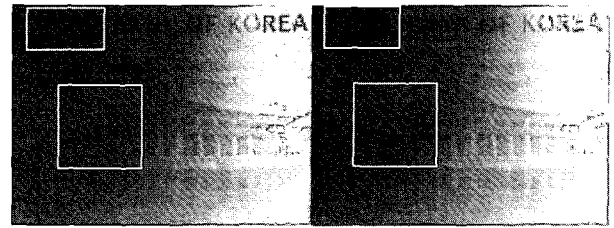


(c)

그림 10. 제조된 CIS로부터 얻어진 CIS 이미지 (a) 정상 이득 선형 ADC (b) 높은 이득 선형 ADC (c) 비선형 ADC ($\alpha=0.4$)

Fig. 10. CIS images obtained from the fabricated CIS. (a) With normal gain linear ADC. (b) With high gain linear ADC (gain=5). (c) With the nonlinear ADC ($\alpha=0.4$).

측정 결과, 저조도 PSNR 평가를 위해 200mV 미만의 저조도 pixel 신호로 이루어진 이미지를 사용하였고 원본 이미지로는 감마 이득과 가장 유사한 아날로그 이득 가진 선형 ADC CIS로부터 얻어진 영상을 취하였다. 측정 결과, 아날로그 감마 보정이 27.8dB PSNR인 반면 디지털 감마 보정이 25.6dB PSNR로 측정되었는데 이러한 수치는 아날로그 감마 보정이 디지털 감마 보정 방법에 비해 저조도 이미지에서 PSNR은 2.2dB, 양자화 잡음 관점에서는 28.8% 향상된 것을 의미한다.



(a)

(b)

그림 11. 디지털 감마 보정과 아날로그 감마 보정간의 비교 (a) 정상 이득 선형 ADC에서 디지털 감마 보정 후 이미지 (b) 제안된 비선형 램프 생성기로부터 얻어진 이미지

Fig. 11. Comparison between the digital gamma correction and the analog gamma correction. (a) Image after digital gamma correction with the linear normal gain ADC. (b) Image captured with the proposed nonlinear ramp generator.

측정 결과, 저조도 PSNR 평가를 위해 200mV 미만의 저조도 pixel 신호로 이루어진 이미지를 사용하였고 원본 이미지로는 감마 이득과 가장 유사한 아날로그 이득 가진 선형 ADC CIS로부터 얻어진 영상을 취하였다. 측정 결과, 아날로그 감마 보정이 27.8dB PSNR인 반면 디지털 감마 보정이 25.6dB PSNR로 측정되었는데 이러한 수치는 아날로그 감마 보정이 디지털 감마 보정 방법에 비해 저조도 이미지에서 PSNR은 2.2dB, 양자화 잡음 관점에서는 28.8% 향상된 것을 의미한다.

IV. 결 론

본 논문은 CIS용으로 아날로그 감마 보정을 할 수 있는 손실이 없으면서도 구현이 용이한 비선형 단일 기울기 ADC를 제안한다. 제조된 CIS로부터 얻은 이미지는 비선형 ADC를 사용한 아날로그 감마 보정이 기존의 방법보다 어두운 부분에서 상대적으로 향상된 이미지의 질을 제공한다는 것을 보여주었다.

참 고 문 헌

[1] E.R. Fossum, "CMOS image sensor: Electronic camera on a chip," *IEEE Trans. Electron Devices*, Vol. 44, No. 10, pp. 1689-1698, Oct. 1997.

[2] R.H. Nixon, S.E. Kemeny, B. Pain, C.O. Staller, and E.R. Fossum, "256x256 CMOS active pixel sensor camera-on-a-chip," *IEEE J. Solid-State-Circuits*, Vol. 31, No. 12, pp. 2046-2050, Dec. 1996.

[3] S.K. Mendis, S.E. Kemeny, R.C. Gee, B. Pain,

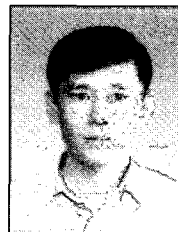
- C.O. Staller, Q. Kim, and E.R. Fossum, "CMOS active pixel image sensors for highly integrated imaging systems," *IEEE J. Solid-State-Circuits*, Vol. 32, No. 2, pp.187 - 197, Feb. 1997.
- [4] T. Kuno and H. Sugiura, "A new automatic exposure system for digital still cameras," *IEEE Trans. Consumer Electronics*, Vol. 44, No. 1, pp. 192-199, Feb. 1998.
- [5] K. Yoon, C. Kim, B. Lee, and D. Lee, "Single-chip CMOS image sensor for mobile applications," *IEEE J. Solid-State-Circuits*, Vol. 37, No. 12, pp. 1839-1845, Dec. 2002.
- [6] O. Kwon, K. Park, D. Lee, K. Lee, S. Jun, C. Kim, and W. Yang, "A novel double slope analog-to-digital converter for a high-quality 640×480 CMOS imaging system," *ICVC 6th International Conference*, pp. 335-338, Oct, 1999.
- [7] H. Chye and B. Wooley, "A 128×128-pixel standard-CMOS image sensor with electronic shutter," *IEEE J. Solid-State-Circuits*, Vol. 31, No. 12, pp. 1922-1930, Dec. 1996.

 저 자 소 개



함 석 헌 (학생회원)
 1987년 한양대학교 전자공학과
 학사
 1990년 한양대학교 전자공학과
 석사
 2002년 연세대학교 전기전자
 공학과 박사 과정

1990년~현재 삼성전자 반도체 부문
 <주관심분야 : CMOS Image Sensor, 아날로그
 회로, 잡음 분석>



한 건 희 (정회원)
 1990년 연세대학교 전자공학과
 학사
 1997년 Texas A&M 박사
 1998년 Texas A&M 조교수
 1998년~현재 연세대학교 부교수

<주관심분야 : 아날로그 회로, CMOS Image
 Sensor, 고속 직렬 통신 회로, $\Sigma\Delta$ 모듈레이터>