

---

# Dynamic Element Matching을 통한 Multi-bit Delta-Sigma Modulator에서의 DAC Error 감소 방안 비교

현 덕 환\*

Comparison of Dynamic Elements Matching Method in the Delta-Sigma Modulators

Deokhwan Hyun

---

이 논문은 2005년도 경주대학교 학술연구비 지원으로 수행되었음

---

## 요 약

고정도, 저주파용 데이터 변환기로 사용되어온 델타-시그마 변환기는 그 출력단에 1 bit 혹은 multi-bit 양자화기(ADC)를 사용할 수 있다. 이 중 multi-bit 양자화기를 사용하는 경우 궤환회로에도 multi-bit DAC을 사용하여야 하며 시스템의 데이터 변환 정확도는 DAC의 비선형성에 직접적인 영향을 받는다. 이 영향을 최소화하여 델타-시그마 변환기의 변환 정확도를 높이기 위해서는 DAC에 사용되는 단위 데이터 변환소자 간의 오차가 시스템에 미치는 영향을 최소화 하여야 한다. 이 과정 즉 Dynamic Element Matching을 위하여 제안된 4가지 방안(DER, CLA, ILA, DWA)을 비교 설명하였다. 그리고 각 방안을 사용하였을 때 시스템 출력의 잡음 특성을 비교 하였다. 이 중 DWA(Data Weighted Averaging) 방안이 가장 우수한 출력 특성을 보였다.

## ABSTRACT

The advantage of the DSM which employ multi-bit quantizer is the increased SNR at the modulator's output. Typically 6 dB improvement is expected for every one additional bit. But multi-bit quantizer evidently requires multi-bit DAC in the feedback loop. The integral linearity error of the feedback DAC has direct impact upon the system performance and degraded SNR of the system. In order to mitigate the negative impact the DAC has on the system performance, many DEM(Dynamic Element Matching) schemes has been proposed. Among the proposed schemes, four schemes(DER,CLA,ILA,DWA) are explained and its performance has been compared. DWA(Data Weighted Averaging) method shows the best performance of the all.

## 키워드

delta-sigma modulator, dynamic element matching, data weighted averaging

## I. 서 론

Noise-Shaping 특성을 이용하는 델타-시그마 변환기가 데이터 변환에 사용된 이후 변환기 최종단의 ADC는 주

로 1-bit 변환기가 사용되어 왔다. 이 경우 델타-시그마 변환기 신호 입력에 대한 양자화 잡음의 비는 작지만 시스템이 간단하게 되고 궤환 회로에 추가적인 DAC가 필요 없게 된다. 그러나 델타-시그마 변환기 최종단의 quantizer

를 multi-bit 로 하는 경우 출력단의 양자화 잡음과 신호 전력의 비는 크게 증가하게 된다. 출력 quantizer가 1bit 증가할 때 마다 약 6dB의 신호 대 양자화 잡음비가 개선된다. 따라서 시스템의 OSR(Over Sampling Ratio)을 증가시키지 않고 내부 quantizer의 변환 레벨을 증가시킴으로써 델타-시그마 변환기 출력의 정도(accuracy)를 크게 향상시킬 수 있다[1].

Multi-bit quantizer의 이점은 비단 신호 대 양자화잡음비(比) 증가 뿐 아니라 시스템의 안정성도 크게 향상시킨다. 시스템의 차수가 적을 때는 시스템의 안정성이 문제되지 않지만 3차 이상의 델타-시그마 변환기에서는 해석적인 방법으로 안정성의 확인이 불가능하기 때문에 시스템의 안정성은 항상 문제가 된다. 따라서 시스템 안정성의 증가는 설계자에게 큰 이점이 된다. 델타-시그마 변환기에서 multi-bit quantizer를 사용함에 따른 또 다른 이점은 동일한 대역폭의 신호를 동일한 신호 대 잡음비로 변환하는 경우 동작주파수(sampling frequency)를 획기적으로 감소시킬 수 있다는 것이다. 이것은 회로의 소모 전력을 감소시키고 특히 델타-시그마 변환기 출력을 처리해야 하는 디지털 회로의 전력 소모에 결정적인 영향을 미친다[2,3].

그러나 위에서 열거한 이점에도 불구하고 델타-시그마 변환기 출력 quantizer에 multi-bit를 사용하는 경우 부채환 회로의 DAC 역시 multi-bit를 사용해야 함으로 이 DAC의 변환 정도(Accuracy)는 시스템의 정도에 직접적인 영향을 미치게 된다. 1 bit quantizer는 그 특성상 내재적으로 출력 신호 레벨간의 선형성을 보장한다. 그러나 multi-bit quantizer의 경우 이러한 특성이 없으므로 출력 신호 레벨의 정도는 전 시스템의 정도에 영향을 미치는 중요한 요소가 된다. 통상 DAC을 단위 저항, 전류, 캐패시터 등의 조합으로 구현하는 경우 각 element 간의 정합이 최종 출력 신호의 선형성에 영향을 미친다. 이 오차는 델타-시그마 변환기 출력에 직접 영향을 미치므로 이 영향을 최소화시켜 최종 출력의 신호 대 잡음비를 증가시키려는 노력이 꾸준히 계속되어 왔다. 그 영향을 감소시키는 방법은 DAC에 사용되는 소자를 각 입출력 신호 레벨에 따라 무작위 혹은 미리 정해진 방법에 따라 사용하는 것이다. 그렇게 함으로 DAC의 비선형성에 따르는 잡음 신호를 전 주파수 대역으로 분산시키거나 고주파 대역으로 이동시켜 신호주파수 영역에서의 영향을 감소시킨다. 이 방법을 DEM(Dynamic Element Matching) 이라고 하며

본 논문에서는 이 중 4 가지 방안, 즉 Dynamic Element Randomization (DER), Clocked Level Averaging (CLA), Individual Level Averaging (ILA), 과 Data Weighted Averaging (DWA) 방안의 원리를 설명하고 각 경우 최종 출력의 신호 대 잡음비를 계산함으로써 각 시스템의 특성과 장단점을 고찰하고자 한다.

## II. Multi-bit Delta-Sigma Modulator

DSM의 내부 quantizer로 multi-bit를 사용하는 경우 계통도는 그림 1 과 같다. 이 경우 아날로그 feedback 신호를 발생시키기 위하여 multi-bit DAC가 feedback loop에 필요하게 된다. 1-bit ADC와 DAC를 사용하는 경우와 multi-Bit ADC와 DAC를 사용하는 경우의 차이는 1-bit DAC의 경우 값이 두 가지 뿐이므로 각 출력값 간의 선형성이 자동으로 보장되지만 multi-bit의 경우는 그렇지 않다는 것이다. Multi-bit를 사용하는 DSM의 경우 오차 model은 그림 2와 같다. 그림 2에서

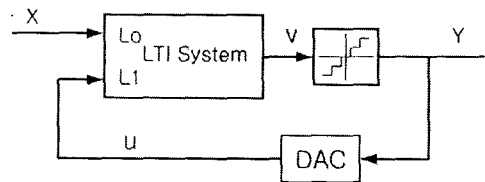


그림 1. DSM 계통도  
Fig. 1. DSM block diagram

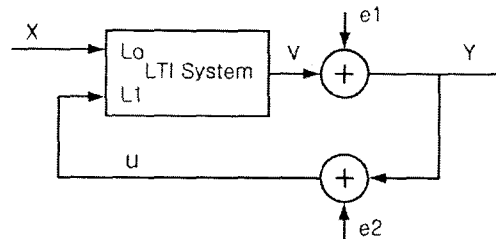


그림 2. DSM 계통도 error 모델  
Fig. 2. DSM block diagram with errors

$$\begin{aligned}
 V(z) &= L_0(z) \cdot X(z) + L_1(z) \cdot U(z) \\
 Y(z) &= V(z) + E_1(z) \\
 U(z) &= Y(z) + E_2(z)
 \end{aligned}
 \tag{1}$$

가 되고

그때 출력은

$$\begin{aligned}
 Y(z) &= \frac{L_0(z)}{1+L_1(z)} \cdot X(z) + \frac{1}{1+L_1(z)} \cdot E_1(z) \\
 &\quad + \frac{L_1(z)}{1+L_1(z)} \cdot E_2(z) \\
 &= STF(z) \cdot X(z) + NTF1(z) \cdot E_1(z) \\
 &\quad + NTF2(z) \cdot E_2(z)
 \end{aligned} \tag{2}$$

이 된다.

여기서

$$\begin{aligned}
 STF(z) &= \frac{L_0(z)}{1+L_1(z)} \\
 NTF1(z) &= \frac{1}{1+L_1(z)} \\
 NTF2(z) &= \frac{L_1(z)}{1+L_1(z)}
 \end{aligned} \tag{3}$$

이다.

식(2)는 임출력간과 DSM 내부의 ADC 및 DAC에서 발생하는 오차의 상호관계를 보여준다. 여기서  $L_1(z)$ 의 pole은  $NTF1$ 의 zero가 된다.  $STF$ ,  $NTF1$ 과  $NTF2$ 는 같은 pole을 가진다.(즉  $1+L_1(z)$ 의 zero) 보통  $L_1(z)$ 는 신호대역에서 높은 이득 값을 가지며 이 경우  $NTF1$ 은 매우 작은 값을 가진다. 그러나  $NTF2$ 의 경우 1에 가까운 값을 가진다. 따라서 신호 대역에서  $L_0(z)$ ,  $L_1(z)$  값이 1보다 매우 큰 값인 경우  $STF$ ,  $NTF1$ ,  $NTF2$ 는 각각 아래 식과 같이 표현된다.

$$\begin{aligned}
 STF(z) &\cong \frac{L_0(z)}{L_1(z)} \\
 NTF1(z) &\ll 1 \\
 NTF2(z) &\cong 1
 \end{aligned} \tag{4}$$

여기에 더하여 만약  $L_0(z)$ 와  $L_1(z)$ 가 신호대역에서 비슷한 크기를 가지고 그 값이 1보다 매우 큰 수이면

$$STF(z) = \frac{L_0(z)}{1+L_1(z)} \cong 1 \tag{5}$$

이 된다.

이것은 시스템의 입력이 출력에 그대로 전달된다는 뜻이다. 식(4)에서  $NTF1$ 은 1보다 매우 작은 수 이므로 시스템의 quantizer에서 발생한 잡음 성분은 신호 대역에서 무시된다. 문제는 식(4)에 표시된  $NTF2$ 이다. 이것은 feedback 회로의 DAC에서 발생하는 오차 성분의 전달함수이다.  $|NTF2(z)| \cong 1$ 인 경우 이 오차는 별도의 감쇄나 noise shaping 없이 출력에 전달된다. 따라서 출력신호의 정확도는 feedback DAC의 정확도에 직접적으로 비례한다. DAC에 사용되는 저항, capacitor 등 단위소자의 정합 오차를 1% 이내로 가정하는 경우 최종 출력은 8-9 bit의 정확도를 가진다. 실제 C를 단위 소자로 사용하는 경우 그 표준편차의 최소치는 0.1% 정도로 측정된다[4]. DSM의 동작은 기본적으로 시스템의 속도와 정확도를 서로 교환하는 것이다. 이 원리로 통상 DSM의 정도는 15-bit 이상을 구현하므로 feedback loop의 DAC 오차는 다른 방법으로 보상되어야 한다. 이것을 구현하는 구체적인 방법은 다음절에 설명한다.

### III. Dynamic Element Matching Method

이 절에서는 feedback 회로에 사용되는 DAC에서 발생하는 오차가 시스템 출력에 미치는 영향을 최소화하기 위해 사용되는 몇 가지 방법에 대하여 설명하고 각각의 방안을 사용하였을 때 시스템의 출력 특성을 서로 비교하여 본다.

#### 3.1 Dynamic Elements Randomization(DER)

이것은 기본적으로 DAC에 사용되는 단위소자들을 무작위로 선택하는 방법이다. 시스템의 동작은 그림 3과 같다. N-bit DAC인 경우 DSM 출력단의 디지털 신호가 DAC에 입력되면 'randomizer'가 2N개의 선택 가능한 단위 변환소자 중 M개를 선택한다[5].

N이 작은 경우 ( $N \geq 3$ ) 선택 가능한 경우의 수가 작기 때문에 회로 구현에 큰 어려움이 없다. 가령  $N=3$ 인 경우 선택 가능한 단위 변환소자는 8개(혹은 7개)이다. 이 중 4개를 선택하는 경우 선택방법의 개수는  $8C4 = 70$ 으로 주

어진다. 그러나 N이 증가하면 모든 입력 값에 대해 선택 가능한 경우의 수가 기하급수적으로 증가한다. 따라서 완전한 'randomizer'의 구현 보다는 선택 가능한 경우의 일부분만을 수용하는 현실적인 회로로 구현된다. 가장 간단한 방법은 M-port barrel shifter를 사용하여 매 clock 마다 단위소자의 위치를 하나씩 이동시키는 것이다. 이 경우 각 단위소자의 오차가 완전히 독립적이면 출력오차의 상쇄가 가능하나 실제 chip에서 R혹은 C로 구현되는 단위소자 값은 위치에 따라 변하여 인접한 소자는 유사한 값을 가져 완전한 오차의 상쇄는 불가능하다. 그림 3은 DER 방법의 계통도를 보여준다. Kenney는 가능한 조합 중 일부를 구현하는 butterfly 형의 randomizer를 제안 하였으며 3-bit DAC을 사용하는 경우 그 계통도는 다음절에서 설명할 CLA의 단위소자 선택도(그림 4)와 매우 유사하다. DEM 방법의 목적은 단위 변환소자의 부정합에 따른 오차를 각 level 별로 DC 값에서 전 주파수 범위로 분산시키는 것이다. 이렇게 함으로 신호주파수 대역내의 오차 신호 영향이 줄어들게 된다.

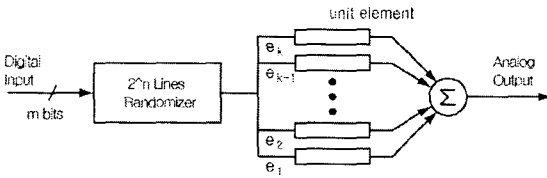


그림 3. DAC 단위소자 선택

Fig. 3. Unit Elements selection in a DER type DSM

3.2 Clocked Level Averaging(CLA)

DEM의 두 번째 방법은 Leung에 의해 제안된 Clocked Level Averaging(CLA) 방법이다. Leung은 CLA와 다음절에서 설명할 Individual Level Averaging(ILA) 방법을 동시에 제안하였다[6,7]. 이것은 DSM의 동작 주파수에 따라 DAC의 변환 element를 교환하는 것이다. 이렇게 함으로 변환기 element mismatching에 의한 오차를 클럭 주파수의 고조파로 변환시켜 신호주파수 범위에서의 S/N비를 증가시킨다. 3-bit DAC인 경우, 즉 변환 element가 8개인 경우 동작을 예로 설명한다.

그림 4는 CLA algorithm에서 DAC 변환 element의 사용 위치 변환도이다. 여기서 In0, In1, ... In7은 사용되는 변환 element이다.(서로 오차를 포함한다) out0, out1, ... out7은 각 digital 입력에 따르는 출력을 표시한다. 가령 입력이

001이면 out1이 출력이 되고 011이면 out1+out2+out3가 출력이 된다. 그림 4에서 첫째 열 아래쪽 4개의 element와 위쪽 4개의 element는 fCLK에 따라 그 위치를 서로 바꾼다. 그 다음 둘째 열 제일 위쪽 2개의 element와 그 아래 2개의 element는 fCLK/2에 따라 그 위치를 바꾼다. 아래쪽 4개의 element도 동일하다. 마지막 열에서는 서로 인접한 2개의 element끼리 fCLK/4의 주기로 위치를 서로 바꾼다. 이 경우 In0는 그 위치가 0-4-2-6-1-5-3-7 순서로 바뀐다. 각 element의 위치변화에 따라 선택된 변환 element는 표 1에 표시되어 있다.

표 1. CLA 방법 사용시 입력 변화에 따른 DAC 단위 변환 소자 선택표  
Table 1. DAC Unit elements selection table in CLA case

sequence no	1	2	3	4	5	6	7	8	
switching frequency	f/4			√				√	
	f/2		√		√		√		
	f	√	√	√	√	√	√	√	
element no.	0	0	4	2	6	1	5	3	7
	1	1	5	3	7	0	4	2	6
	2	2	6	0	4	3	7	1	5
	3	3	7	1	5	2	6	0	4
	4	4	0	6	2	5	1	7	3
	5	5	1	7	3	4	0	6	2
	6	6	2	4	0	7	3	5	1
	7	7	3	5	1	6	2	4	0
position of In0	0	4	2	6	1	5	3	7	
DAC input value	1	2	4	1	3	5	2	3	
selected elements	0	4 5	2 3 0 1	6	1 0 3	5 4 7 6 1	3 2	7 6 5	

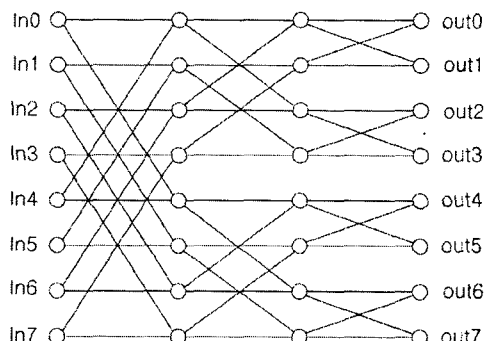


그림 4. 3 bit CLA의 경우 단위 변환소자 선택도  
Fig. 4. Unit elements selection in 3-bit CLA case

### 3.3 Individual Level Averaging(ILA)

세 번째 DEM 방법은 Leung에 의해 CLA와 동시에 제안된 Individual Level Averaging(ILA) 방법이다. 이것은 DER 방법과 비교하여 신호대역에서의 SNR을 증가시키기 위한 것이다. 이 방법은 DAC의 각 digital 입력 값에 대하여 DAC가 사용하는 단위소자의 사용 확률이 동일하게 되도록 하여 신호 대역내의 양자화 잡음과 특성 tone 성분을 줄인다. 만약 feedback loop 의 DAC가 M개의 단위 element를 사용하여 구성되었고 입력 X에 대하여 X개의 element가 최종 출력을 나타내기 위하여 사용되었다고 하자. Leung은 ILA를 구현하기 위하여 각 element를 선택하는 다음 2가지 방법을 제안하였다.

#### 1) Rotation 방안

이 방법은 첫 X 입력에 대하여 element 1 ~ X를 선택하고 두 번째 X 입력에 대하여서는 2 ~ X+1을 선택하는 방법을 계속한다. 이것은 각 입력 level에 대하여 동일한 방법으로 동작한다.

#### 2) Addition 방안

첫 X 입력에 대하여 element 1 ~ X를 선택하고 두 번째 X 입력에 대하여서는 X+1 ~ 2X 를 선택하는 방법을 계속한다.

두 경우 모두 가능한 각 입력 값에 대하여 위의 과정이 반복된다. 따라서 각 입력 값에 대하여 이전까지 사용되었던 단위 element의 index를 기억하고 있어야 한다. 한 입력에 대하여 전체 element M개를 다 사용하기 위하여 첫째 방안은 M cycle이 필요하다. 그에 반하여 2 번째 방안은 M/X cycle이 필요하다. 따라서 M 개의 DAC element 간의 오차가 완전히 상쇄되기 위해서는 첫째 방안은 M cycle, 두 번째 방안은 M/X cycle이 필요하다. 만약 M이 X의 정수 배가 아닌 경우 완전한 상쇄는  $n*(M/X)$ 가 정수가 되는 n cycle에서 일어난다. 최악의 경우 n은 M이 된다. 즉 element 오차의 완전한 상쇄는 addition 방안에서 더 빨리 일어난다.

### 3.4 Data Weighted Averaging(DWA)

이 방안은 95년 Fiez 에 의해 제안되었다[8,9]. 앞서 설명한 세 가지 방안과 달리 이 방안은 모든 DAC 입력 값에 대하여 DAC 의 모든 element를 순차적으로 선택하는 것이다. 즉 입력 값이 정해지면 전번 입력에 사용된 element

다음 element부터 필요한 만큼의 element 가 DAC 출력을 위하여 사용된다. 표 2 에 입력과 선택되는 element 의 관계를 표시하였다.

표 2. ILA 방법 사용시 입력 변화에 따른 DAC 단위 변환 소자 선택표

Table 2. Unit elements selection table in a ILA case

sample no.	input value	selected elements	
		Rotation	Addition
1	1	1	1
2	3	1 2 3	1 2 3
3	2	1 2	1 2
4	5	1 2 3 4 5	1 2 3 4 5
5	3	2 3 4	4 5 6
6	1	2	2
7	4	1 2 3 4	1 2 3 4
8	2	2 3	3 4
9	5	2 3 4 5 6	6 7 8 1 2
10	3	3 4 5	7 8 1

표 3. DWA 방법 사용시 입력 변화에 따른 DAC 단위 변환 소자 선택표

Table 3. DAC unit elements selection table in a DWA case

sample no.	input value	selected elements
1	1	1
2	3	2 3 4
3	2	5 6
4	5	7 8 1 2 3
5	3	4 5 6
6	1	7
7	4	8 1 2 3
8	2	4 5

다른 DEM 방안보다 이 방안은 전체 element 가 빠른 시간 내에 사용되어 지도록 한다. 이렇게 함으로 각 element 의 오차가 빠르게 상쇄되도록 하고 이것은 결국 element 오차에 의한 왜곡(distortion) 이 고주파 영역에 머물도록 한다. 이 방법은 모든 element의 사용 빈도를 공평하게 되도록 한다. 그러나 특정한 DAC 입력 값에 대하여 각 element 의 사용빈도가 균등하게 되지는 않는다.

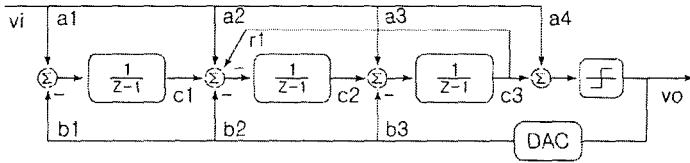


그림 5. 3rd order CIFB형 DSM 계통도  
Fig. 5. Block diagram of 3rd order CIFB type DSM

IV. 잡음특성 비교

3 절에 설명한 각 방안에 따라 multi-bit DSM 의 잡음 특성을 비교하였다. 각 DEM 방안의 특성을 비교하기 위한 DSM의 구조는 3차 CIFB(Cascade of Integrators with Feedback) 방식이었다. 계통도와 시스템의 계수 값은 표 4 와 그림 5에 각각 표시되었다.

표 4. CIFB 시스템의 계수값  
Table 4. System coefficient in the CIFB type DSM

[a1, a2, a3, a4]	[1.2636 0 0 0]
[b1, b2, b3]	[1.4881 1.5857 1.6966]
[c1, c2, c3]	[0.2201, 0.5325, 0.6753]
[r1]	[0.0027]

Multi-bit 출력단 ADC는 2-bit를 사용하였다. ADC가 2-bit 이므로 안정성 증대 효과를 고려하여 DSM 설계시 NTF filter 의 high frequency gain 은 3으로 증가 시켰다. 앞 절에서 설명한 각 DEM 방법에 따라 20 회의 simulation을 하였으며 각 simulation 때 마다 DAC의 오차는 ±0.5 % 범위에서 균일한 확률 분포로 무작위로 선정 되었다. 그림 6 은 20[KHz] 입력을 인가한 경우 각 DEM 방법에 따라 신호대역폭 내의 잡음특성을 보여준다. 결과 중 DER 방법은 DAC의 단위 element를 완전히 무작위로 선택하였다. DER 결과와 dynamic element matching(DEM)을 사용하지 않은 경우를 비교하면 DER 방안을 사용한 경우 잡음수준이 오히려 15 dB 정도 증가한 것으로 보이거나 DEM을 사용하지 않은 경우에 보이는 고조파 성분은 제거되었음을 알 수 있다. DWA 방안이 오차가 없는 DAC를 사용한 경우에

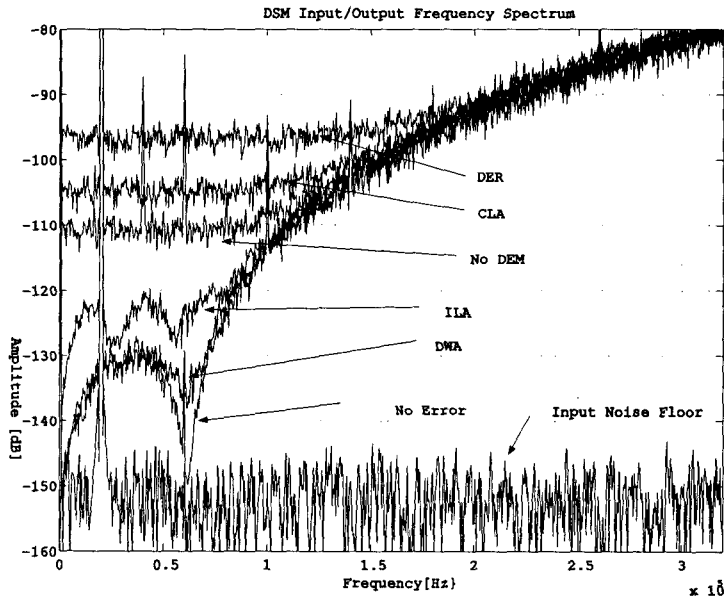


그림 6. 각 DEM 방안에 따른 3rd order DSM의 출력 잡음 특성 비교(2-bit DAC 사용)  
Fig. 6. Comparison of 3rd order DSM output frequency spectrum for 4 DEM schemes(with 2 bit DAC)

가장 근접한 주파수 특성을 보여 가장 우수한 DEM 방안으로 확인되었다. SNR의 개선 정도는 DWA, ILA, CLA, DER 순 이었다. 이중 CLA 와 DER 방안은 DEM 을 사용하지 않았을 때 보다 더 낮은 SNR 값을 보였다. 그러나 DEM을 사용하지 않은 경우 신호 대역의 레벨은 낮아지거나 잡음레벨 보다 20-30 dB 이상의 강도를 가진 고조파 성분 이 관측되었으며 이것은 시스템의 SFDR(spurious free dynamic range)을 대폭 감소시킨다. 따라서 DEM을 사용함으로 시스템의 전반적인 잡음특성은 개선됨을 알 수 있다.

### V. 결 론

Multi-bit DSM 부궤환 회로에 사용되는 multi-bit DAC 의 오차가 시스템에 미치는 영향을 분석하고 그 영향을 감소시키기 위하여 사용되는 4 가지 방안을 비교 검토하였다. 각 방안을 적용한 3차 CIFB 형식의 multi-bit DSM 에서는 DWA 방식이 가장 우수한 비선형 효과 감소 특성을 보여주었다. 그러나 본 연구는 정현파 입력에 대하여 수행되었으며 DEM 의 특성상 신호 특성에 따라 그 효과가 변화 될 것으로 예측됨으로 DC 신호를 포함한 다양한 입력신호에 대한 시스템의 특성 변화도 확인하여야 할 것이다.

### 참고문헌

[1] Steven R. Norsworthy, Richard Schreier, Gabor C. Temes, "Delta-Sigma data Converters, theory, design, and simulation", IEEE Press 1996

[2] A. Hairapetian, G.C.Temes, Z.X. Zhang, "Multibit sigma-delta modulator with reduced sensitivity to DAC nonlinearity", Electronics Letters, vol.27, no.11, pp. 990-991, May 1991

[3] Ichiro Fugimori, Akihito Nogi, Tetsuro Sugimoto, "A multibit Delta-Sigma audio DAC with 120-dB dynamic

range", IEEE J. Solid-State Circuits vol.35, no.8,pp. 1066-1073, Aug. 2000.

[4] Ian Galton, "Delta-Sigma Data Conversion in Wireless Techniques", IEEE Trans. on Microwaves Theory and Techniques, vol.50, no.1, pp. 302-314, Jan. 2002

[5] L. Richard Carley, "A noise-shaping coder topology for 15 + bit converters", IEEE J. Solid-State Circuits, vol.24, no.2, pp 267-273, Apr.1989

[6] Bosco H. Leung, Sehat Sutarja, "Multibit  $\Sigma$ - $\Delta$  A/D converter incorporating a novel class of dynamic element matching technique", IEEE Trans. on Cir. & Sys. Part-II, vol.39, no.1, pp 35-51, Jan.1992

[7] Feng Chen, Bosco H. Leung, "A high resolution multibit sigma-delta modulator with individual level averaging", IEEE J. Solid-State Circuits, vol.39, no.1, pp 35-51, Jan.1992

[8] Rex T. Baird, Terri S. Fiez, "Linearity enhancement of multibit  $\Delta\Sigma$  A/D and D/A converters using data weighted averaging", IEEE Trans. on Cir. & Sys. Part-II, vol.42, no.12, pp 753-762, Dec.1995

[9] Olivier Nys, Robert K. Henderson, "A 19-bit low-power multibit sigma-delta ADC based on data weighted averaging", IEEE J. Solid-State Circuits, vol.32, no.7, pp. 933-942, Jul.1997

### 저자소개

#### 현 덕 환(Deokhwan Hyun)



1997. 2. 경북대학교 전자공학과  
 1979. 2. 경북대학교 대학원 전자공학과  
 1979~1994 국방과학연구소  
 2000. 8. Univ. of Rhode Island

2000-2001 Tality  
 2002. 3. 경주대학교 컴퓨터정보시스템공학부