

# 적층 배열형상에 따른 BSCCO 적층선재의 자화손실 특성 수치해석 및 측정

論 文  
55B-2-4

## Numerical Analysis and Measurement of Magnetization Loss in BSCCO Multi-stacked Conductor According to Stacking Geometry

朴明陣<sup>†</sup> · 林炯佑<sup>\*</sup> · 李光淵<sup>\*\*</sup> · 車貴守<sup>\*\*\*</sup> · 李志光<sup>§</sup>  
(Myungjin Park · Hyoungwoo Lim · Kwangyoun Lee · Gueesoo Cha · Jikwang Lee)

**Abstract** - AC loss is one of the main research area in AC power application using high temperature superconductor(HTS), such as HTS transformer, HTS current limiter and HTS cable, because it is closely related to efficiency, economic estimation and design of power device. A lot of research for various arrangements of HTS tapes have been performed to increase a capacity of transport current because single HTS tape can not satisfy the demanded current capacity in HTS power application. In this paper, we studied magnetization loss by different several arrangements of BSCCO tapes such as Edge-to-Edge type, Face-to-Face type and Matrix type through numerical analysis by 2D-FEM and measurement. As a result, we got the result that the magnetization loss of Face-to-Face type arrangements was lower than those of other arrangement types under the conditions of the same stacking number. We think that the result was due to shield effect by demagnetization of adjacent HTS tapes which are located face to face.

**Key Words** : Stacking Geometry, AC Loss, Magnetization Loss, Multi-stacked conductor, Arrangement Type

### 1. 서 론

130A급의 높은 임계전류를 갖는 BSCCO 계열의 고온초전도선재는 현재 초전도 변압기, 초전도 케이블, 초전도 한류기 등의 차세대 전력기기의 개발에 활발하게 적용되고 있다[1]. 또한 이에 응용하기 위해 선재의 전기적 특성에 관한 연구가 활발히 이루어지고 있다[2]-[4]. 대용량의 고전압 변압기와 같은 전력기에 고온초전도 선재를 응용하는 경우에 있어서는 전력기에 필요한 높은 통전용량을 단일선재로서는 감당할 수 없기 때문에 이를 해결하기 위한 방법으로 고온초전도 선재를 여러 가닥 적층하여 전력기에 필요한 통전용량을 만족시키는 방법이 연구 중에 있다.

고온초전도 선재는 교류 조건하에서 사용할 경우 초전도체의 반자기적 현상으로 인해 필연적으로 교류손실을 동반하게 된다. 이러한 교류손실은 기기의 효율과 안정성을 감소시키는 중요한 요소이며, 그 원인은 선재에 가해지는 교류자장의 세기와 방향에 있다. 따라서 전력기에 응용하기 위한 고온초전도 선재를 적층 할 경우, 선재의 배열 방법에 따라 선재에 가해지는 교류자장의 세기와 방향이 개선되거나 혹은 악화 될 수 있기 때문에 적층 선재의 임계전류를 향상시키고

동시에 교류손실을 감소시키기 위한 연구는 전력기기의 개발과 그 효율을 향상시키기 위해서 필연적으로 수행되어야 할 연구 분야라 할 수 있다.

본 논문에서는 그림 1에서 나타낸 것과 같이 고온초전도 선재를 옆으로 나란히 배열한 (a)Edge-to-Edge형(이하 ETE stack), 수직으로 배열한 (b)Face-to-Face형(이하 FTF stack), Edge-to-Edge형과 Face-to-Face형을 동시에 병행하는 (c)Matrix형을 구조로 하여 적층배열에 대해 교류손실의 주된 원인인 수직방향의 외부자계에 대한 자화손실을 2D FEM을 통한 수치해석과 측정을 통해 그 크기를 비교 분석하였다.

### 2. 자화손실의 수치해석과 측정결과 분석

#### 2.1 자화손실의 수치해석과 측정

일반적으로 널리 알려진 수직방향 외부자계에 의한 고온초전도 선재의 자화손실은 그림 2의 (a)와 같이 두께가 매우

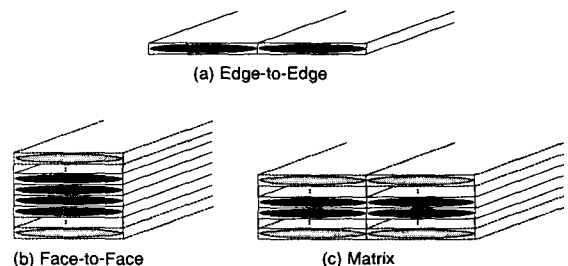


그림 1. 고온초전도 선재의 적층 배열  
Fig. 1 Stacking arrangement of HTS tape.

<sup>†</sup> 교신저자, 正會員 : 順天鄉大 電氣工學科 博士  
E-mail : pj1973@hanmail.net

<sup>\*</sup> 準會員 : 順天鄉大 電氣工學科 博士課程課程

<sup>\*\*</sup> 準會員 : 順天鄉大 電氣工學科 博士課程課程

<sup>\*\*\*</sup> 正會員 : 順天鄉大 情報技術工學部 教授, 博士

<sup>§</sup> 正會員 : 又石大 電氣工學科 副教授, 博士

接受日字 : 2005年 11月 2日

最終完了 : 2005年 11月 30日

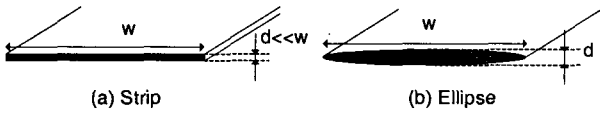


그림 2. Strip 모형과 Ellipse 모형.  
Fig. 2 Strip model and ellipse model.

얇은 strip 형상에 대해서 Brandt가 제시한 방법으로 식(1)과 같이 계산 할 수 있다[5]. 그러나 식(1)은 두께가 1 μm 정도로 매우 얇고, 그 형상이 strip인 YBCO coated conductor에는 적합하지만 그림 2(b)의 BSCCO 선재와 같이 YBCO coated conductor에 비해 상대적으로 두께가 매우 크고 초전도 필라멘트들이 이루는 형상이 타원형인 경우에는 적합하지 않다. 따라서 본 논문에서는 Haken이 제시한 식(2)을 이용하여 타원형 선재의 수직방향 외부자계에 의한 자화손실을 계산하였으며 이를 수치해석의 결과와 비교하였다.

$$Q_m = \frac{2B_m^2}{\mu_0} \frac{\pi w}{2\beta d} \left( \frac{2}{\beta} \ln(\cosh\beta) - \tanh\beta \right) \quad (1)$$

여기서  $B_m$ 는 교류인가자장의 피크치 값을 나타내며,

$$\beta = \frac{B_m}{B_d}, \quad B_d = \mu_0 J_c d / \pi \text{ 이다.}$$

$$Q_m(B) = M_p B_p(\alpha) q(b) \quad (2)$$

여기서  $\alpha$ 는 타원형 모델의 단축길이에 대한 장축길이의 비를 나타내며,  $b = \frac{B_m}{B_p(\alpha)}$  이다.  $M_p$ ,  $B_p(\alpha)$ ,  $q(b)$ 는 각각 아래와 같이 나타낼 수 있다[6].

$$M_p = \frac{2}{3\pi} J_c d \quad (2a)$$

$$B_p(\alpha) = \frac{\alpha}{2\sqrt{1-\alpha^2}} \ln\left(\frac{1+\sqrt{1-\alpha^2}}{1-\sqrt{1-\alpha^2}}\right) B_{\lambda c} \quad (2b)$$

$$q(b) = 4 \left[ \frac{2}{1-m_0} ((1-b)^{(1-m_0)} - 1) + b(1-b)^{-m_0} + 1 \right] \quad (2c)$$

( for  $0 \leq b < 1$  )

$$q(b) = 4 \left[ b - \frac{2}{(1-m_0)} \right], \quad ( \text{for } b \geq 1 ) \quad (2d)$$

$$m_0 = -\frac{M_s B_p(\alpha)}{M_p B_s(\alpha)}$$

$$= -\frac{3(1+\alpha)}{4\sqrt{1-\alpha^2}} \ln\left(\frac{1+\sqrt{1-\alpha^2}}{1-\sqrt{1-\alpha^2}}\right), \quad \alpha < 1 \quad (2e)$$

여기서 식(2b)의  $B_{\lambda c} = \frac{\mu_0 J_c d}{\pi}$ 는 원형 도체의 완전침투자장을 나타내며,  $d$ 는 원형도체의 직경이다.

고온초전도 선재의 자화손실 수치해석을 위해서는 먼저 고온초전도 선재의 전류밀도 분포를 결정해야만 한다. 본 논문

표 1. 초전도선재의 배열과 적층 수

Table 1 Stacking geometry and number of HTS tape

Stacking Geometry	Number of HTS Tape
Single	1
ETE stack	2
FTF stack	2, 4, 8
Matrix	4, 8

에서는 Bean의 임계상태 모델(Critical state model)을 이용하여 적층배열에 따른 고온초전도 적층선재의 자화손실을 계산하였다.

일반적으로 전자기장의 식은 맥스웰 방정식으로 하여 아래와 같이 나타낼 수 있다.

$$\vec{E}_z = -\frac{\partial A_z}{\partial t} - \nabla\phi \quad (3)$$

고온초전도 선재 내부에서의 차폐전류밀도  $\vec{J}_s$ 는 식(4), (5)와 같이 초전도 해석영역에서 전계의 발생 유무와 방향에 의해 차폐전류밀도의 방향이 결정되며, 그 크기는 Bean의 임계상태 모델에 의해 결정된다.

$$\vec{J}_s = J_c \frac{\vec{E}}{|E|}, \quad \text{if } |E| \neq 0 \quad (4)$$

$$\frac{\partial \vec{J}_s}{\partial t} = 0, \quad \text{if } |E| = 0 \quad (5)$$

여기서  $J_c$ 는 고온초전도 선재의 임계전류밀도( $A/m^2$ ),  $E$ 는 전계 ( $V/m$ )를 나타낸다.

고온초전도 선재의 자화손실  $Q_m$ 은 식(3)로부터 계산된 전계  $\vec{E}$ 와 식(4)와 (5)로부터 계산된 차폐전류밀도  $\vec{J}_s$ 의 내적으로서 단위주기와 단위체적에 대한 것으로서 아래의 식과 같이 나타낼 수 있다.

$$Q_m = \int_0^T \int_V \vec{J}_s \cdot \vec{E} \, dv \, dt \quad (4)$$

그림 3은 고온초전도 선재의 자화손실을 수치해석하기 위한 전체 해석 모형을 나타낸 것이다. 초전도 선재는 폭 4mm, 두께 0.2mm, 임계전류밀도  $J_c$ 는 액체질소 온도인 77K, self-field 하에서  $2.8 \times 10^8 (A/m^2)$ 이며, 해석 영역의 중앙에 위치하도록 하였다. 해석 영역의 경계에 x축과 y축 방향으로 각각 Dirichlet, Neumann 경계 조건을 주어 고온초전도 선재의 좌우에 배치된 2개의 무한 전류원으로 부터 발생한 외부자계가 고온초전도 선재의 넓은 면에 수직방향인 y축 방향으로 가해지도록 하였으며 외부인가자장의 범위는 10~100mT 이다. 수치해석에 사용한 고온초전도 선재의 배열과 적층 수에 대한 사양은 표 1에 나타내었다.

그림 4는 고온초전도선재의 외부자계에 의한 자화손실을 측정하기 위한 회로도를 나타낸다. 외부자계 인가용 마그넷에 전류를 인가하기 위해 교류전원을 사용하였으며, 이 교류전원은 신호발생기를 통해 제어하였다. 수직방향의 외부자계

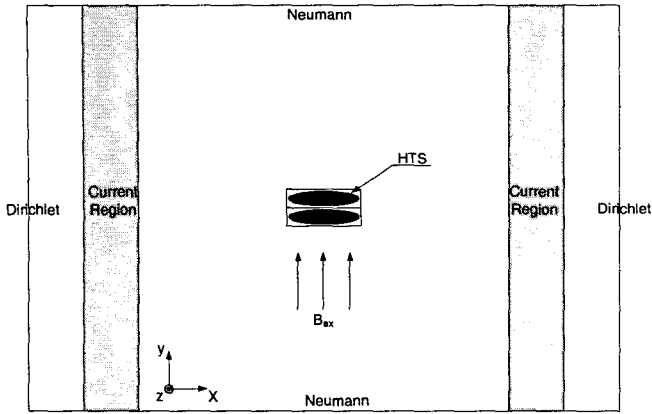


그림 3. 고온초전도 선재의 자화손실 수치해석 모델

Fig. 3 Numerical analysis model of HTS tape for magnetization loss.

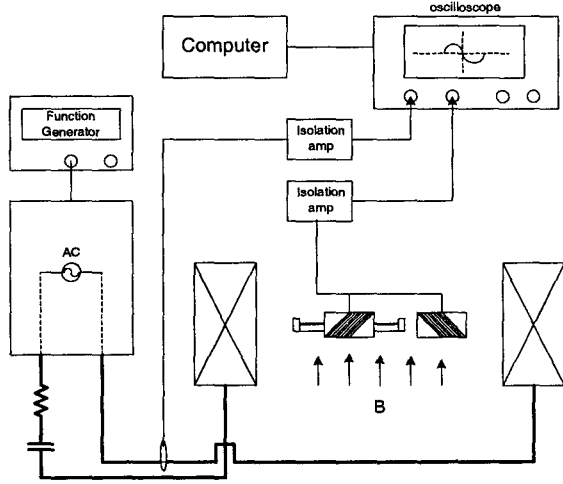


그림 4. 자화손실 측정 회로도.

Fig. 4 Experimental set-up configuration.

에 의해 고온초전도 선재 시편에서 발생한 유기기전력을 측정하기 위해서 Z. Jiang과 N. Amemiya가 제시한 Linked Pick-up Coil(LPC)를 이용하였다[7]. LPC의 한 턴에 대한 가로×세로×높이는 각각 30mm이며 총 1000턴을 감았다. LPC를 관통하여 배치한 샘플 선재는 4.1×0.21mm<sup>2</sup>의 단면적을 지니며, 1μV/cm를 기준으로 하였을 때 실측 임계전류는 130A, 샘플 선재의 전체길이는 18cm이다. 측정 시 사용된 선재의 개수와 적층배열은 표.1과 동일하다.

### 2.2 자화손실의 해석 및 측정 결과

그림 5는 초전도 단일선재 시편의 자화손실을 식(2)를 이용한 해석적 결과와 수치해석 결과 그리고 측정 결과와의 비교를 나타낸다. 3가지 방식의 결과가 모두 전체 해석과 측정 영역에 걸쳐 잘 일치하고 있음을 나타내고 있어 본 논문에서 수행한 수치해석과 측정 방법이 타당성이 있음을 나타낸다.

그림 6은 ETE 2적층 배열과 FTF 2적층 배열의 자화손실

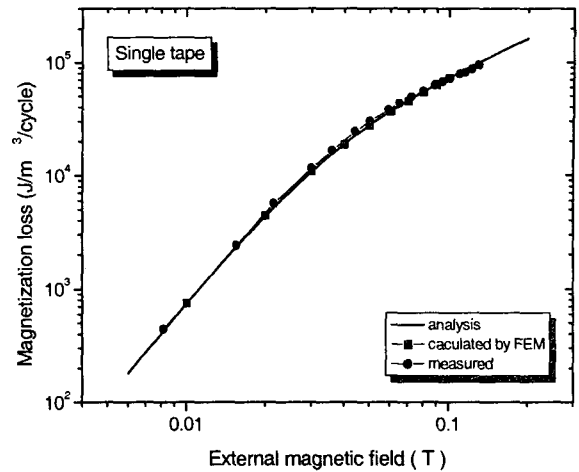


그림 5. 해석적방법과 수치해석, 측정결과에 대한 단일선재의 자화손실 비교.

Fig. 5 Comparison of Analytic calculation, vs. FEM vs. measurement for magnetization loss of single HTS tape.

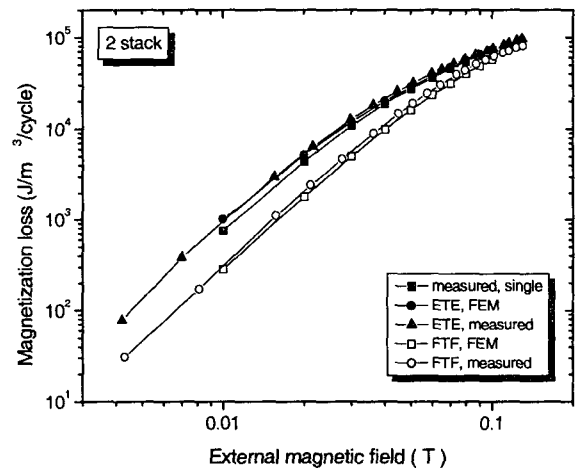


그림 6. ETE, FTF 2-stack 적층배열의 자화손실

Fig. 6 Comparison of magnetization loss in ETE, FTF 2-stack.

을 단일선재의 자화손실 크기와 비교하여 나타낸 것이다. ETE 2적층 배열의 자화손실 측정값과 수치해석값 모두 단일선재의 자화손실 크기보다 전 구간에서 걸쳐 약간씩 큼을 알 수 있다. 이는 FTF 2적층 배열의 경우 선재 사이의 높은 자기적 결합력으로 인해 외부 자계에 의한 차폐효과가 뛰어난 반면, ETE 2적층 배열의 경우 선재 사이의 자기적 결합이 거의 되지 않고 오히려 인접 선재로부터 발생한 자계의 영향을 받아 자화손실의 크기가 단일선재 보다 증가한 것으로 보인다.

그림 7은 FTF 4적층, 8적층과 Matrix 4적층, 8적층 선재의 자화손실을 나타내고 있다. 모든 FTF 적층배열과 Matrix 적층배열의 자화손실은 단일선재보다 작았다. 이 두 가지

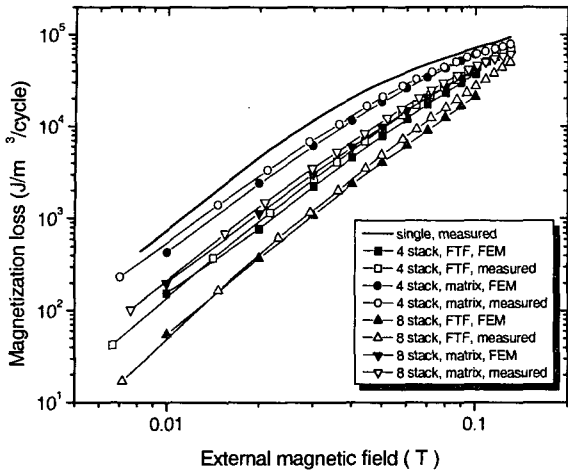


그림 7. FTF, Matrix 다 적층 선재의 자화손실  
 Fig. 7 Magnetization loss of FTF, Matrix multi stacked HTS tape.

적층 방법은 그림 6에서 나타내었듯이 ETE 적층방식이 단일 선재보다 불리하였던 것과는 달리 자화손실에서 유리한 점을 보인다. 동일 개수의 적층 시 FTF 적층배열은 Matrix 적층 배열보다 유리함을 그림 7을 통해 알 수 있다. Matrix 4적층, 8적층 선재의 경우 자화손실의 크기는 FTF 2적층, 4적층 선재의 자화손실과 유사하다. 이는 Matrix 적층의 구조가 FTF 적층배열과 ETE 적층배열의 혼합된 형태이기 때문에 FTF로 적층되는 Matrix 적층의 열 방향으로 FTF 적층배열에서와 같이 강한 자기적 결합으로 인해 차폐효과가 뛰어나지만, 행 방향으로 ETE 적층배열과 같이 자기적 결합이 여전히 발생하지 않고 인접 열에 의한 영향을 받기 때문으로 볼 수 있다.

그림 8은 교류 외부인가 자장의 퍼크치가 50mT일때, 고온 초전도 선재를 단일선재, FTF 4적층, Matrix 4적층으로 구성하였을 때 선재 내부의 차폐전류에 대한 전류밀도분포를 나타낸 그림이다. 그림 8(a)의 단일선재인 경우 차폐전류가 선재의 중심까지 분포하여 거의 완전침투가 이루어지고 있음을 알 수 있다. 그림 8(b)는 FTF 적층이며 고온초전도 선재를 4개 적층한 경우로 전류밀도의 분포는 마치 4개의 초전도 선재가 하나의 선재로 이루어진 것으로 보이고 있어 강력한 자기적 결합을 이루고 있음을 볼 수 있다. 그림 8(c)는 matrix형으로 적층된 배열이다. 행 방향 배치와 열 방향 배치로 나누어 보았을 때, 열 방향 배치는 그림 8(b)와 같이 자기적 결합을 이루어 두 개의 선재가 하나의 선재처럼 보이나, 행 방향으로 자기적 결합을 이루지 못하고 있음을 볼 수 있다.

그림 9는 FTF 4적층과 Matrix 4적층의 자계분포를 나타내고 있다. 그림 8에서와 같이 FTF 배열은 강력한 자기적 결합을 보이고 있음을 나타내고 있다. Matrix 4 적층배열의 경우 열 방향으로 FTF 배열과 같이 강력한 자기적 결합을 이루고 있음을 확인 할 수 있으며, 행 방향으로 자기적 결합을 이루지 못하고 행과 행 사이의 인접 구간에서 강력한 자기 압축이 발생하고 있음을 확인 할 수 있다.

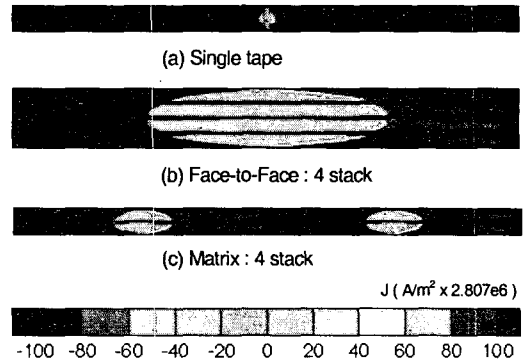


그림 8. 초전도 선재의 전류밀도분포(at  $B_{ex}=50mT$ )  
 Fig. 8 Current density distribution of HTS tapes for single and multi stacked HTS tape at  $B_{ex}=50mT$ .

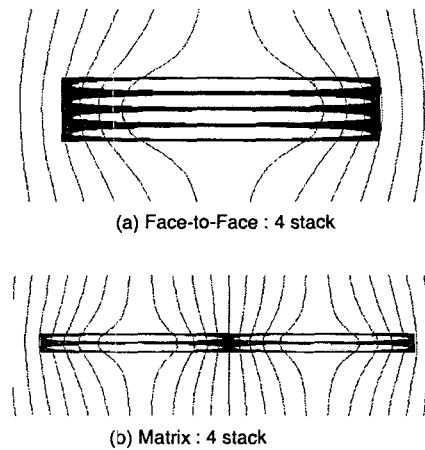


그림 9. 초전도선재의 적층배열에 따른 자계분포  
 Fig. 9 Magnetic field distribution of multi stacked HTS tapes. (FTF 4-stack and Matrix 4 stack)

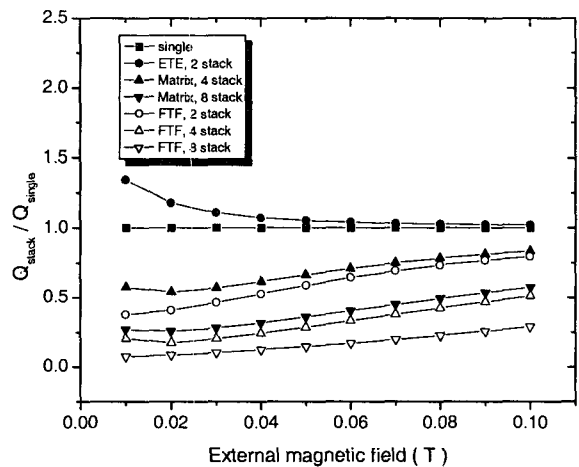


그림 10. 단일선재로 정규화한 자화손실.  
 Fig. 10 Normalized magnetization loss.

표 2. 단일선재에 대한 적층선재의 자화손실 비

Table.2 Magnetization loss ratio of multi stacked HTS tape by single HTS tapes.

Stacking Geometry	No. of HTS Tape	$Q_{stack}/Q_{single}$	
		50mT	100mT
Single	1	1	1
ETE stack	2	1.05	1.02
Matrix	4	0.66	0.83
	8	0.36	0.57
FTF stack	2	0.61	0.82
	4	0.29	0.51
	8	0.15	0.29

그림 10은 수치해석의 결과를 외부인가자장에 대해서 적층선재의 자화손실 크기를 단일선재의 자화손실 크기에 대한 비로 하여 나타낸 그림이며, 이를 외부자장이 50mT, 100mT 인 두 가지 경우에 대해서 표 2에 비교하여 나타내었다.

그림 11은 Matrix 4, 8적층과 FTF 4, 8적층 배열에 대해서 초전도 선재를 위치별로 구분하여 이에 대한 자화손실의 크기를 나타낸 것이다. 초전도 선재의 배열은 상하 혹은 좌우 대칭적으로 배열되어 있고, 자화손실의 크기가 동일함으로 전체의 1/2만을 나타내었다. Matrix 4적층은 선재의 배치 Matrix 8적층의 ②, ③과 같이 내측에 위치한 선재가 없으므로 각각의 선재에서 모두 동일한 크기의 자화손실을 보였다. Matrix 8적층의 바깥쪽에 배치된 ①, ④와 내측에 위치한 ②, ③의 자화손실은 서로 대칭을 이루고 있으며 내측에 선재의 자화손실이 작음을 확인 할 수 있다. 한쪽 열만을 보면 Matrix 8적층은 FTF 4적층과 동일한 배열을 이루고 있으나 자화손실 크기의 양이 보다 커서 인접선재의 영향을 받고 있음을 알 수 있다.

### 3. 결 론

본 논문에서는 임계상태모델을 이용한 2D FEM 수치해석과 측정을 통해 다 적층 고온초전도 선재의 적층 배열에 따른 자화손실의 특성을 연구하였다. 연구결과 ETE 적층 형태로 배열한 경우 단일선재에 비해 자화손실 크기의 감소효과를 기대 할 수 없었다. 동일 개수의 선재를 이용한 경우에도 FTF의 적층배열이 Matrix 배열의 적층형태보다 선재 사이의 자기적 결합이 우수하고 이로 인한 차폐효과로 인하여 1/2 이상의 자화손실 감소효과가 있어 교류손실 측면에서 매우 유리한 적층 배열임을 알 수 있다.

#### 감사의 글

본 연구는 21세기 프론티어 연구개발사업인 차세대 초전도응용기술개발 사업단의 연구비 지원에 의해 수행되었습니다.

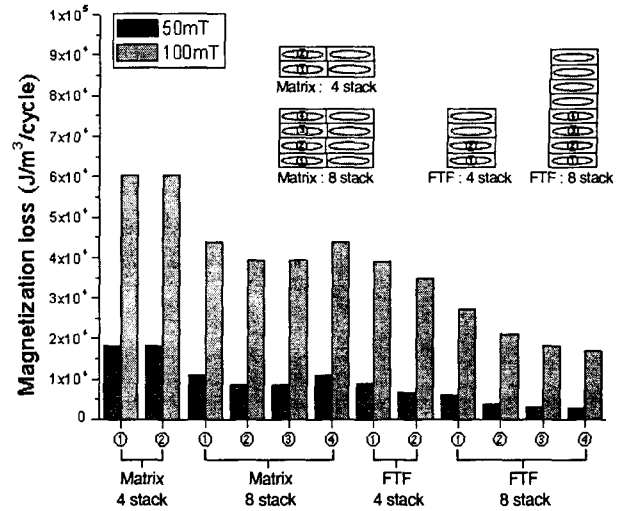


그림 11. 적층 배열의 각 위치별 자화손실.

Fig. 11 Magnetization loss in each position of multi stacked HTS tape.

#### 참 고 문 헌

- [1] R. Schlosser, H. Schmidt, M. Leghissa, and M. Meinert, "Development of High-temperature Superconducting Transformers for Railway Application", IEEE Transactions Applied Superconductivity, vol.13, no.2, pp. 2325-2340, June 2003.
- [2] Myungjin Park, Myeongseob Choi, Seungyong Hahn, Guesoo Cha, and JiKwang Lee, "Effect of the Stack in HTS Tapes Exposed to External Magnetic Field," IEEE Transactions on Applied Superconductivity, vol.14, no.2, pp.1106-1109, June 2004.
- [3] JiKwang Lee, Seungwook Lee, Myungjin Park, and Guesoo Cha, "Magnetization Loss in HTS Stacked Tapes by Various Directional External Magnetic Field," IEEE Transactions on Applied Superconductivity, vol.14, no.2, pp.630-633, June 2004.
- [4] 박명진, 이상수, 이승욱, 차귀수, 이지광, "고온초전도 팬케이크 코일과 솔레노이드 코일의 교류손실 측정 및 수치해석", 대한전기학회 논문지, 제53B권, 제12호, pp.732-738, 2004.
- [5] Ernst Helmut Brandt, "Type-II-superconductor strip with current in a Perpendicular Magnetic ", Physical review B, vol. 48, no. 17, pp.893-906, November 1993.
- [6] Bennie ten Haken, Jan-Jaap Rabbers, Herman H.J. ten Kate, "Magnetization and AC loss in a superconductor with an elliptical cross-section and arbitrary aspect ratio", Physica C 337, pp.156-164, 2002.
- [7] Z. Jiang and N. Amemiya, "An experimental method for total AC loss measurement of high Tc superconductors," Supercond. Sci. Technol., vol.17, pp.371-379, 2004.

저 자 소 개



**박 명 진 (朴 明 陣)**

1973년 12월 7일생. 1999년 순천향대 전기공학과 졸업, 2001년 동국대학교 전기공학과 졸업(석사), 2005년 순천향대 전기공학과 졸업(박사), 현재 순천향대학교 초전도 연구실 연구원.

Tel : 041-530-1334

E-mail : pj1973@hanmail.net



**차 귀 수 (車 貴 守)**

1956년 7월 8일생. 1978 서울대 공대 공업교육학과 졸업, 1987년 동 대학원 전기공학과 졸업(박사). 현재 순천향대 정보기술공학부 교수

Tel : 041-530-1334

E-mail : gsoocha@sch.ac.kr



**임 형 우 (林 炯 佑)**

1972년 1월 18일생. 2000년 순천향대 전기공학과 졸업. 2002년 동 대학원 전기공학과 졸업(석사). 현재 동 대학원 박사과정

Tel : 041-530-1334

E-mail : super@sch.ac.kr



**이 지 광 (李 志 光)**

1966년 6월 1일생. 1989년 서울대 공대 전기공학과 졸업. 1992년 동대학원 전기공학과 졸업(석사). 1997년 동대학원 전기공학과 졸업(박사). 현재 우석대 전기공학과 부교수

Tel : 063-290-1476

E-mail : jikwang@woosuk.ac.kr



**이 광 연 (李 光 淵)**

1973년 2월 5일생. 2000년 순천향대 전기공학과 졸업. 2003년 동 대학원 전기공학과 졸업(석사). 현재 동 대학원 박사과정

Tel : 041-530-1334

E-mail : kwang-1@hanmail.net