

技術論文

금속-산화막 반도체 전계효과 트랜지스터의 우주방사선에 의한
총이온화선량 시험을 위한 테스트 베드

신구환*, 유광선*, 정성인*, 강경인*, 김형명*

Test-bed of Total Ionizing Dose (TID) Test by Cosmic Rays for
Metal Oxide Semiconductor Field Effect Transistor (MOSFET)

Goo-Hwan Shin*, Kwang-Sun Ryu*, Sung-In Chung*, Kyung-In Kang* and Hyung-Myung Kim*

ABSTRACT

Recently, all the electrical parts for satellite application are required more strong against cosmic rays, because spacecraft's life time and function are depending on the their conditions. Also, a TID effect test was undertaken with units and/or subsystems which are already assembled on the PCB in past time. However, it is very hard to know and analyze that some abnormal states are appeared after launch. Moreover, it is necessary to perform a test of TID effects based on the parts level for preparing preliminary data in cosmic rays. Therefore, this paper presents a test-bed to perform a TID effect test of Metal-Oxide Semiconductor Field Effect Transistor (MOSFET) which is a fundamental element for electronics.

초 록

최근에 인공위성용 전자소자는 우주방사선에 좀 더 강한 소자를 요구되어진다. 왜냐하면, 인공위성의 수명과 기능은 우주방사선으로부터 영향을 받기 때문이다. 또한, 과거에는 부품단위의 우주방사선 시험을 수행하지 않고 유닛 또는 서브시스템 단위의 우주방사선 시험을 수행하였다. 게다가, 발사된 인공위성이 작동오류 상태에 있을 때 그 이유를 분석하기에는 그다지 쉬운 일은 아니다. 따라서, 발사 전 부품 단위 우주방사선 시험을 수행하여 주요 소자에 대한 우주방사선에 의한 영향을 분석 할 필요가 있으며, 지상에서 데이터를 확보할 필요가 있다. 그러므로, 본 논문에서는 모든 전자소자의 기본이라 할 수 있는 금속-산화막 반도체 전계효과 트랜지스터의 총이온화선량에 대한 영향 시험을 수행하기 위한 테스트 베드를 제안한다.

Key Words : MOSFET (금속-산화막 반도체 전계효과 트랜지스터), Total Ionizing Dose (총이온화선량), Proton Irradiation (양성자 조사)

1. 서 론

1948년 미국의 벨연구소에서 트랜지스터의 발명 이후 전자산업은 급격한 발전을 거듭하였다. 물론 우주로 연구·탐구하고 개척하는 인공위성 및 우주선왕복선에도 트랜지스터의 역할은 이루 말할 필요 없이 중요하다. 트랜지스터는 크게 양

† 2006년 9월 7일 접수 ~ 2006년 10월 23일 심사완료

* 정회원, 한국과학기술원 인공위성연구센터
연락처, E-mail : ghshin@satrec.kaist.ac.kr
대전시 유성구 구성도 373-1번지

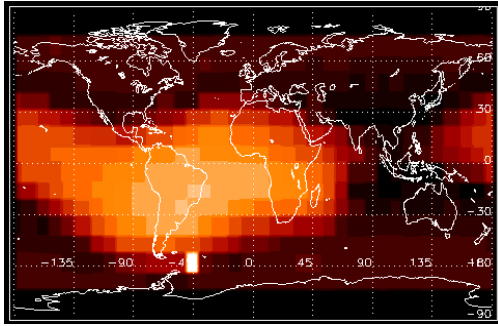


그림 1. 우주방사선에 의한 영향 분포

극 접합 트랜지스터 (BJT : Bipolar Junction Transistor) 및 단극성 전계효과 트랜지스터 (FET : Field Effect Transistor)로 구분된다. 이 중에서 모든 반도체 및 전자소자의 기본이 되는 단극성 전계효과 트랜지스터 (FET : Field Effect Transistor)는 크게 접합형 전계효과 트랜지스터 (JFET : Junction Field Effect Transistor)와 금속-산화막 반도체 전계효과 트랜지스터 (MOSFET : Metal Oxide Semiconductor Field Effect Transistor)로 구분이 된다. 기억장치 (Memory) 또는 중앙처리장치 (CPU : Central Processing Unit) 등 제작에 기본이 되는 금속-산화막 반도체 전계효과 트랜지스터에 대하여 우주방사선 중 미립자 방사선 (이하, 우주방사선)에 의한 소자에 미치는 영향에 대하여 시험을 수행하고자 한다 [2]. 그림 1[1]은 우리별 1호 인공위성을 이용하여 측정된 저궤도 부근에서의 우주방사선 환경에 대한 측정결과의 일부를 도시한 그림이다.

우주방사선 시험을 수행하기에 앞서 시험의 정확성을 도모하고 사전 데이터를 확보하기 위하여 금속-산화막 반도체 전계효과 트랜지스터에 대한 우주방사선 시험을 위한 테스트 베드 (Test-bed)를 구성하고 이의 시뮬레이션을 수행하였다. 따라서, 본 논문에서는 인공위성에 적용되는 주요 전자 소자인 금속-산화막 반도체 전계효과 트랜지스터의 우주방사선으로부터의 총이온화선량 (TID : Total Dose Ionization)의 영향을 위한 시뮬레이션을 수행하였고 이에 대한 테스트 베드를 제안하고자 한다.

II. MOSFET 구조 및 동작특성

2.1 MOSFET의 내부구조

전극 사이에 절연체로서 산화막을 이용한 전계효과 트랜지스터의 내부 구조는 그림 2와 같다. 기판으로서 n형 실리콘 (p-doped silicon)을

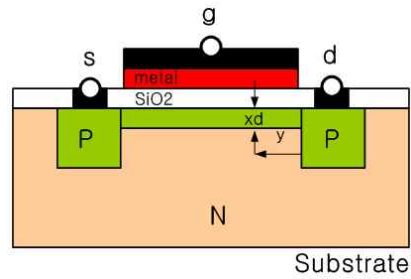


그림 2. MOSFET 내부구조

사용하며 드레인 (Drain)과 소스 (Source)에 각각 p형 실리콘 (p-doped silicon)으로 PN 접합 (PN-Junction)이 형성되도록 불순물을 주입하였다. 그리고, 게이트 (Gate)와의 절연을 위해 산화막 (SiO2)으로 분리를 시켰다. 게이트 전극은 금속 (Metal)으로 접합하였고 전류증폭을 위해 바이어스 전압을 인가하는 단자이다.

2.2 채널형성

드레인을 통하여 흐르는 전류의 크기는 게이트에 인가하는 전압의 크기에 비례한다. 그림 2와 같이 드레인과 소스사이에는 채널 (Channel)이 형성되며 채널의 두께는 인가되는 게이트 전압의 크기에 비례한다. 이에 대한 수식적 표현은 다음 식 (1)[3]및 (2)[3]와 같다. 식 (1)은 선형구간에서의 드레인 전류를 표시하며, 식 (2)는 포화영역에서의 드레인 전류를 표시한다.

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_G - V_T - \frac{1}{2} V_{DS}) V_{DS} \quad (1)$$

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_G - V_T)^2 \quad (2)$$

여기서, V_{DS} 는 드레인-소스간 인가 전압

V_G 는 게이트 인가전압

V_T 는 임계전압

을 각각 나타낸다. 식 (1)과 (2)를 이용하여 특성 그래프를 그리면 그림 3과 같이 선형구간 (Linear Region)과 포화영역 (Saturation)을 각각 도시한다.

식 (3)은 드레인과 소스 사이에 인가되는 전압의 크기에 따른 전자장 효과를 보여준다. 드레인으로부터의 거리에 따라 채널에 형성되는 전자장의 크기가 바뀌며 전류통로에 대한 저항의 크기를 결정하는 주요한 요소이다.

$$E(y) = \frac{(V_G - V_T)}{2L} \frac{1}{\sqrt{1 - \frac{y}{L}}} \quad (3)$$

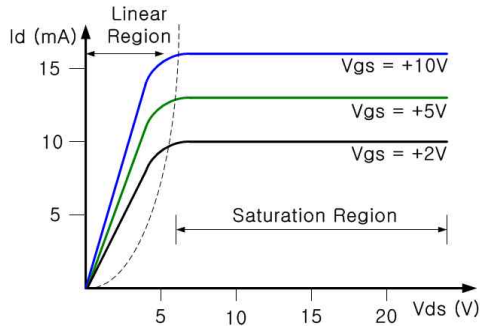


그림 3. MOSFET 동작특성

여기서, y 는 드레인 으로부터의 거리를 나타낸다.

2.3 산화막에서의 전자 주입 효과

금속-산화막 반도체 전계효과 트랜지스터는 게이트에 인가하는 전압에 따라 산화막 층을 통한 전자-정공의 결합 (Electron-Hole Pairs)에 의하여 채널 폭이 바뀌게 된다. 그러나, 오랜 시간 게이트에 높은 전압을 인가하면 산화막을 통한 전자-정공의 결합에 의하여 PN Junction Diode의 전압우물이 발생한다. 따라서, 금속-산화막 반도체 전계효과 트랜지스터를 동작시키기 위하여 좀 더 높은 게이트 전압을 인가하여야 한다. 이와 같은 현상을 협소 채널 효과 (Narrow Channel Effect)라 한다. 식 (4)[3] 및 (5)[3]는 협소 채널 효과 (Narrow Channel Effect)로부터 발생하는 채널의 전하량과 임계전압 (Threshold Voltage)을 나타낸다.

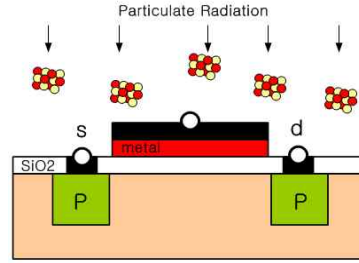
$$Q = qN_aWLx_d(1 + \frac{\pi}{2} \frac{x_d}{W'}) \tag{4}$$

$$\Delta V_T = \frac{\pi q N_a (x_d)^2}{2 C_{ox} W} \tag{5}$$

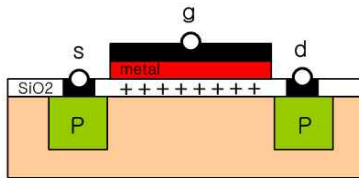
여기서, W 및 L 은 각각 산화막의 두께와 길이를 나타낸다. 식 (4)과 (5)는 각각 변수로서 x_d 를 포함하고 있다. 즉, 게이트에 의하여 x_d 의 층이 얇아지고, 이 후에는 드레인과 소스의 전류를 도통하기 위하여 높은 전압을 인가하여야 함을 의미한다.

III. 우주방사선에 의한 산화막 영향

제 2장에서 금속-산화막 반도체 전계효과 트랜지스터의 내부구조, 채널형성 및 산화막에서의



(a) 양성자 조사 전



(b) 양성자 조사 후

그림 4. 방사선에 의한 산화막의 전극효과

효과에 대하여 살펴보았다. p-channel MOSFET의 제조는 n-doped Substrate 위에 고전압에 의하여 양극의 불순물을 주입하여 극이 형성된다. 우주 환경에서도 우주 활동으로 인하여 전자기 방사선 (Electromagnetic Radiation)과 미립자 방사선 (Particulate Radiation)이라는 두 가지 형태의 방사선이 발생한다[2].

전자기 방사선 (Electromagnetic Radiation)은 금속-산화막 반도체 전계효과 트랜지스터 산화막의 전자-정공 결합 (Electron-Hole Pairs)에 의한 정공 생성에 직접적인 영향을 미치지 않는다. 그러나, 미립자 방사선이 게이트-산화막층을 관통할 경우 Deposited Energy에 의한 산화막 층에서의 전자-정공 결합 (Electron-Hole Pairs)이 발생한다. 따라서, 미립자 방사선은 전자-정공 결합에 의하여 산화막의 정공 생성에 직접적인 영향을 미친다. 즉, 그림 4[7]와 같이 게이트에 양전압을 인가할 경우 전자-정공 결합이 산화막 층에서 발생하며 재결합이 이루어지지 않은 정공은 채널방향으로 이동하여 산화막의 끝 부분에서 Traped Hole이 발생하여 전극을 형성한다. 이와 같이 Traped Hole에 의한 미립자 방사선에 의하여 높은 임계전압이 형성된다.

IV. 총 이온화선량 측정을 위한 벤치에서의 시험 환경

4.1 MOSFET 회로구성

그림 5는 금속-산화막 반도체 전계효과 트랜지

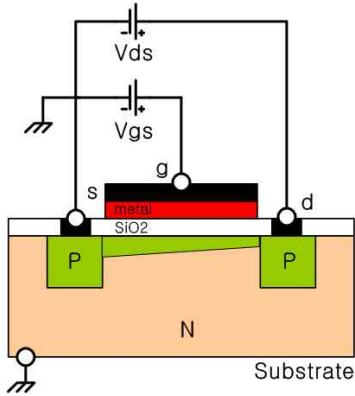


그림 5. MOSFET 회로구성

스터의 정상적인 동작을 위한 회로구성을 보여준다.

게이트-소스 사이에는 제어전압으로서 가변 할 수 있다. 그리고, 드레인-소스 사이는 동작에 필요한 전압을 인가하도록 구성하였다.

4.2 MOSFET 시험구성

제 2장을 통하여 금속-산화막 반도체 전계효과 트랜지스터의 동작원리와 특성에 대하여 살펴보았다. 그리고, 4.1절에서는 금속-산화막 반도체 전계효과 트랜지스터의 회로구성과 관련한 바이어스 전압 (Bias Voltage)과 인가전압의 회로구성에 대한 설명을 추가하였다. 본 절에서는 금속-산화막 반도체 전계효과 트랜지스터의 실제 바이어스 전압, 인가전압, 그리고 인터페이스를 위한 전체 구성에 대하여 그림 6에 도시하였다.

바이어스 전압과 드레인의 인가전압은 MOSFET Power를 이용하여 전압을 공급한다. 인가되는 전압은 PC Serial Port를 직접 연결하여 프로그램에 의하여 제어하도록 설계하였다. 그리고, 금속-산화막 반도체 전계효과 트랜지스터의 드레인 전류와 게이트의 제어전압에 대한 측정은 내부의 버퍼 (Buffer)를 거쳐 데이터 획득 카드의 입력으로 전달되도록 설계하였다. 왜냐하면, 측정단자의 출력전압과 데이터 획득 카드의 입력 임피던스와 전압규모가 맞지 않기 때문이다. 데이터 검침 카드를 통하여 얻어진 출력전압은 GPIB Interface (3572)에 의하여 PC로 입력이 된다. 일반적으로 증폭기는 바이어스 전원으로 ±12V를 사용한다. 그래서, 이 증폭기를 위한 전원으로 OP-AMP Power를 별도로 설치하였다.

그림 7은 방사선시험 챔버의 구성을 보여준다. MOSFET PCB는 TID Test Chamber에 설치가 되며 하네스 (Harness)를 통하여 제어실과 연결

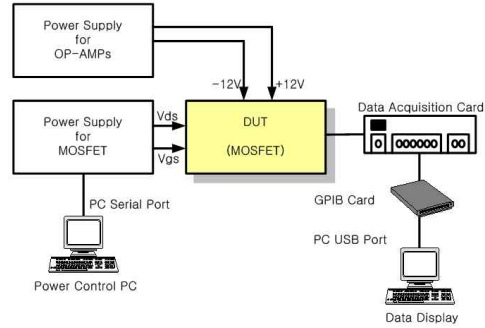


그림 6. 데이터 획득 종합 Test-bed

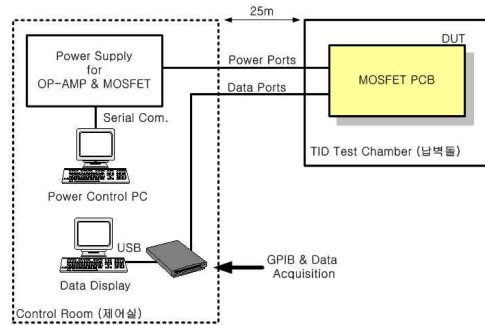


그림 7. TID Test Configuration In Chamber

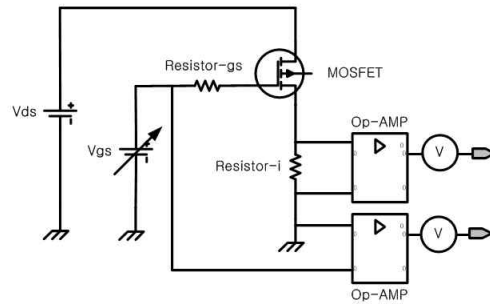


그림 8. 상세 측정단자 및 인터페이스

이 되어있다. 제어실과 TID Test Chamber와의 거리는 25m이다. 이는 양성자 조사 시 인체에 영향을 주지 않게 하기 위함이다.

그림 8은 금속-산화막 반도체 전계효과 트랜지스터의 총이온화선량을 측정하기 위하여 실제 부품과 인가전압의 상호관계를 도시하는 그림이다. 게이트에 인가되는 제어전압으로부터 보호를 위하여 저항 Resistor-gs를 직렬로 연결하였다.

그리고, 드레인-소스 사이에 흐르는 전류를 측정하기 위하여 저항 Resistor-i를 직렬로 연결하였으며 저항의 용량은 2Ω이하로 선정하였다. 즉, 흐르는 드레인을 통하여 흐르는 전류는 전압으로

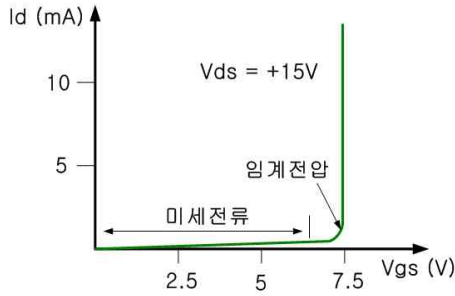


그림 9. 누설전류 및 임계전압

입혀지며 전류-전압에 대한 상호연관성을 시험 데이터로 얻어 Data Display 컴퓨터의 파라메타로 활용하면 된다.

전류 측정을 위하여 저항과 증폭기를 사용한 이유는 총이온화선량에 의하여 게이트 전압이 임계전압 이하로 낮을 경우에는 전류가 극히 적게 흐르기 때문에 전류 증폭을 위하여 사용하였다. 그림 9는 미세전류의 크기를 보여주고 있다.

4.3 바이어스 전압 제어 알고리즘

MOSFET Power Supply의 출력 전압을 제어하기 위한 바이어스 전압 알고리즘은 그림 10과 같다. 처음 시작에서 MOSFET Power Supply의 모든 출력은 초기화 하여 돌발적인 출력전압으로부터 소자를 보호하여야 한다.

MOSFET Power Supply의 초기화가 완료되면 게이트 전압을 +5V로 출력하도록 구현되어있다. 즉, 바이어스 전압으로 +5V부터 증가하여 이에 따른 드레인 전류를 측정하고자 한다. MOSFET

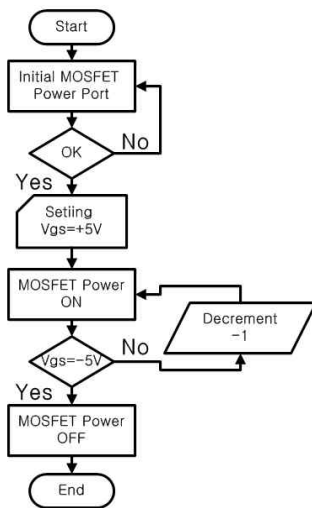


그림 10. 제어 흐름도

Power Supply의 출력이 인가된 후 게이트 전압이 -5V 인지 확인한다. 이후 게이트 전압이 -5V 일 경우 MOSFET Power Supply의 출력을 모두 차단한다.

V. 실험결과

5.1 Test-bed의 시뮬레이션 결과

본 절에서는 MATLAB을 이용하여 식 (1) 및 (2)에 대하여 시뮬레이션을 수행하였다. I_D 대 V_G 의 특성 그래프는 그림 9에서 보여준다. 인가되는 게이트 바이어스 전압 (Gate Bias Voltage)을 가변하였고, 드레인 전압 (Drain Voltage)은 +12V로 고정하여 시뮬레이션 하였다. 이는 실제로 인공위성에 적용된 전압 범위로서 유사한 환경을 구축하기 위함이다. 그림 11은 식 (1) 및 (2)에서 게이트 전압을 고정하였을 경우 $\mu_n C_{ox} \frac{W}{L}$

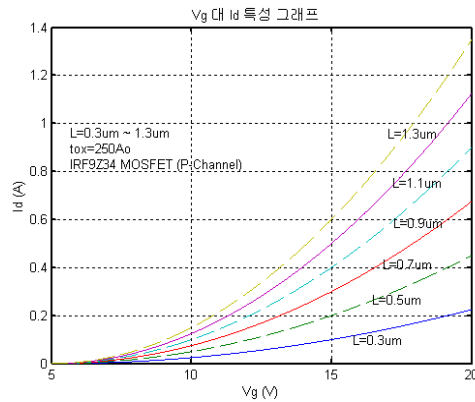


그림 11. I_D 대 V_G 시뮬레이션 1

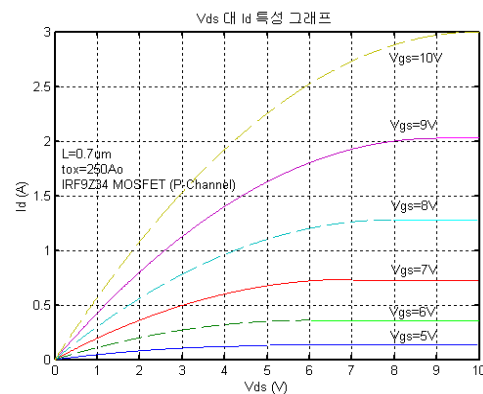


그림 12. I_D 대 V_G 시뮬레이션 2

의 함수로 임계전압 부근에서의 동작전류의 기울기 변화에 대한 그래프를 보여주고 있다. 그림 11로부터 산화막의 두께 및 길이에 따른 접선의 기울기가 서로 상이함을 알 수 있다.

이의 결과는 실제 산화막의 함수에 따른 동작 전류의 기울기가 어느 정도 변하는지 사전결과를 얻기 위함이다. 그리고, 본 실험에서는 고정된 산화막에 따른 임계전압의 영향에 대한 연구를 수행하고자 하며, 이의 일환으로 그림 12에는 상용 제품에 가장 많이 사용되는 산화막 반도체 전계효과 트랜지스터의 산화막 두께를 $0.7\mu\text{m}$ 로 고정시키고 게이트 전압을 가변 할 경우에 대한 드레인 전류의 관계를 보여주고 있다.

그림에서 6가지 종류의 게이트 바이어스 전압에 따른 드레인 전류를 보여주고 있으며, 그림 3과 유사한 경향을 보임을 시뮬레이션을 통하여 알 수 있다. 그림 12의 시뮬레이션 결과는 전형적인 금속-산화막 반도체 전계효과 트랜지스터의 특성을 보여주고 있음을 알 수 있고, 각각에 있어서 바이어스 전압 이전에는 선형적으로 드레인 전류가 증가함을 알 수 있다. 그러나, 드레인 전압이 점차 증가하여 임계전압에서는 채널이 포화 영역에 도달하여 일정한 전류가 흐름을 알 수 있다. 아울러, 금속-산화막 반도체 전계효과 트랜지스터는 크게 3가지 동작특성을 보이는데, 차단영역, 선형영역, 그리고 포화영역으로 구분된다. 그림 12의 상용 소프트웨어에 의한 파라미터를 입력하였을 때 실제와 유사한 특성을 보임을 알 수 있다.

5.2 Test-bed의 실험결과

본 실험에 사용된 금속-산화막 반도체 전계효과 트랜지스터는 범용적인 전자스위치로 많이 사용되고 있는 미국의 International Rectifier (IR)사에서 제조한 p-channel MOSFET인 IRF9Z34 소자를 선정하였다. 이 MOSFET IRF9Z34의 상세 사양은 아래 표 1[4]과 같다.

표 1. IRF9Z34 MOSFET 사양

항목	사양
Manufacturing Mode	Enhancement
Channel	p-channel
$R_{ds(on)}$	0.14Ω
I_d	-18A
V_{dss}	-60V

표 1에서 알 수 있듯이 스위치가 동작 할 경우 임피던스 (Impedance) 인 R_{ds} 는 0.14Ω 이다.

그리고 그림 13[4]은 실제 실험에 사용된 TO-220AB Type의 p-channel MOSFET를 보여주며 왼쪽부터 게이트, 드레인, 소스의 단자를 갖고 있다. 그리고, 열방출을 위해 장착된 방열판은 드레인 전극과 직접 연결되어 있어서 실험 시 드레인단자로 활용하였다. 그림 14는 벤치에서 실험할 때 구성한 회로를 보여준다. 바이어스를 위해 게이

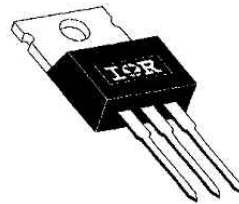


그림 13. TO-220AB Type Package

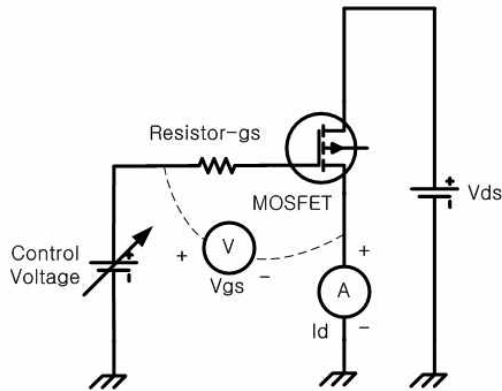


그림 14. MOSFET 시험회로

Vgs 대 Id 특성 시험 결과

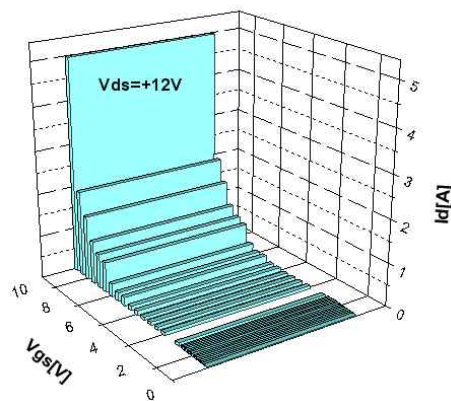


그림 15. I_D 대 V_G 시험결과

트 전압을 인가하였고 주 전류 측정을 위해 드레인 전압을 각각 인가하였다. 접지는 시험 유닛의 안정성을 위해 공통으로 사용하였다. 게이트 인가전압에 따른 드레인 출력 전류는 그림 15에 보여준다. 게이트 인가전압과 드레인 전류는 그림과 같으며 시뮬레이션 결과와 유사하게 임계전압 범위에서 선형성 (Linearity)을 보임을 알 수 있다.

게이트 전압에 임계전압 이상으로 인가 할 경우 그림 15와 같이 1차 함수로 선형화 한 것과 같이 동작전류까지 구동할 수 있음을 알 수 있다.

그림 16[5][6][7]에서는 전본 입수의 한계로 인하여 상용제품으로 시험을 수행하였고 산화막의 두께를 변경하여 시험을 수행 할 수 없었다. 따라서, 산화막의 두께에 따른 임계전압의 변화는 알 수 없었으며, 이를 보충하기 위하여 그림 16에 각각 타사 별로 산화막의 두께에 따른 임계전압의 변화에 대한 시험결과를 도시하였다. 따라서, 총이온화선량에 의한 임계전압의 변화는 그림 16에 도시한다. 그림 16을 통하여 조사된 방사선량의 크기에 따라 소자별 임계전압의 변화량은 수백 mV 정도가 발생함을 알 수 있다. 이에 대한 상관관계가 식 (6)[5]에 나타내고 있다.

$$V_T = V_{G(max)} - \left(\frac{I_{D(max)}}{g_{max}} \right) - 0.05mV \quad (6)$$

그림 14와 같이 제작한 회로에서의 실험결과와 양성자를 조사하기 전의 임계전압은 유사한 결과가 그림 16[5]을 통하여 알 수 있다.

이는 시중에 판매되는 모든 금속-산화막 반도체 전계효과 트랜지스터의 산화막 두께가 $0.8\mu m$ 에서 $1.6\mu m$ 사이 이므로 그림 16에서 언급한 결과의 범위에 있음을 알 수 있다.

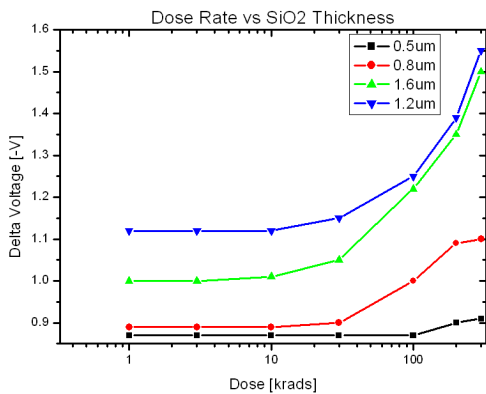


그림 16. p-channel MOSFET의 임계전압 변화량에 대한 시험결과

VI. 결 론

인공위성은 로켓 또는 기타 운반물에 의하여 우주로 보내져 우주환경에서 동작하는 종합시스템이다. 지표면으로부터 약 80 km 의 고도에 중간권 이라 불리는 대기층이 존재하므로 우주에서 발생하는 방사선으로부터 보호를 받는다. 그러나, 인공위성의 경우 지구 대기권 벗어난 우주환경에서 동작하게 되어있다. 따라서, 이와 같은 이유로 본 연구에서는 우주환경에서 동작하는 금속-산화막 반도체 전계효과 트랜지스터의 총이온화선량 측정을 위한 시험환경을 구축하였고, 이에 대한 시뮬레이션과 실험을 수행하였다. 본 소자에 대한 시뮬레이션을 통하여 임계전압을 위한 바이어스 전압을 가변하면서 수행하였다. 수행결과 본 테스트 베드를 통하여 임계전압이 정상적으로 측정될 수 있음을 확인할 수 있었다. 또한, 벤치에서 실제 소자를 다용도 기판 (Bread Board)에 장착하여 실험을 수행하였다. 시뮬레이션결과와 실제 측정결과를 비교할 때 유사한 측정결과를 얻을 수 있었다. 따라서, 양성자 조사기를 이용한 양성자 조사 시 금속-산화막 반도체 전계효과 트랜지스터에 나타나는 전기적 특성변화에 대한 실험을 수행하기 위한 테스트 베드를 본 논문에서 제안한다. 또한, 본 연구결과를 활용하여 반도체 소자의 총이온화선량에 대한 영향에 대하여 연구할 예정이며, 국내에서 생산된 소자에 대해서도 총이온화선량에 대한 데이터 베이스 (Data Base)를 구축하는데 기반이 되고자 한다.

후 기

본 연구 논문은 양성자기반공학기술개발사업 중 우주부품 내방사선 기술개발 연구와 한국과학기술원 인공위성연구센터의 예산지원을 받아 수행되었으며, 이에 감사의 뜻을 전합니다.

참고문헌

- 1) http://satrec.kaist.ac.kr/data_new/data_3.htm
- 2) 채종원, "우주방사선 해석 기술 동향 - TID 해석을 중심으로", 항공우주산업기술동향, 제 2권 2호, 2004, pp. 84~94.
- 3) 윤의식, "한국과학기술원 물리전자 EE561 강의자료 8장", 2003, pp. 8-1~8-29.
- 4) International Rectifier Data Sheet, "IRF9Z34".

5) J.V. Osborn, R.C. Laco, D.C. Mayer, and G. Yabiku, "Total Dose Hardness of Three Commercial CMOS Microelectronics Foundries", IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 45, NO. 3, 1998, pp. 1458~1463.

6) Stefano Bertazzoni, Domenico Di Giovenale, Marcello Salmeri, Lorenzo Mongiardo, Marco Florean, Adelio Salsano, Jeffert Wyss, and

Riccardo Rando, "TID Test for SDRAM Based IEEM Calibration System", Nuclear Science Symposium Conference Record 2004 IEEE, Vol. 2, 2004, pp. 752~755.

7) T. R. Oldham, and F. B. McLean, "Total Ionizing Dose Effects in MOS Oxides and Devices", IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 50, NO. 3, 2003, pp. 483~499.