

技術論文

과학기술위성 2호 탑재 컴퓨터의 EM 개발 및 구현

유창완*, 남명룡*, 임종태*

Engineering Model Design and Implementation of
STSAT-2 On-board computer

Chang-Wan Ryu*, Myeong-Ryong Nam* and Jong-Tae Lim*

ABSTRACT

The Engineering Model of STSAT-2 on-board computer(OBC) was developed and tested completely with other sub-systems. The on-board computer of STSAT-2 has a high-performance PowerPC processors and a structure of centralized network communication. In addition, a lot of logics are implemented by Field Programmable Gate Array, such as interrupt controller, watchdog timer and UART. It could make the weight and size of OBC lighter and smaller. Also, the STSAT-2 on-board computer has more improved tolerance against Single Event Upsets and faults than that of the STSAT-1.

초 록

과학기술위성 2호의 탑재 컴퓨터(OBC)의 EM 모델을 개발하고 기능 및 성능평가를 완료하였다. 과학기술위성 2호의 탑재 컴퓨터는 고성능 CPU를 탑재하여 처리 성능을 향상시켰으며 중앙 집중식 통신구조를 가지도록 설계하여 위성 시스템 내부의 다른 서브 유닛들과 직접 통신하여 위성의 각종 서브장치들을 조정하도록 하였다. 탑재 컴퓨터에 사용되는 통신모듈, 시스템 감시회로, SEU(Single Event Upset)를 극복하기 위한 로직회로 등 각종 제어 회로들을 FPGA 내에 구현함으로써 소형화, 경량화 및 저 전력화를 추구하고 기술 집약화 하도록 하였다.

Key Words : STSAT-22(과학기술위성 2호), On-board computer(OBC)

I. 서 론

과학기술 위성 2호(STSAT-2)에 사용될 탑재 컴퓨터(OBC, On-Board Computer)의 EM 모델을 개발하여 기본 동작시험과 성능시험을 실시 완료하였다. 과학기술위성 2호의 탑재 컴퓨터는 과학기술위성 1호의 탑재 컴퓨터에 비해 보다 우수한 명령 처리 속도와 안정된 통신 기능을 가지도록 설계 하였다. 위성 내부의 다른 서브 유닛들과의 통신은 중앙 집중형 네트워크 통신 기능을 갖도

록 설계하였으며 통신 프로토콜을 하드웨어로 처리 할 수 있도록 FPGA를 이용해 통신 로직들을 설계하였고, 충분한 수행 성능을 가지도록 RISC 형태의 고속 CPU를 탑재하였다. FPGA 칩 하나에 EDAC(Error Detect and Correct), WATCHDOG TIMER, 인터럽트 컨트롤러 등의 기능을 가지도록 하여 시스템을 소형화 하고 구조를 단순화 하여 우주환경 하에서의 내고장성을 가지도록 설계 제작하고 이를 시험하였다.

II. 본 론

2.1 시스템 구조

과학기술위성 2호에서의 탑재 컴퓨터는 주어진

† 2005년 2월 24일 접수 ~ 2005년 7월 4일 심사완료

* 정회원, 한국과학기술원 인공위성연구센터
연락처, E-mail : cwryu@satrec.kaist.ac.kr
대전시 유성구 구성동 373-1

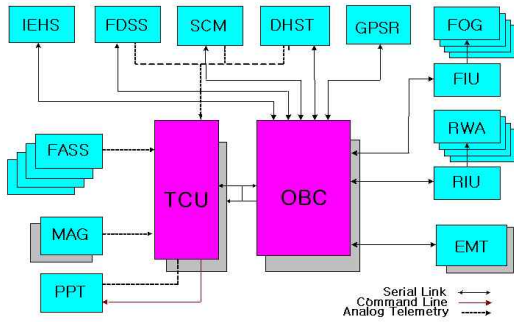


그림 1. 과학기술위성 2호의 구성

임무를 수행하기 위해 지상국으로부터의 명령 및 데이터 처리, 위성 자세 제어, 위성체 운용, 탑재체 운용, 전력부 제어 등의 작업을 수행한다. 이를 위해 과학기술위성 2호의 위성 시스템은 그림 1과 같은 각 서브 유니트들을 갖는 구조를 가지고 있고 각 서브 유니트 시스템과는 시리얼 통신 링크로 연결되어 있다.

과학기술위성 1호에서는 각 서브 유니트 시스템과의 통신을 위한 네트워크 제어기(NC, Network Controller)를 두어 이를 통해 각 서브시스템과 상호 접속하였다. NC는 OBC와 위성의 각 서브 유니트를 연결하는 통신채널로써 이것이 고장이 발생하는 경우 모든 서브유니트와의 통신이 이루어지지 않아 모든 기능이 정지되는 문제점을 안고 있었다. 이를 보완하기 위해 과학기술위성 2호에서는 그림 1과 같이 OBC가 중앙에서 직접 각 서브시스템과 통신하도록 하여 네트워크 상에서 발생할 수 있는 여러 문제점들에 대한 강인성을 높였으며 시스템을 단순화 할 수 있도록 하여 신뢰성을 높였다.

우주환경에서 발생할 수 있는 SEU에 대해 FPGA에 의한 에러 복구 기능(EDAC)을 갖도록 하였으며 운영 소프트웨어(OS) 및 각 소프트웨어 프로그램 모듈의 업그레이드를 위한 EEPROM을 가지고 있으며, 각 서브 유니트와의 통신을 위한 직렬통신 장치(UART - Universal Asynchronous Receiver Transmitter) 및 직렬통신 프로토콜(SLIP-Serial Line Interface Protocol) 처리 로직, 시스템을 실시간으로 감시하는 Watchdog 로직 등을 FPGA를 통해 구현함으로써 OBC를 소형화하고 시스템 복잡도를 줄여 신뢰도를 높일 수 있도록 하였다. 또한 과학기술위성 2호에는 2개의 OBC가 탑재되며 이들을 Cold-Standby 형태로 운용되며, OBC의 고장이 발생되면 지상국의 명령에 의해 TCU를 통해서 여분의 다른 OBC가 동작하도록 하였다. 다음 그림 2는 OBC의 내부 구조 블록도이다.

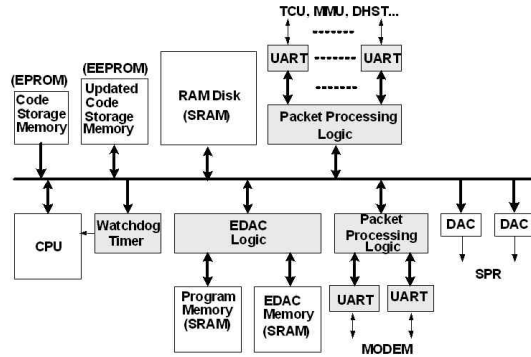


그림 2. OBC 내부 구조 블록도

2.2 시스템의 CPU와 메모리

탑재 컴퓨터에서 OBC의 제어를 담당하는 CPU로는 PowerPC 603을 사용하여 외부 25MHz의 클럭, 내부 150MHz 클럭으로 동작하며 이때 최대 150MIPS의 명령 처리 능력을 가지고 있다. 또한 부동 소수점 처리기(Floating Point Unit)를 자체 내장하여 별도의 보조 프로세서 없이 자세 제어를 위한 연산 알고리즘을 고속으로 수행하며 2.5W의 전력을 소비한다. STSAT-2에서 실제 사용되는 CPU는 ATMEl사의 군사용 버전을 사용하며, 우주 방사능 환경을 고려하여 캐시(Cache)를 사용하지 않으며 이때 최대 25MIPS의 처리 속도를 낼 수 있으며 이를 성능 시험한 결과 현재 OBC의 필요 요건을 만족하고 있다.

OBC의 메모리는 기본 프로그램 RAM 메모리 2MB, EDAC 처리를 위한 RAM 메모리 2MB, 각종 정보 저장을 위한 RAM Disk를 위한 4MB, Boot ROM EPROM 메모리 32KB, OS 및 Task 저장용 EPROM 메모리 1MB, 업데이트 코드용 EEPROM 2MB의 메모리를 사용하고 있다. CPU는 메모리 시스템을 운용하기 위해 32-bit 또는 64-bit의 데이터 버스를 사용 가능하지만 본 시스템에서는 32-bit의 데이터 버스 시스템을 사용하였다. 특히 부팅 시에는 수행속도가 상대적으로 중요하지 않기 때문에 이때 사용되는 부팅용 32KB(EPROM) 영역은 8-bit의 데이터 폭을 갖는 EPROM를 사용하는데, 부팅 시에 FPGA의 구현된 로직에 의해 boot ROM을 8-bit씩 4번 읽어서 한번에 32-bit 형태로 CPU에게 전달하도록 하여 1/4의 ROM 무게와 공간을 줄일 수 있도록 하였다. 위성의 각종 텔레메트리 (telemetry) 상태 정보 저장을 위한 저장 공간으로 4MB의 공간을 두어 OS 상에서 파일시스템으로 운용하도록 하였으며 이 메모리 공간은 소프트웨어적인

EDAC 처리를 하도록 하였다.

2.3 FPGA의 로직 구현 및 통신로직

과학기술위성 2호의 OBC에서 가장 중요한 부분 중의 하나인 FPGA는 많은 로직을 별도의 전용 칩들을 사용하지 않고 내부 로직으로 구현함으로써 시스템을 단순화, 최소화, 소비전력을 최소화 할 수 있도록 하였다. 또한 FPGA를 이용해 SEU(Single Event Upset)에 의한 메모리 오류 복구를 위한 EDAC, 시스템 고장 감시를 위한 Watchdog, 메모리 인터페이스를 위한 로직, 시간 보정을 위한 GPS의 PPS(Pulse Per Second Counter), 서버 유니트 시스템과의 시리얼 통신을 위한 18채널의 UART, SLIP 프로토콜 처리를 위한 로직, 인터럽트 제어 로직 등이 구현 되었다.

FPGA는 전력 특성이 우수하고 내방사선 특성이 우수하며, 타 위성에서의 응용사례가 많은 것으로 알려진 ACTEL 사의 RT54SX 계열의 칩을 사용하였다. 이 FPGA는 Antifuse 방식을 이용하고 100KRad 내방사선 특성을 가지고 있으며 내부적으로 TMR(Triple Modular Redundancy) 기능을 가지고 있다.

과학기술위성 2호의 OBC는 각 서버 유니트들 간의 통신을 위해 18개의 시리얼 통신 링크가 필요하다. 이를 위해 OBC 에서는 전용으로 사용되는 별도의 UART칩을 사용하지 않고 FPGA에 18개의 직렬 통신 장치 UART(Universal Asynchronous Receiver/Transmitter)채널을 구현함으로써 소비전력과 사용 공간을 대폭 줄일 수 있었다. 직렬로 데이터를 송신하는 부분과 수신하는 부분의 클럭 속도도 각각 다르게 설정 할 수 있도록 하여 하나의 UART 채널 내에서도 송신과 수신이 각각의 별도의 동기 신호에 의해 독립적으로 동작하도록 하였다.

일반적으로 직렬 통신 채널을 통해서 인터페이스 하는 경우 한 패킷을 구성하는 여러 바이트의 문자를 송수신할 때 각 문자마다 CPU 인터럽트가 발생하여 CPU의 효율성을 떨어뜨린다. 이러한 CPU의 처리 부담을 줄이기 위해서 OBC의 FPGA 내부에 SLIP(Serial Line Interface Protocol) 처리 로직을 두어 데이터를 패킷 단위로 송수신하고 이때마다 인터럽트를 요구하도록 하여 인터럽트 발생 빈도를 줄여서 CPU를 보다 효율적으로 사용할 수 있도록 하였다. 과학기술위성2호의 SLIP 프로토콜은 표 1과 같이 일련의 바이트 열에 대하여 특수한 시작문자(0xC0)와 특수한 종료문자(0xC0)를 두고 이 사이에 해당정보

표 1. SLIP 패킷 형식

OPEN	Info1	Info2	Info3	Info4	Data	Checksum	CLOSE
0xC0	1 byte	1 byte	1 byte	1 byte	1 ~ 250 bytes	1 byte	0xC0

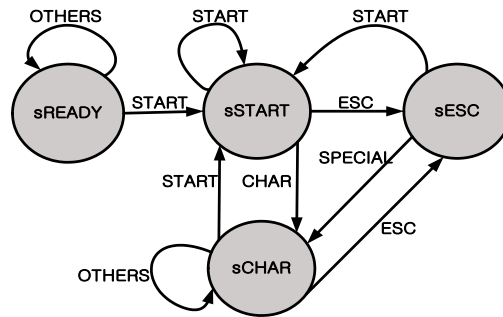


그림 3. SLIP 처리를 위한 Machine State

를 전송하도록 한다. 정보필드 중에 특수문자(0xC0)가 있는 경우 송신 측에서는 이를 두 바이트의 SLIP_ESC와 문자로 변환하여 전송하고(Byte Stuffing), 수신측 에서는 이 두 문자를 받으면 이를 역으로 변환하여 사용한다.

FPGA 내부에 SLIP 처리의 구현을 위해 다음 그림 3과 같이 4가지 형태의 상태(Machine State)를 두어 처리 하도록 하였다. 각 상태에서 START/CHAR/ESC/SPECIAL 등의 문자를 받으면 다른 상태로 이동된다.

2.4 인터럽트 처리 및 시스템 감시

OBC에서 사용된 PowerPC CPU는 1개의 외부 인터럽트 핀을 제공한기 때문에 여러 개의 외부 인터럽트 처리를 위해 별도의 인터럽트 컨트롤로직이 필요하다.

OBC의 경우 시스템 타이머 및 18개의 각 UART 채널, SLIP 처리 로직, EDAC 처리 로직 등의 총 43개의 인터럽트 요구 신호들을 가지고 있으며, 이들에 대한 인터럽트 요구 신호를 생성시키고 해당 처리가 완료된 후 다시 소멸 시키는 등의 인터럽트 관리 로직을 FPGA를 이용해 구현하여 적용하였다.

인터럽트의 우선순위는 인터럽트 컨트롤러 내부의 상태 레지스터(Interrupt Status Register)의 상태를 확인 후 소프트웨어 프로그램에 의해 결정하여 적용할 수 있도록 하였다.

Watchdog 로직은 CPU에 오류가 발생하여 시스템이 멈추거나 원치 않는 동작을 하는 경우 이를 감지하여 리셋신호를 발생하여 시스템을 리셋시킨다. 이 기능을 수행하기 위해 CPU의 인터럽트

트가 아닌 별도의 프로그램에서 매 일정 시간마다 재설정 하지 않으면 시스템이 자동으로 리셋 되도록 하였으며 이는 다른 기능과 함께 FPGA 내부에 구현된다. 이러한 CPU동작 상태는 지상국에서 모니터링 되며 지상국에 의해 고장으로 판단되면 지상국 명령에 의해 다른 여분의 OBC가 동작 된다.

또한 전원이 꺼져 있다가 전원이 켜지는 순간에 전원공급이 안정화 될 때까지 CPU는 동작하지 않고 기다리는 Power-On-Reset 기능을 가지도록 하였으며, 외부의 TCU로부터 리셋신호를 받아서 OBC 시스템을 리셋 시킬 수 있도록 하였다.

2.5 SEU 처리를 위한 EDAC 로직

우주 환경 중 우주 방사선은 전자 장비에게 치명적인 오류를 유발 시킬 수 있다. 특히 OBC의 메모리 소자에 대해서 고 에너지 입자에 의해 데이터 값이 바뀌는 SEU현상을 빈번하게 발생시킨다. 이러한 SEU에 대한 보호 방법으로 메모리의 내용에 대한 오류를 감지하고 이를 다시 복구 시킬 수 있는 별도의 메모리를 두어 하드웨어적으로 실시간으로 처리 되도록 FPGA에 그 기능을 구현 하였다.

프로그램 메모리는 데이터를 저장하기위한 데이터 메모리와 프로그램 코드를 고속으로 실행하기위해 코드영역으로 활용되며 이들 메모리 영역은 똑같은 크기를 갖는 EDAC용 메모리로 구성된다. 그림 4는 EDAC 처리를 위한 메모리 구조와 처리에 대한 로직이다.

여기에서 사용된 EDAC 로직은 (7,4) Hamming Code를 적용하여 4Bit당 3Bit의 정보 비트를 주어 1bit 에러를 감지하여 복구 시키며 2bit의 에러를 탐지 할 수 있도록 하였다. 또한 CPU의 데이터 폭이 32bit 이므로, 이를 32-bit 데이터에 대해서 동시에 적용하여 한꺼번에 처리한다.

EDAC 로직은 프로그램 메모리 영역을 읽을 때 동작하게 되는데 SEU 오류가 발생할 경우 이

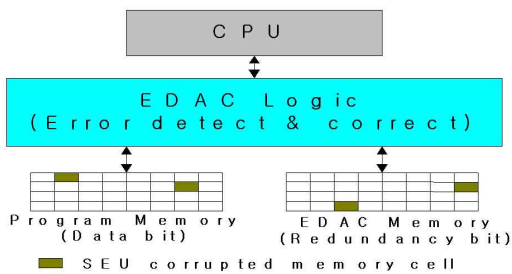


그림 4. EDAC 처리를 위한 구조도

를 복구 하여 CPU에게 복구된 데이터를 전송하며, 동시에 이 데이터를 다시 메모리에 하드웨어에 의해 자동적으로 재저장 되도록 하였다. 이때 또한 SEU가 발생한 메모리의 번지수와 그 횟수를 저장하여 CPU에게 인터럽트를 통해 알려주도록 하여 그 이력을 관리할 수 있도록 하였다. 메모리 전체의 데이터가 항상 오류가 없도록 하기 위해서 정기적으로 전 프로그램 메모리 영역을 읽어서 에러를 복구하고 저장하도록 하는 프로그램을 작성해 수행하도록 하였다.

2.6 SPR(Solar Power Regulation) 제어

위성의 전력 시스템 제어를 위해 OBC 내부에 2개의 DAC(Digital to Analog Converter)를 장착하였으며 이는 제어 프로그램에 의해 제어된다. 두개의 DAC는 배터리의 충전전류 제어를 위한 기준전압 및 제어 주기를 조정하기 위한 입력으로 사용된다.

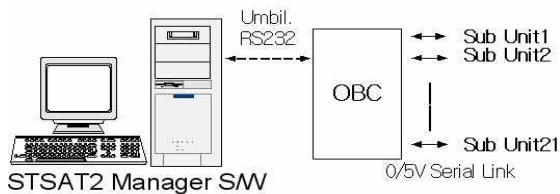


그림 5. EM 테스트 환경 구조도

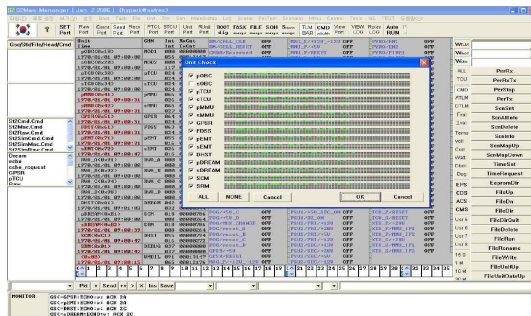


그림 6. EM 기능 테스트 화면



그림 7. 제작된 EM 사진

III. 시험 및 고찰

과학기술위성 2호의 탑재 컴퓨터 EM이 개발 완료되어 EM I&T (Integration & Test)를 통하여 전체 시스템과 연결하여 성능 평가 시험을 수행하였다.

그림 5와 같이 OBC를 중앙에 설치하고 각 서브 유닛시스템들을 각 해당 포트에 연결하였다. 탑재 컴퓨터에 명령을 내리는 RS-232통신채널을 통해 PC를 통해 명령을 전달해서 그 수행 결과를 분석하여 동작 및 성능을 검증하였다. 시험 결과 시스템 동작과 성능, 안정성에 문제가 없음을 확인하였다.

이러한 동작시험을 위해 실제 지상관제국에서 사용될 T-2 Manager라 프로그램을 사용하여 시험에 사용 하였다. 그림 6은 제작된 EM에 대해서 기능 테스트를 수행하는 화면으로 OBC와 위성의 모든 유닛들 사이에 동시에 통신이 성공적으로 이루어지고 있음을 보여주고 있다.

ST2 Manager에서는 각종 매크로 기능, 결과를 자동으로 저장하는 기능 등을 가지고 있어서 효율적으로 시험을 수행할 있었다.

그림 7은 실제 제작된 OBC의 EM 사진이다.

IV. 결 론

과학기술위성 2호의 탑재 컴퓨터(OBC)의 EM 개발하고 기능 및 성능시험을 완료하였다. STAT-2의 OBC는 소형위성의 구조에 적합하도록 그 크기를 소형화하였으며 내부 시스템 구조를 간단히 하였다. FPGA를 이용해 EDAC, Watchdog,

Interrupt Controller, UART, SLIP 처리로직, 8-bit 메모리 인터페이스 로직 등을 구현함으로써 사용되는 부품의 수를 대폭 줄였으며, 과학기술 위성 1호의 네트워크 컨트롤러 기능을 가지도록 함으로서 시스템의 복잡함을 줄이고 단순화하여 우주환경 및 시스템의 고장에 대한 내구성을 증대하도록 하였다. 또한 부동 소수점 처리 장치를 내장한 고성능의 CPU를 사용함으로써 OBC의 처리 성능을 대폭 향상시켰다. 제작된 탑재 컴퓨터의 EM 대해서 조립 및 시험을 실시하여 전체 시스템과의 연결성, 성능평가 등의 시험을 수행하였다. 시험결과 OBC의 기능과 성능에 이상이 없음을 확인 하였다.

후 기

본 연구논문은 과학기술부 과학기술위성 2호 개발사업의 예산 지원을 받아 작성되었습니다.

참고문헌

- 1) "STSAT-2 PDR Data Package", 한국과학기술원, 2003.
- 2) H. Tiggeler, T. Vladimirova, D. Zheng, J.Gaisler, "Experiences Designing a System-on-a-chip for Small Satellite Data Processing and Control", MAPLD Conference, 2000.
- 3) "FPGA를 이용한 우주용 On-board Computer의 소형화/경량화 기술 개발", 과학기술부, 우주기술개발사업 기술과제 보고서, 2004. 05.
- 4) "과학위성1호 탑재 컴퓨터 설계 및 구현", 한국항공우주학회지 제31권 4호, pp. 105-111, 2003. 05.