8×8 UV-FPA 검출기용 Readout IC의 설계 및 제작

김태민* · 신건순**

Implementation of Readout IC for 8×8 UV-FPA Detector

Tae-Min Kim* · Gun-Soon Shin**

이 논문은 2005년도 금오공과대학교 학술연구비와 IDEC의 CAD TOOL을 지원받았음

요 약

Readout 회로는 검출기에서 발생되는 신호를 영상신호처리에 적합한 신호로 변환시키는 회로를 말한다. 일반적으로 감지소자와의 임피던스 매칭, 증폭기능, 잡음제거 기능, 및 셀 선택 등의 기능을 갖추어야하며, 저 전력, 저 잡음, 선형성, 단일성(uniformity), 큰 동적 범위(dynamic range), 우수한 주파수 응답 특성 등의 조건을 만족하여야 한다.

Focal plane array (FPA)용 자외선 영상 장비 개발을 위한 기술 요소는 첫째, 자외선 검출기(detector) 재료 및 미세 가공 기술 둘째, detector에서 출력되는 전기신호를 처리하기 위한 ReadOut IC (ROIC) 설계 기술 그리고, detector 와 ROIC를 하이브리드 본딩하기 위한 패키지 기술 등으로 구분할 수 있다. ROIC는 영상장비 지능화 및 다기능화를 가능하게 하며, 궁극적으로 고부가가치 상품화를 위한 핵심부품이다. 특히, 고해상도 영상 장비용 ROIC의 개발을 위해서는 검출기 특성, 신호의 동적 범위, readout rate, 잡음 특성, 셀 피치(cell pitch), 전력 소모 등의 설계사양을 만족하는 고집적, 저 전력 회로설계 기술이 필요하다.

본 연구에서는 칩 제작 기간 단축 및 비용의 절감을 위하여 8×8 FPA용 prototype ROIC를 설계 및 제작한다. 제작된 8×8 FPA용 ROIC의 단위블럭 및 전체기능을 테스트 하며, ROIC 제어보드 및 영상보드를 제작하여 UART(Universal Asynchronous Receiver Transmitter) 통신으로 PC의 모니터에서 검출된 영상을 확인함으로써, ROIC의 동작을 완전히 검증할 수 있다.

ABSTRACT

Readout circuit is to convert signal occurred in a detector into suitable signal for image signal processing. In general, it has to possess functions of impedance matching with perception element, amplification, noise reduction and cell selection. It also should satisfies conditions of low-power, low-noise, linearity, uniformity, dynamic range, excellent frequency-response characteristic, and so on.

The technical issues in developing image processing equipment for focal plane array (FPA) can be categorized as follow: First, ultraviolet (UV) ray detector material and fine processing technology. Second, ReadOut IC (ROIC) design technology to process electric signal from detector. Last, package technology for hybrid bonding between detector and ROIC.

ROIC enables intelligence and multi-function of image equipment. It is a core component for high value added commercialization ultimately. Especially, in development of high-resolution image equipment ROIC, it is necessary that high-integrated and low-power circuit design technology satisfied with design specifications such as detector characteristic, signal dynamic range, readout rate, noise characteristic, cell pitch, power consumption and so on.

In this paper, we implemented a 8×8 FPA prototype ROIC for reduction of period and cost. We tested unit block and overall functions of designed 8×8 FPA ROIC. Also, we manufactured ROIC control and image boards, and then were able to verify operation of ROIC by confirming detected image from PC's monitor through UART(Universal Asynchronous Receiver Transmitter) communication.

* 금오공대 전자공학부 겸임교수
** 금오공과대학교 전자공학부 교수

접수일자 : 2005. 12. 16

Ⅰ. 서 론

자외선 영상장비는 자외선 에너지를 검출하여 이를 영상신호로 바꾸어 화면에 표시하는 장비로서, 우주과학 장비를 비롯하여 산업용, 의학용 등에서 사용된다. 즉, 자외선을 감지하여 전기적 신호를 발생시키는 검출기(자외선 detector), detector에서 발생된 전기적 신호를 영상신호 처리에 적합하도록 구현해주는 readout 회로, 그리고 영상구현을 위한 영상구현 시스템이 그것이다. 일반적으로, array 형태의 자외선 detector와 silicon 집적회로로 만들어지는 readout 회로는 각기 다른 기판에 제작된 후, 배열소자와 ROIC(readout integrated circuit)의 전기적 결선은 범프 메탈(bump metal)을 사용한 프립칩(flip chip) 기술에 의하여 이루어진다[1-2].

자외선 영상장비의 개발에 있어서 중요한 요소는 첫째, detector를 구성하는 초전체 재료의 개발 및 미세가공기술, 둘째, detector에서 감지된 미세한 전기신호를 영상구현에 적합한 신호로 만들기 위한 ROIC 설계기술, 그리고 detector array와 ROIC를 hybrid bonding 하기 위한 패키지 기술 등으로 구분할 수 있다.

설계된 ROIC는 자외선 검출기에서 검출되는 신호를 증폭하고 잡음을 제거한 후 각각의 픽셀 (pixel)을 순차적으로 출력하는 기능을 수행한다. ROIC를 구성하게 될 회로의 설계를 위해서는 임피던스 매칭, 잡음 제거 및 높은 증폭률 실현 등 검출기 재료가 갖는 전기적 특성을 반영해야 하며, 어레이(array)를 구성하는 검출기 셀 간의 피치를 고려한 readout 기본 셀의 면적 제한, 저 전력 회로설계 등에 대한 복합적인 고려가 요구된다.

본 연구는 ROIC 설계에 적합한 센서의 전기적 모델을 설정하였다. 이러한 센서의 전기적 모델로부터 임의의 이상적인 자외선 입사에 따른 센서의 광반응 전압을 예상하고, 이로부터 ROIC의 입 · 출력 사양을 결정한다. 그리고 영상 시스템 제작에 필요한 기본적인 interface 사양은 센서 전압응답특성을 고려하여 정의한다. 8×8 FPA ROIC 제작 · 평가 결과 정상 동작함을 확인한다.

Ⅱ. 8×8 ROIC 설계

2.1 자외선 검출기의 전기적 등가 모델

자외선 검출기용 readout 회로의 설계를 위해서는 검출기가 갖는 전기적 등가 모델과 검출기에서 검출되는 신호의 특성을 분석하여 이를 정확하게 모델링하는 것이 중요하다. 본 절에서는 자외선 검출기가 갖는 여러 가지 특성 중 readout 회로설계 측면에서 고려해야할 점들을 간단히 살펴본다.

일반적인 검출기는 높은 절연저항을 갖는 강유전체이므로 그림 2-1와 같은 전기적 등가 모델로 생각할 수 있다[3]. 전류원 I_{UV}는 입사되는 자외선의 강도에 따라 발생되는 전류를 나타내며, C와 R는 각각 초전체가 갖는 정전용량 및 저항성분을 나타낸다.

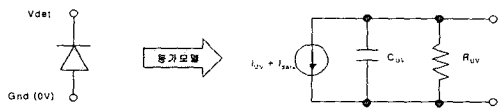


그림 2-1. 자외선 검출기의 전기적 등가 모델
Fig. 2-1. Electrical equivalent model for ultraviolet ray detector

2.2 8×8 FPA용 ROIC 설계

본 연구는 8×8 FPA용 ROIC를 설계하였으며, 이에 대한 chip 제작과 특성평가 결과는 단원 Ⅲ에서 설명한다. 참고로, 본 연구에서 ROIC의 주요 설계 사양은 표 2-1과 같다.

표 2-1. readout IC 설계 규격
Table 2-1. Design specification of readout IC

항목		단위	특성값	측정 조건	비고
Readout IC	Vcc	[V]	5		
	Icc	[A]	Max. 0.5	@ Vdet = 5V	
	C_t	[pF]	Max. 10	@ Iout = 20uA	
	R_t	[KΩ]	Min. 100	@ Vdet = 5V	
	R_{sync}	[Hz]	10	10 Frame / sec	Row Sysc
	C_{sync}	[Hz]	80		Column Sync
	R_{clk}	[Hz]	80		Row Clock
	C_{clk}	[Hz]	640		Column Clock
	Array Format		8 X 8		
	Bump pad count	[/cell]	1		Sensor input node
	Readout Output		1		ROIC output
	Layout area	[um^2]	130 X 130		

2.3 8×8 FPA용 ROIC의 전체구조 및 동작 타이밍

8×8 FPA용 ROIC는 그림 2-2와 같은 구조를 가지며, detector에서 발생되는 신호를 처리하는 8×8 ReadOut Unit Cell (ROUC) array와 ROUC에서 처리된 신호를 pixel 단위로 순차적으로 선택하여 외부로 출력하는 셀 선택 스위치 및 디지털 제어부 그리고 출력버퍼 등으로 구성된다.

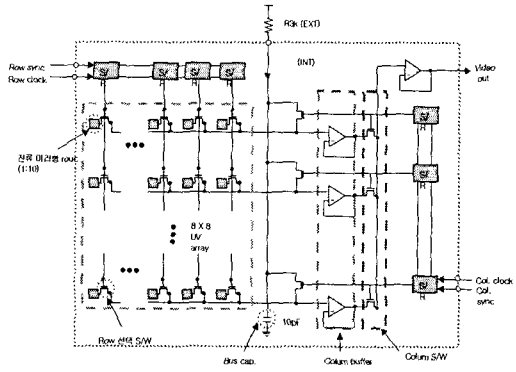


그림 2-2. ROIC의 전체 구조
Fig. 2-2. Configuration of ROIC

디지털 제어부는 ROIC 동작에 필요한 각종 제어신호를 발생하는 블록이며 컬럼(column)과 로(row)를 구현하는 두개의 시프트 레지스터로 구성되며, 외부로부터 컬럼 클록신호 (col clock), 라인동기 신호 (col sync) 및 로 클록 신호 (row clock), 그리고 프레임동기 신호 (row sync)를 받아 readout 동작이 제어되며, 전체적인 동작 타이밍도는 그림 2-3와 같다.

2.4. ROUC 회로 설계 및 시뮬레이션

ROIC 설계에 있어서 핵심이 되는 부분은 자외선 검출기(detector)에서 출력되는 신호를 처리하는 ROUC 회로이다. ROUC 회로는 자외선 검출기 출력신호 범위에 대해 균일한 응답특성을 가져야 한다. 설계된 ROUC는 그림 2-6와 같이 전치증폭단, row 선택 스위치 및 버퍼 등으로 구성된다.

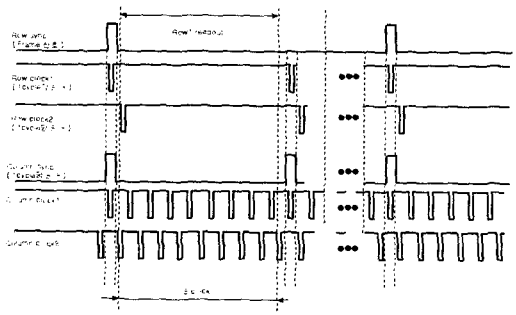


그림 2-3. 8×8 ROIC의 동작 타이밍
Fig. 2-3. Operation of 8x8 ROIC

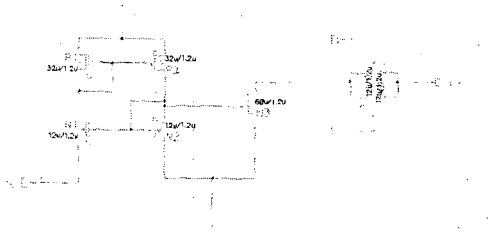


그림 2-4. ROUC 회로도
Fig. 2-4. Circuit diagram of ROUC

전치증폭기는 검출기에서 발생되는 신호를 적절한 크기로 증폭하는 기능을 수행하며, 자외선 검출기가 갖는 전기적인 특성을 고려하여 설계되어야 한다. 전치증폭기는 CMOS 전류밀러를 사용하여 5배의 전류증폭률을 갖도록 설계되었으며 전력소모를 줄이기 위해 row 선택 스위치가 선택될 때 동작되도록 하였다.

2.5 컬럼버퍼 및 출력버퍼 설계

그림 2-8의 ROIC 전체 구조에서 보는 바와 같이 ROUC 어레이에서 컬럼 단위로 출력되는 신호는 컬럼 선택 스위치를 통해 단일 출력으로 변환되어 출력버퍼로 전달되므로 그 출력노드는 ROUC 어레이의 컬럼 수에 비례하는 부하용량을 갖는다. 따라서, 이들 노드를 구동하기 위한 버퍼가 필요하며, 이를 위해 컬럼 선택 스위치 앞단에 그림 2-7와 같은 버퍼를 삽입하였다. 그림 2-7는 전류 구동능력과 주파수 특성을 고려하여 OTA(operational transconductance amplifier)로 설계된 칼럼버퍼(column buffer)의 회로이다. 출력파형의 안정성을 도모하기 위해 출력단에 C1, R1, C2, R2를 추가하였다.

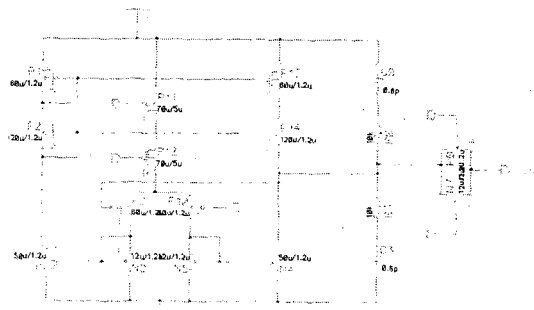


그림 2-5. Column 버퍼 회로도
Fig. 2-5. Circuit diagram of column buffer

출력버퍼는 컬럼 선택 스위치 뒷단에 위치하여 ROIC 외부로 신호를 출력하는 기능을 수행하며, 컬럼 버퍼와 유사한 구조로 설계되었다. 출력버퍼는 그림 2-8에서 보는 것과 같이 구성된다.

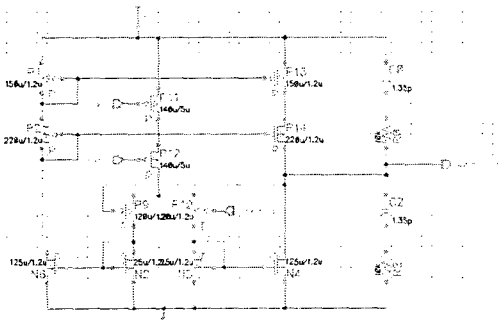


그림 2-6. 출력버퍼 회로도
Fig. 2-6. Circuit diagram of output buffer

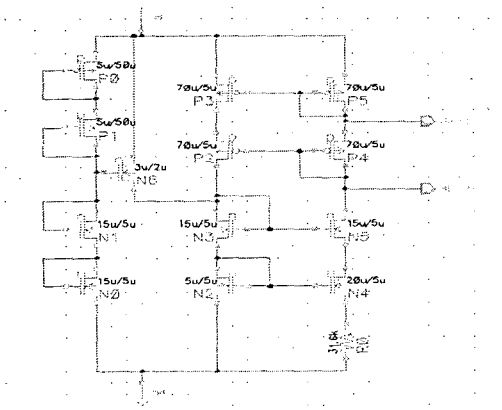


그림 2-7. 바이어스 회로도
Fig. 2-7. Circuit diagram of bias

2.6 Full chip 시뮬레이션 결과

설계된 ROIC의 전체적인 동작은 full chip 레벨 시뮬레이션을 통해 검증해야 한다. Full chip 시뮬레이션을 위해 일반적인 회로해석 tool인 Hspice를 사용하였다. 전체 chip의 기능검증을 위해서는 8×8 어레이를 구성하는 64개의 ROUC에 각각에 서로 다른 입력신호를 인가해야하고 출력을 관찰함으로써 전체 칩의 동작을 검증하고자 한다. 검출기 제작에 앞서서 ROIC의 풀칩 동작을 확인하기 위하여 로와 칼럼에 각각 한 라인씩 삽입된 더미 셀(dummy cell)이 추가되었다.

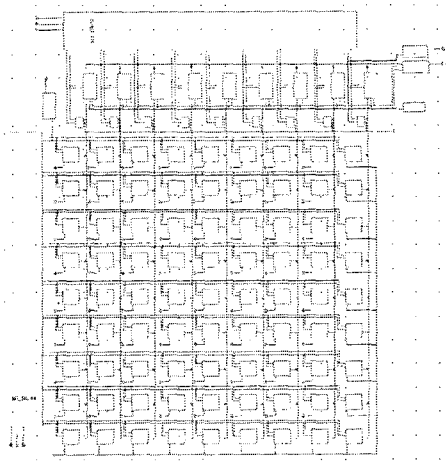


그림 2-8. Full chip 구성도
Fig. 2-8. Configuration of full chip

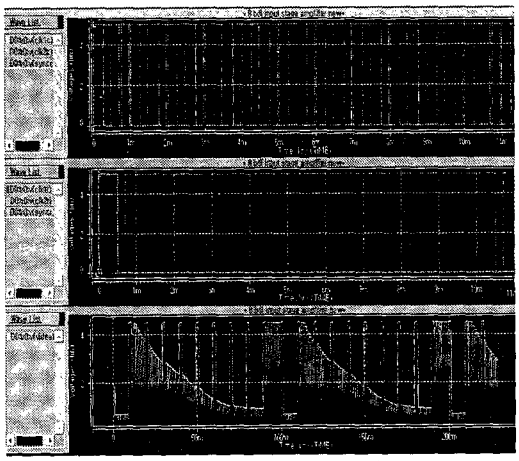
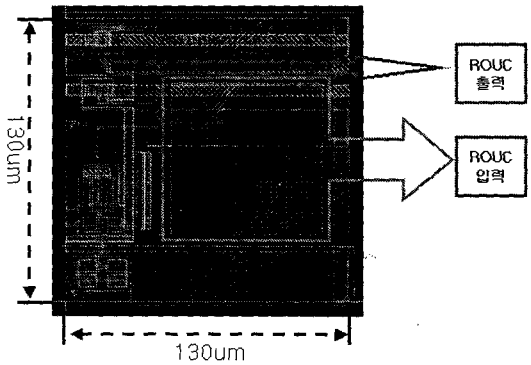


그림 2-9. Full chip 시뮬레이션도
Fig. 2-9. Simulation of Full chip

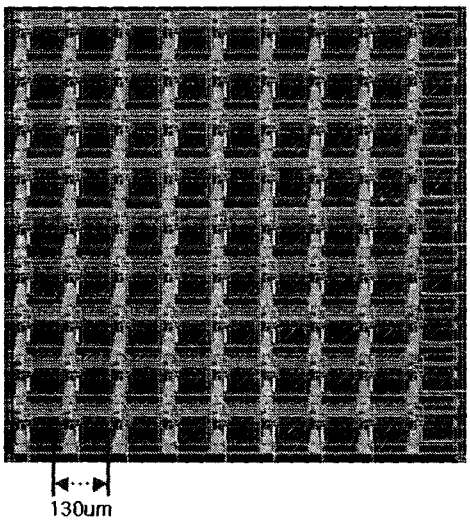
2.7 레이아웃 설계

기능블록별 설계 및 검증이 완료된 후, 0.5㎛ 2P 3M (double poly, tripple metal) N-Well CMOS 공정으로 레이아웃을 설계하였다. 그림 2-11은 8×8 FPA prototype ROIC의 레이아웃 설계를 위한 floor-plan이다. 그림에서 보는 바와 같이, chip의 아래 부분에 ROUC array를 배치하고, 그 위에 column 버퍼 및 column 선택 스위치를 배치하였다. 디지털 제어부를 구성하는 로 디코더와 컬럼 디코더는 각각 칩의 오른쪽과 맨 위쪽에 배치하였다. 그림 2-10은 ROUC 어레이의 상세 배치도이다.

8×8 array의 ROUC pitch는 130 ㎛ 이며, ROUC의 레이아웃은 그림 2-11와 같이 설계되었다.



a) 단일 ROUC
a) Single ROUC



b) 8×8 ROUC
b) 8x8 ROUC

그림 2-10 ROUC 레이아웃 도면
Fig. 2-10. Layout design of ROUC

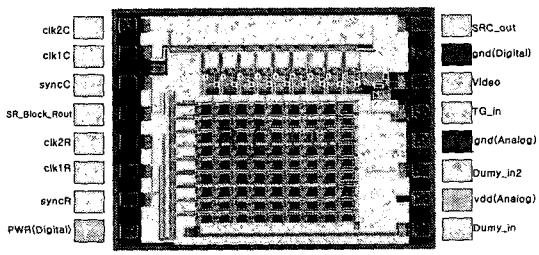


그림 2-11. ROIC의 레이아웃 도면
Fig. 2-11. Layout design of ROIC

Ⅲ. 8×8 FPA ROIC 제작 및 평가

8×8 FPA ROIC는 0.5㎛ 2-Poly 3Metal N-Well P-Sub. CMOS process를 이용하여 제작되었으며[4-8], 단위 기능 및 블록 테스트 및 웨이퍼 probe 테스트 후 bump bonding 공정으로 진행하였다. ROIC의 완전한 동작 검증은 하이브리드 본딩 공정을 거친 후 자외선 영상 시스템을 구성하여 영상을 확인하였다.

본딩 공정의 모든 작업이 수작업으로 이루어지며, 자체 수율이 매우 저조하므로, 검증되지 않은 ROIC를 본딩할 경우 많은 시간을 허비하게 되므로, 일반적인 ROIC의 검증은 자외선 영상을 확인하기 이전에 여러 가지 간접적인 테스트를 거치게 된다. 따라서, ROIC 설계시에 효율적인 검증을 위하여 단위 블록을 테스트 할 수 있는 셀이나, 간접적으로 ROIC의 전체 동작을 확인할 수 있도록 고려한다. 그림3-1은 일반적인 ROIC의 테스트 과정이다. ROIC의 전체 동작에 가장 큰 영향을 미치는 것이 ROUC의 동작 여부이므로 ROUC에 대한 테스트가 가장 먼저 이루어져야 한다. 이때의 검증은 회로 시뮬레이션 검증과 동일(즉, 주파수 특성 및 시간 응답 특성)해야 한다. ROUC의 동작이 확인되면 ROIC의 간접적인 전체동작을 검증하게 되는데, 이때 각 기능별 동작 여부 및 전체회로의 동작을 확인한다. ROIC의 동작이 간접적으로 검증이 되면, 하이브리드 본딩 공정을 거친 후 제작된 열 영상 시스템으로부터 영상을 확인함으로써, ROIC의 동작을 완전히 검증할 수 있다.

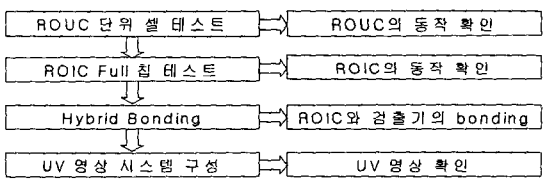


그림 3-1. 일반적인 ROIC의 테스트 과정
Fig. 3-1. Test flow of general ROIC

그림 3-2는 로직 분석기로 분석한 Row & Column Clock의 입출력 신호이다. Row 클럭을 생성하기위한 clk2R, clk1R 그리고 SyncR 신호를 입력 신호로 하고, clkR_out은 Row shift register의 출력신호이다. Column 클록을 생성하기위한 clk2C, clk1C 그리고 SyncC 신호를 입력 신호로 하고, clkC_out은 Column shift register의 출력신호이다. Video_out 신호는 ROIC의 출력 신호이며 AD 컨버터에서 이 값을 읽어간다.

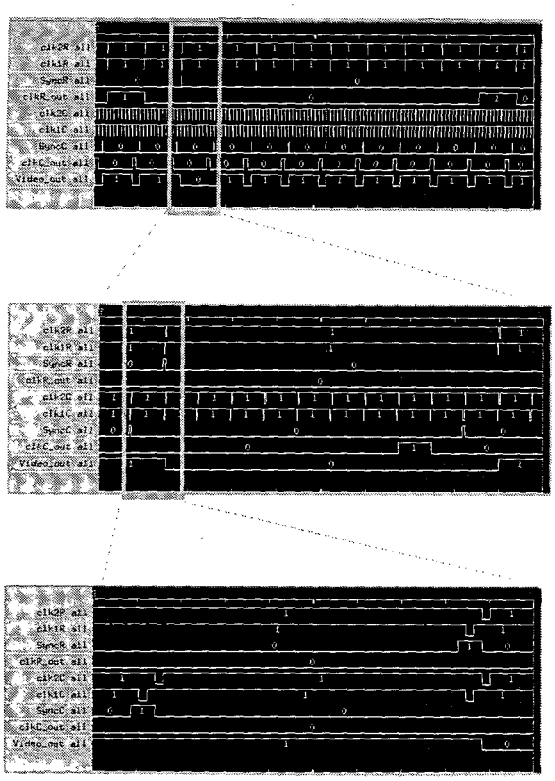


그림 3-2. 로직 분석기로 분석한 Row & Column Clock의 입출력 신호
Fig. 3-2. Row & Column clock observed by Logic analyser

Ⅳ. ROIC 제어보드 및 영상처리프로그램 개발

4.1 전체 시스템의 구성도

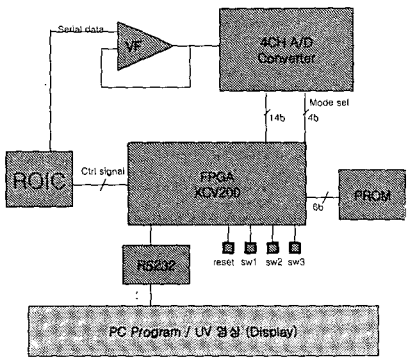


그림 4-1. 전체 시스템의 구성도
Fig 4-1. Configuration of ROIC control system

4.2 VHDL 회로설계 및 구현검증

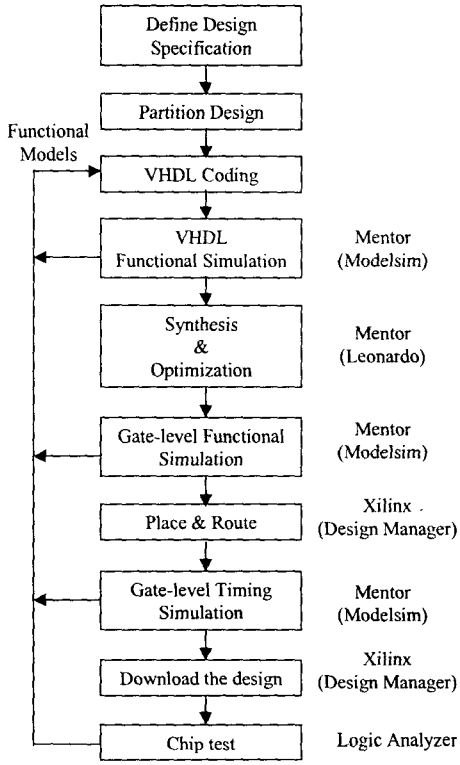


그림 4-2. FPGA를 사용한 설계 절차
Fig. 4-2. FPGA design flow

그림 4-2은 Mentor와 Xilinx 툴을 사용한 FPGA 설계 절차이다. 우선 ROIC 제어보드를 VHDL로 코딩한 후 테스트 벡터 (test vector)를 생성하여 Mentor (Modelsim) 툴을 사용하여 기능검증을 수행한 후, Mentor (Leonardo) tool을 이용해 게이트 레벨(gate-level)로 합성해낸 제어로직을 Xilinx tool을 통해 배선과 배치 (placement & route, P&R)를 하여 Xilinx FPGA (xc2s200pq208)로 구현하였다. 합성한 회로를 Xilinx xc2s200pq208로 targeting하여 ROIC 제어신호 발생, AD컨버터, RS232 통신 및 LCD 제어 등이 동작함을 검증하였다.

4.3 노이즈 제거를 위한 영상처리부 구성

컬럼 한주기 동안에 ROIC 출력(video_out)은 AD컨버터에서 200번 이상 샘플링되고 IIR 필터을 거쳐 고주파 노이즈가 제거된 후 출력의 최대값을 읽어들인 다음 UART 통신부분으로 전달된다.

4.4 Visual C++로 구현된 PC의 화면구성

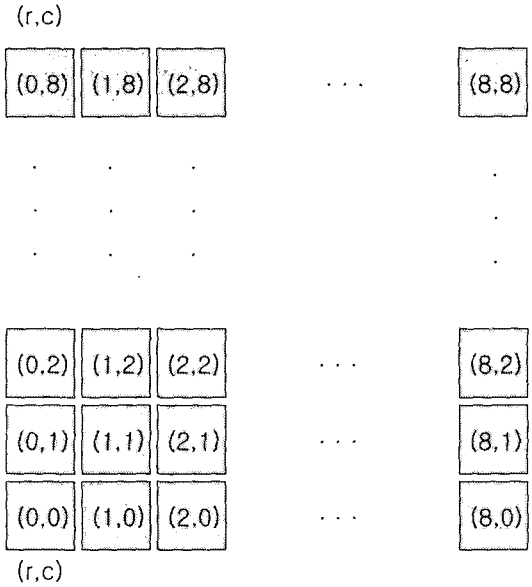
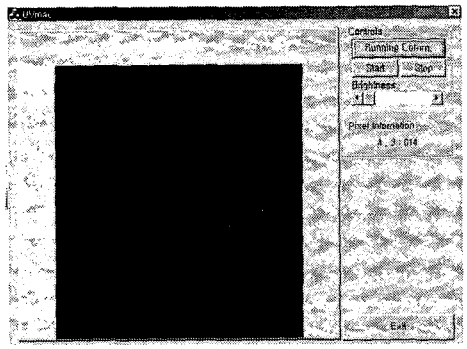
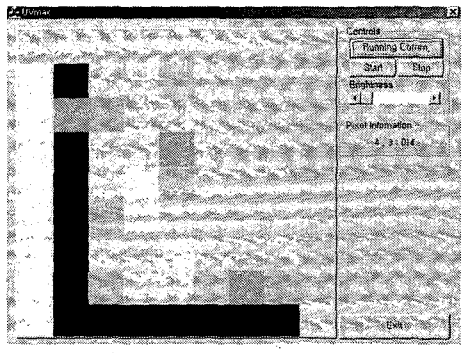


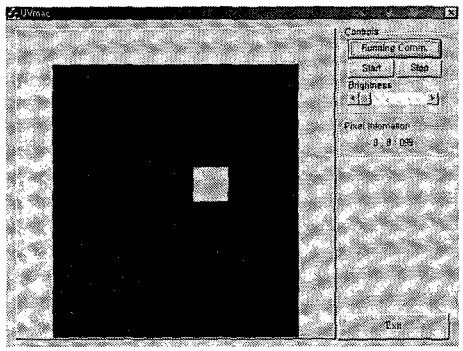
그림 4-3 Row, Column의 좌표와 화면구성
Fig. 4-3. Screen and position of Row, Column



(a) UV가 전면 꺼진 상태
(a) A picture of UV turned-off



(b) UV가 전면 켜진 상태
(b) A picture of UV turned-on



(c) UV가 일부분 켜진 상태
(c) A picture of UV turned on

그림 4-4. 모니터의 화면
Fig. 4-4. A picture of Program Screen

V. 결 론

자외선 영상장비는 자외선 에너지를 검출하여 이를 영상신호로 바꾸어 화면에 표시하는 장비이다. 즉, 자외선을 감지하여 전기적 신호를 발생시키는 검출기(자외선 detector), detector에서 발생된 전기적 신호를 영상신호 처리에 적합하도록 구현해주는 readout 회로, 그리고 영상구현 시스템으로 구성되어 있다.

본 연구에서는 칩 제작 기간 단축 및 비용의 절감을 위하여 8×8 FPA용 prototype ROIC를 설계 및 제작하였다. 8×8 FPA ROIC는 0.5㎛ 2-Poly 3Metal N-Well P-Sub. CMOS process를 이용하여 제작되었으며, 단위 기능 및 블록 테스트 및 웨이퍼 probe 테스트 후 bump bonding 공정으로 진행하였다. ROIC의 완전한 동작 검증은 하이브리드 본딩 공정을 거친 후 자외선 영상 시스템을 구성하여 영상을 확인하였다.

ROIC 제어보드 및 영상보드를 제작하여 UART 통신으로 PC의 모니터에서 검출된 영상을 확인함으로써, ROIC의 동작을 완전히 검증할 수 있었다.

ROUC의 pitch는 130㎛로 설계되었으며, 8×8 ROIC의 풀칩은 면적이 2289.9㎛×2163.2㎛이다. 제작된 검출기는 10㎂ 에서부터 수㎃의 입력에 대하여 반응을 보였으며, 설계 목표에 근사하였다. 그러나 향후 좀더 개선된 최적의 결과를 얻기 위해서는 하이브리드 칩 제작 공정의 안정과 잡음특성의 개선을 위한 노력이 추가로 더 이루어져야 할 것이다.

참고문헌

[1] 주관종, 김동구, 윤형진, 박형무, "Flip Chip Bonding 기술 현황", 전자통신 동향분석, 9(1), 109, 1994

[2] L. F. Miller, "Controlled Collapse Reflow Chip Joining", IBM J. Res. Develop., 13, 239, 1969

[3] "적외선 감지용 초전센서 및 Array 제조", 과학기술처, 1997

[4] R. W. Whatmore, A. Patel, N. M. Shorrocks and F. W. Ainger, "Ferroelectric Materials for Thermal IR Sensors State of the Art and Perspectives", Ferroelectrics 104, 1990

[5] A. J. Moulson and J. M. Herbert, "Electroceramics, Chapman and Hall", 1990

[6] R. W. Whatmore, "Pyroelectric Devices and Materials" Rep. Prog. Phys. 49, 1986

[7] S. T. Liu and Donald Long, "Pyroelectric Detectors and Materials", Proceedings of the IEEE 66, 1978

[8] B. M. Kulwicki, A. Amin, H. R. Beratan and C. M. Hanson, "Pyroelectic Imaging", ISAF, Greenville, SC, USA, 1992

저자소개

김 태 민(Tae-Min Kim)

1994년 금오공대 전자공학과 졸업
1998년 금오공대 대학원 전자공학과 졸업(공학석사)
2002년 금오공대 대학원 전자공학부 졸업(공학박사)

현재 금오공대 전자공학부 겸임교수, ChipWork 대표
※주관심분야 : ASIC 및 정보통신 등임

신 건 순(Gun-Soon Shin)

1972년 한양대학교 전기공학과 졸업
1983년 전북대학교 대학원 전기공학과 졸업(공학석사)
1989년 전북대학교 대학원 전기공학과 졸업(공학박사)

1993년 미국 Ohio State University 전기공학과. Solid-State Micorelectoronic Lab. 객원교수
현재 금오공과대학교 전자공학부 교수
※주관심분야 : ASIC 및 아날로그 IC 설계 등임