논문 2006-43IE-2-3

플라스틱 기판위에 엑시머 레이저 열처리된 저온 다결정 실리콘 박막 트랜지스터

(Low Temperature Poly-Si TFTs with Excimer Laser Annealing on Plastic Substrates)

최 광 남*, 곽 성 관**, 김 동 식***, 정 관 수****

(Kwang Nam Choi, Sung Kwan Kwak, Dong Sik Kim, and Kwan Soo Chung)

요 약

FPD (flat panel display) 의 능동구동 (active matrix) 방식의 플렉시블 디스플레이를 위해 PES의 플라스틱 기판위에 극저온 다결정 실리콘 박막 트랜지스터를 제작하였다. 상온에서도 박막의 증착이 가능한 RF 마크네트론 스퍼터링과 양질의 다결정 실리콘 박막을 얻을 수 있다고 알려진 XeCl 엑시머 레이져 열처리를 이용하였으며 모든 공정이 150℃ 이하의 극저온에서 이루어졌다. 플라스틱 기판에 형성한 실리콘 박막 트랜지스터는 344 mJ/cm^2 의 에너지 밀도에서 결정화 하였을 때 이동도 63.64cm^2/V 로 기판에 회로를 집적할 수 있기에 충분한 특성을 얻을 수 있었다.

Abstract

In this paper characteristics of polycrystalline silicon crystallized by excimer laser on plastic substrate under 150 ℃ is investigated. Amorphous silicon is deposited by rf-magnetron sputter in atmosphere of Ar and He for preventing depletion effect by dehydrogenation as deposition by PECVD. After annealing by 308 nm, 30 Hz, double pulse type XeCl excimer laser, p-chnnel low temperature polycrystalline silicon TFT which maximum mobility is 64 cm^2/V · s at 344 mJ/cm^2 is fabricate.

Keywords : Excimer laser annealing, poly-Si, plastic substrates, mobility, 결정화

Ⅰ. 서 론

능동소자 액정표시장치 (Active Matrix Liquid Crystal Display, AMCLD)는 수동소자 액정표시장치 (Passive Matrix Liquid Crystal Display, PMLCD)와 달리 각각의 화소를 제어하기 위해 박막 트랜지스터 (Thin, Film Transistor, TFT)를 화소개폐소자로 사용하며, 다양한 TFT가 제안되고 개발되어 왔다.[1]

지금까지의 AMLCD에서 a-Si TFT는 data와 gate 구동 회로를 하나의 기판위에 집적할 수 없었으며, 10 (cm2/V · s)이하의 낮은 전계이동도가 측정되어졌다. 기판 역시 공정 온도가 높기 때문에 quartz나 유리 기판을 사용하여 비용이나 유연성 측면에서 문제가 제기되어 온 것이 사실이다. 하지만, a-Si을 Poly-Si으로 결정화 시킬 경우 전계이동도가 100배 이상 좋아지며, 화소개폐 소자의 감소로 인하여 개구율이 좋아지고, film을 기판으로 사용할 수 있어 저가 생산이 가능해지며, 하나의 기판에 data와 gate 구동 회로뿐만이 아니라 기억이나 정보처리 등의 여러 기능소자를 집적할 수 있기 때문에 차세대 디스플레이의 기초공정으로 주목받고 있

* 학생회원, ** 정회원, **** 평생회원,
경희대학교 전자공학과
(Dept. of Electronics Engineering, Kyunghee University)
*** 평생회원, 인하공업전문대학 컴퓨터시스템과
(Dept. of Computer Systems & Engineering, Inha Technical Collge)
접수일자: 2006년4월7일, 수정완료일: 2006년6월10일

다.[2~4] 본 논문에서는 여러 가지 결정화 방법 중에서 300 ℃이하의 온도에서 결정화 시키는 LTPS 방법 중에서 가장 낮은 공정온도를 가지고 결정립 성장 시 grain boundary로 발생하는 Hillock과 그로 인한 누설전류의 증가를 감소시키며, 기판에 거의 영향을 주지 않는 ELA를 이용하여 화소개폐 소자를 개발하고 그 특성을 관찰하고자 한다.

Ⅱ. 본 론

1. 이 론

ELA를 이용한 비정질 실리콘의 결정화는 SLS (Sequential Lateral Solidification)와 SLG (Super Lateral Growth) model로 설명할 수 있다. ELA에 의한 재결정화의 핵심은 a-Si의 용융과 결정성장으로 설명할 수 있다.[5,6]

SLG model은 조사되는 excimer laser의 energy density와 실리콘의 결정립의 상태에 따라 energy density가 증가할수록 결정립의 크기가 작아지지만 서서히 선형적으로 증가하는 low energy density area와, a-Si이 완전 용해되어 superheating과 supercooling현상에 의해 결정립 크기가 다시 작아지는 high energy density area와, 이 두 영역 사이에서 SiO2 표면에 남아있는 고상의 seed들을 중심으로 액상 재성장을 하여 가장 큰 결정립 크기를 가지는 SLG area로 나눈다.(Fig. 1) 또한 SLS는 인공적으로 SLG model을 발생시키고 정밀하게 조작하는 ACLSG (Artificially Controlled Super Lateral Growth) 방법으로써 double pulse 방식을 이용한다. 첫 laser pulse를 조사시켜 a-Si를 용해시키고 고상의 seed를 생성한 후, 두 번째 laser pulse를 조사하여 a-Si를 완전 용해시켜 인공적으로 생성된 seed를 중심으로 재결정시킨다.

2. 실 험

2.1 a-Si의 증착과 Laser Annealing

Plastic film으로는 83~100 (MPa)의 최대인장강도와 2.4~8.6 (GPa)의 Young's Modulus를 가지는 폴리에테르설폰 (Polyether Sulfone, PES) film을 사용하였으며, film의 경우 공정 중 온도변화에 따른 수축과 팽창 현상이 심하여, 공정 전에 180 ℃에서 60시간 이상 사전 열처리를 실시하였고 (Fig. 2), E-beam을 이용하여 필름의 상·하면에 6500 Å의 SiO2를 buffer layer로 증착하였다.

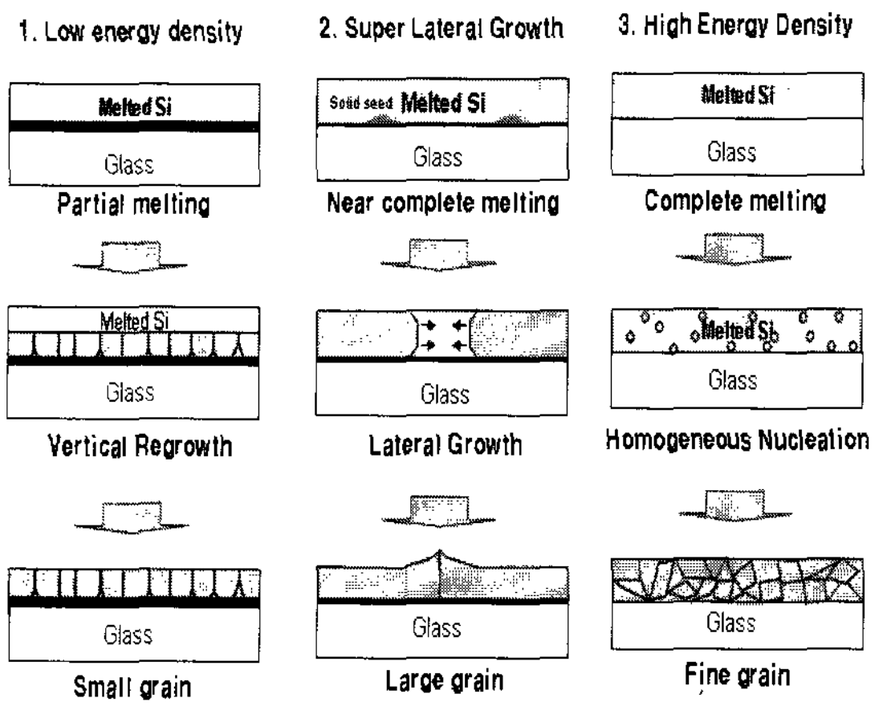


그림 1. SLG model의 3가지 영역과 seed에 의한 재결정화 과정

Fig. 1. The ELA Diagram models of different Energy Densities.

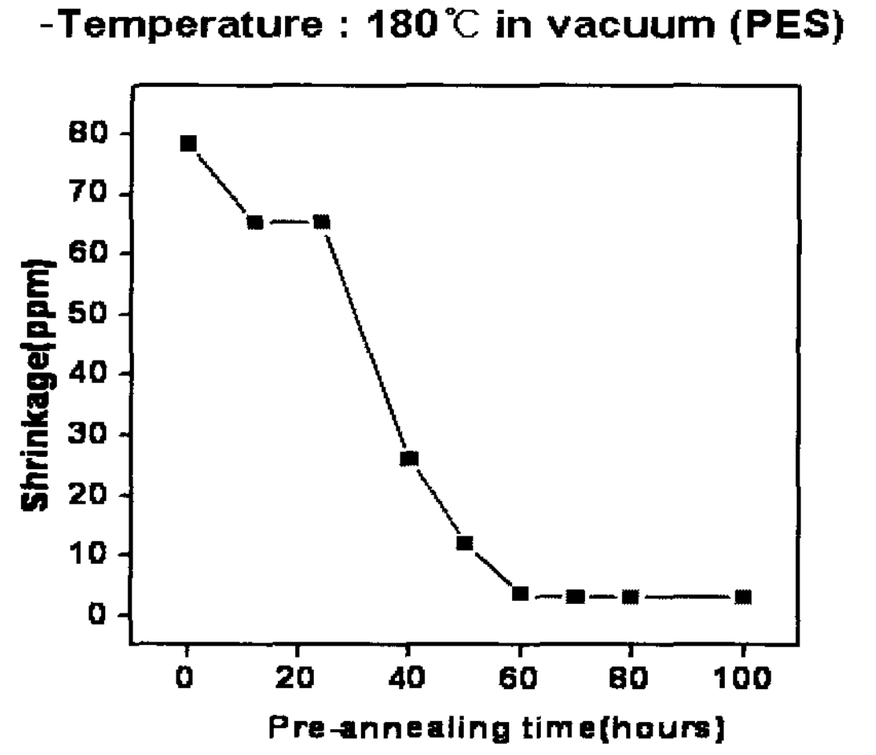


그림 2. Film의 열에 의한 수축과 팽창을 방지하기 위한 PES Film의 shrinkage test

Fig. 2. The plot of PES shrinkage test for thermal treatment.

a-Si의 경우 기존에 a-Si 증착용으로 많이 사용되었던 PECVD 방식은 a-Si:H의 수소 원자로 인하여 재결정화 공정 중 수소 원자의 이탈로 인하여 박막 표면에 공핍현상이 발생하여 전계이동도를 낮추는 요인 중에 하나였다. 또한 공정온도가 300 ℃ 이상을 필요로 하여 plastic film을 사용하기에는 부적당하였다. 따라서 저온이나 상온에서 증착이 가능하며 탈수소화로 인한 공핍현상을 해결할 수 있는 rf-sputter를 이용하여 120 ℃에서 6 mTorr의 공정압으로 a-Si를 증착하였다. 또한, Ar 가스만을 사용할 경우 Ar원자의 에너지가 Si-Si의 결합에너지보다 크기 때문에 증착된 실리콘의 미세구조가 변하게 되고, He 가스만을 사용할 경우 He

원자의 에너지가 작아 공정압을 높여야 하므로, Ar과 He을 2 : 20의 비율로 혼합하여 사용하였으며, 500 Å을 증착하였다.

ELA 공정 시 기판의 손상을 방지하기 위해 접착제를 이용하여 필름을 유리 기판위에 부착하였다. 그 후, 파장이 308 nm, pulse duration이 30Hz, beam size가 4.2 cm × 0.02 cm인 XeCl ELA system을 이용하여 310 ~ 410 mJ/cm2 의 다양한 에너지 밀도에서 결정화를 실시하였다.

2.2 TFT 제작 공정

Sputter를 이용하여 Al/Nd를 1000 Å 증착하고 PECVD를 이용하여 SiO2를 증착한 후 gate patternig 공정을 먼저 실시하였다. 이후, ion shower 장치로 B2H6 도핑을 실시하고 excimer laser를 이용하여 결정화 시 보다 다소 낮은 에너지 밀도에서 활성화를 실시하였다. 이후, carrier 이동의 통로가 되는 a-Si active layer patterning 공정을 하였으며, 계속하여 E-beam을 이용하여 passivation을 실시하였고 contact hole을 습식 식각하여 다결정 실리콘 층이 들어나도록 하였다. 마지막으로 sputter로 Al/Nd 합금을 1000 Å 증착한 후 Source/Drain을 식각하였다. (Fig. 3, 4)

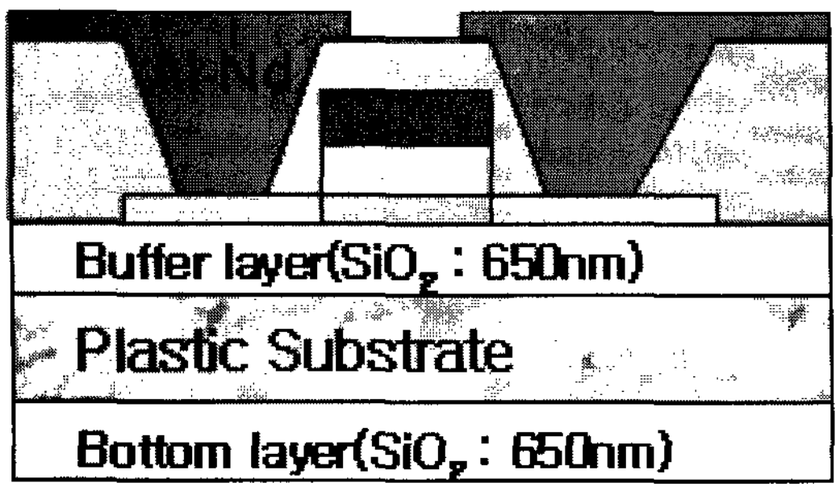


그림 3. 제작된 LTPS TFT 구조의 단면도
Fig. 3. The cross sectional structure of the proposed LTPS TFT.

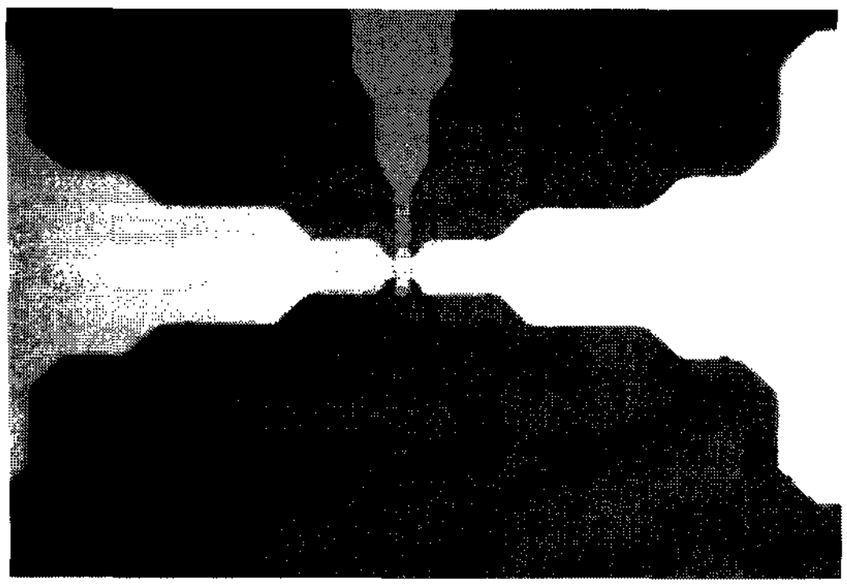


그림 4. 실제 제작된 LTPS TFT
Fig. 4. The top view of the real LTPS TFT.

3. 분석 및 고찰

먼저 다결정 실리콘을 박막내의 Ar 함량을 RBS (Rutherford Back Scattering)를 이용하여 측정하였고 그 결과 Ar과 He의 비율을 2 : 20일 때의 비정질 실리콘 박막 내의 Ar 함량이 가장 적은 1.5 %를 나타내는 것을 볼 수 있다. (Fig. 5)

또한 AFM(Atomic Force Microscophy)을 이용하여 측정한 다결정 실리콘의 에너지 밀도에 따른 RMS (Root Mean Square)를 측정해본 결과 에너지 밀도가 증가함에 따라 roughness는 증가하다가 379 cm2/Vs의 에너지밀도에서 11.395 nm의 roughness를 나타내어 가장 큰 값을 나타내고 다시 감소하는 경향을 나타내었으며 이를 통해 앞서 설명한 SLG model을 확인할 수 있다. (Fig. 6)

제작된 다결정 실리콘 박막 트랜지스터의 전송특성과 전계이동도의 변화를 게이트 전압의 변화에 따라 측정해 본 결과 드레인 전압이 -0.1 V일 때의 선형영역에 대하여 W/L = 20 ㎛/20 ㎛, 344 mJ/cm2의 에너지 밀

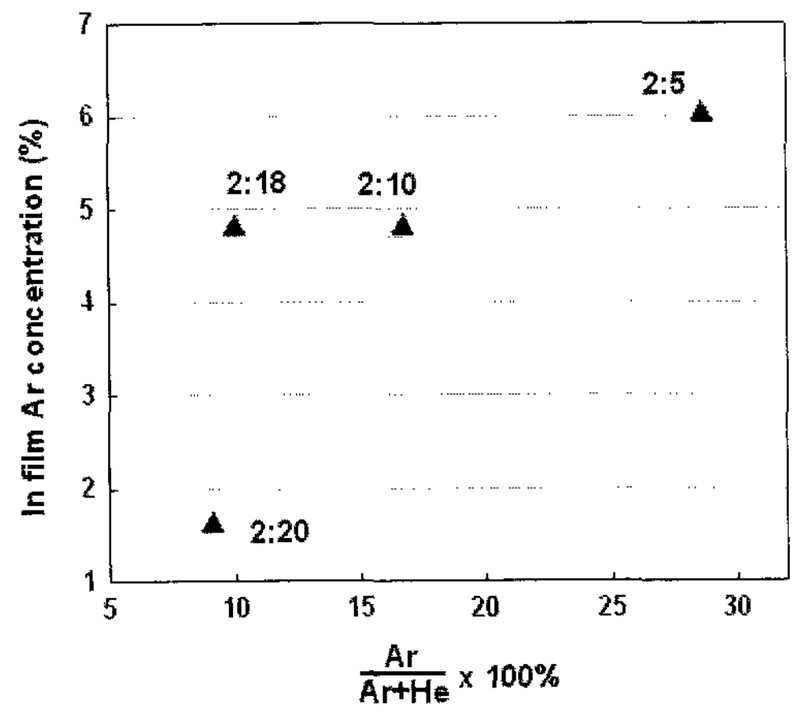


그림 5. Ar과 He의 혼합비율에 따른 박막내 Ar함량
Fig. 5. The dependance of the Al composition for different Ar and He mixed rate.

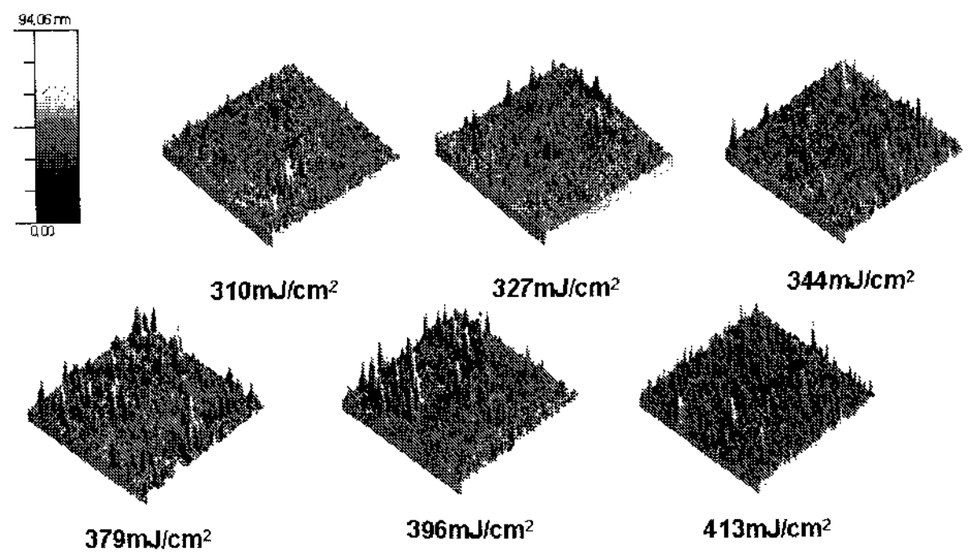


그림 6. 에너지 밀도에 따른 Roughness측정
Fig. 6. AFM images of ELA energy density distribution.

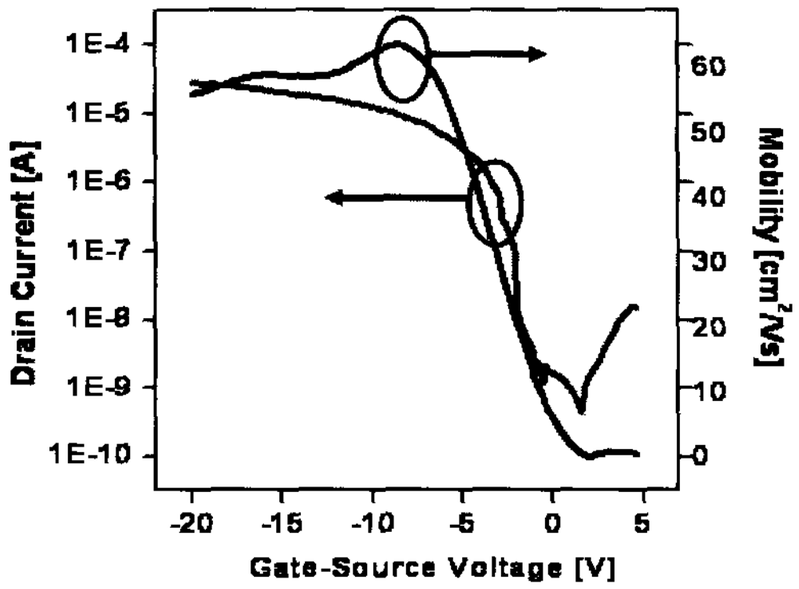


그림 7. 게이트 전압에 따른 Transfer 특성곡선
Fig. 7. The transfer properties for the gate voltage.

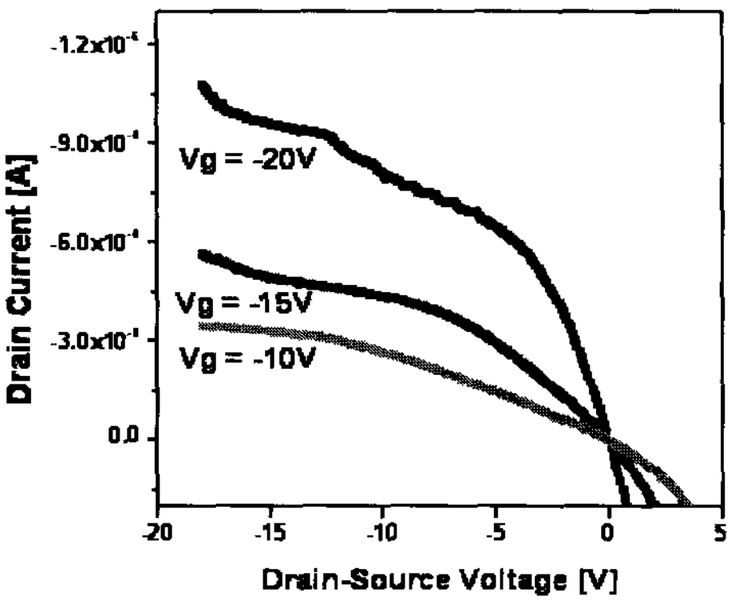


그림 8. 드레인 전압에 따른 드레인 전류의 특성곡선
Fig. 8. Drain current characteristics of different gate voltages.

도에서 64 cm2/Vs를 나타내었다. 또한 subthreshold swing은 -1.2 V/dec이고, Vth는 -1.5 V의 값을 얻을 수 있었으며 Ion/Ioff 는 3.45×105 이상의 값을 나타내었다. (Fig. 7)

Output 곡선은 드레인 전압이 큰 영역 (Vd〉 VT)에서는 드레인 전류가 드레인 전압을 따라서 선형적으로 증가를 하며, 드레인 전압이 작은 영역 (Vd 〈VT)에서는 채널이 드레인 쪽으로부터 사라지는 Pinch-off에 의해서 드레인 전류가 포화상태에 이르는 것을 알 수 있다. (Fig. 8)

Ⅲ. 결 론

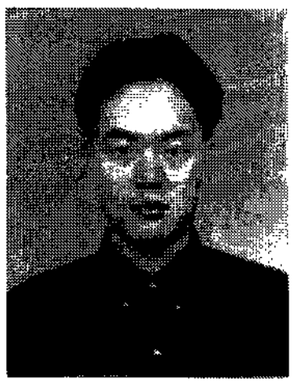
지금까지의 실험을 통하여 300 ℃이하의 저온에서 plastic film위에 a-Si을 rf-sputter로 증착하고, XeCl ELA을 통하여 poly-Si을 결정화시킨 후, TFT 소자를 제작하였다. 이를 통해 344 mJ/cm2의 에너지 밀도에서 64 cm2/Vs의 전계이동도를 얻을 수 있었다. 이는 실리콘을 기반으로 하고 있기 때문에 앞으로 SoG (System on Glass)나 SoD (System on Display) 같이 하나의 기판에 TFT 소자와 구동회로를 동시에 집적시키는 기술에 적용할 수 있을 것이다.

하지만, 아직 다른 다결정 실리콘 재결정화 방법들에 비하여, 결정의 크기가 작고 그 크기가 고르지 못하며, 전계이동도가 유리를 기판으로 사용하였을 때 보다 작으며, ELA 공정 시 재연성이 다소 떨어지는 문제가 있다. 그러나 이런 문제들은 결정립의 크기가 모양을 일정하게 유지하면서 결정화 시킨다면 해결할 수 있는 문제이므로, 앞으로 지속적으로 연구해야 할 필요가 있다.

참 고 문 헌

[1] 이종덕, "디스플레이 공학", 청범출판사, 2000.
[2] James. Im, "New excimer-laser-crystallization method for producing large-grained and grain boundary location controlled Si films for thin film transistor", APL, 1996.
[3] 고영운, "Fabrication of p-type Poly Si Thin Film Transistors Using Sequential Lateral Solidification and Analysis of the Device Characteristics for Various Channel Lengths", JKPS, 2002.
[4] 유준석, "A Study on the Improvement of Performance and Reliability of Polycrystalline Silicon Thin Film Transistor and Driving Circuits", 서울대학교, 2001.
[5] D. TOET, "Uniform, High Performance Poly-Si TFTs Fabricated by Laser Crystallization of PECVD grown a-SI:H", MRS, 2000.
[6] Mutsumi Kimura, "Dependence of polycrystalline silicon thin-film transistor characteristics on the grain-boundary location", JAP, 2001.

저 자 소 개



최 광 남(학생회원)
2000년 경희대학교 물리학과 · 전자공학과 학사 졸업.
2002년 경희대학교 전자공학과 석사 졸업.
2006년 현재 경희대학교 전자공학과 박사 재학.
<주관심분야 : 화합물 반도체, Lithography, TFT-LCD, 유기 TFT>

곽 성 관(정회원)
대한전자공학회 논문지
제 37권 SD편 제3호 참조
현재 경희대학교 전자정보대학 강사

정 관 수(평생회원)
대한전자공학회 논문지
제 37권 SD편 제3호 참조
현재 경희대학교 전자정보학부 교수

김 동 식(평생회원)
대한전자공학회 논문지
제 43권 IE편 제2호 참조
현재 인하공업전문대학 컴퓨터시스템과 교