

논문 2006-43SD-3-1

# Nano CMOSFET에서 Channel Stress가 소자에 미치는 영향 분석

(Characterization of the Dependence of the Device on the Channel  
Stress for Nano-scale CMOSFETs)

한 인 식\*, 지 회 환\*, 김 경 민\*, 주 한 수\*, 박 성 형\*\*, 김 용 구\*\*, 왕 진 석\*\*\*, 이 희 덕\*\*\*

(In-Shik Han, Hee-Hwan Ji, Kyung-Min Kim, Han-Soo Joo, Young-Goo Kim, Jin-Suk Wang,  
Sung-Hyung Park, and Hi-Deok Lee)

## 요 약

본 논문에서는 채널 stress에 따른 Nano-scale CMOSFET의 소자 및 신뢰성 (HCI, NBTI) 특성을 분석하였다. 잘 알려져 있듯이 NMOS는 tensile, PMOS는 compressive stress가 인가된 경우에 소자의 특성이 개선되었으며, 이는 전자와 정공의 이동도 증가에 의한 것임을 확인하였다. 그러나 신뢰성인 경우에는 소자 특성과는 다른 특성을 나타냈는데, NMOS와 PMOS 모두 tensile stress가 인가된 경우에 hot carrier 특성이 더 열화 되었으며, PMOS의 NBTI 특성도 tensile에서 더 열화 되었음을 확인하였다. 신뢰성을 분석한 결과, 채널의 tensile stress로 인하여 Si/SiO<sub>2</sub> 계면에서 interface trap charge의 생성과 산화막 내 positive fixed charge의 생성에 많은 영향을 끼침을 알 수 있었다. 그러므로 나노급 CMOSFET에 적용되는 strained-silicon MOSFET의 개발을 위해서는 소자의 성능 뿐 만 아니라 신뢰성 또한 고려되어야 한다.

## Abstract

In this paper, reliability (HCI, NBTI) and device performance of nano-scale CMOSFETs with different channel stress were investigated. It was shown that NMOS and PMOS performances were improved by tensile and compressive stress, respectively, as well known. It is shown that improved device performance is attributed to the increased mobility of electrons or holes in the channel region. However, reliability characteristics showed different dependence on the channel stress. Both of NMOS and PMOS showed improved hot carrier lifetime for compressive channel stress. NBTI of PMOS also showed improvement for compressive stress. It is shown that N<sub>it</sub> generation at the interface of Si/SiO<sub>2</sub> has a great effect on the reliability. It is also shown that generation of positive fixed charge has an effect in the NBTI. Therefore, reliability as well as device performance should be considered in developing strained-silicon MOSFET.

**Keywords :** ILD Layer, Mechanical stress, NBTI, Hot carrier injection, Positive fixed charge, Nano CMOSFET

## I. 서 론

CMOSFET (Complementary Metal Oxide Semiconductor Field Effect Transistor)은 제조 기술의 급속한 발전을 거듭하여 게이트 길이(Gate Length)가 나노 단위까지 소형화된 상태이며 소자 크기의 감소와 함께 게이트 산화막 두께(Gate oxide thickness: T<sub>OX</sub>)의 감소가 요구 되고 있다. 하지만 게이트 산화막 두께의 급격한 감소로 인하여 게이트 누설전류(Gate leakage current)의 증가, 소자성능의 감소 등의 문제점이 발생

\* 학생회원, \*\*\* 정회원, 충남대학교 전자공학과  
(Dept. of Electronics Engineering, Chungnam  
National University),

\*\* 정회원, 매그나칩 반도체  
(MagnaChip semiconductor. Inc)

※ 본 연구는 과학기술부에서 추진하는 21세기 프론티어 사업 중 테라급나노소자개발사업 지원으로 수행되었음

접수일자: 2005년7월28일, 수정완료일:2006년3월3일

하기 때문에 더 이상의 축소화가 매우 어려운 상태이다. 따라서 동일한 공정기술, 즉, 소자의 크기를 줄이지 않고 성능을 증가 시키려는 strained-silicon과 SiGe 등의 연구가 활발히 진행 중에 있으며, 최근에는 채널영역에 mechanical stress를 인가함으로써 소자의 성능을 향상 시키려는 시도가 이루어지고 있다<sup>[1-2]</sup>. 채널에 uniaxial-mechanical stress를 형성 시킬 수 있는 CMOS 공정으로는 STI(Shallow Trench Isolation)<sup>[3-5]</sup>, ILD(Inter Layer Dielectric)<sup>[6]</sup>, SBL(Silicide Blocking Layer)<sup>[7]</sup> 등이 있다. STI나 ILD 및 SBL의 박막으로 인하여 채널 영역에 형성되는 stress가 tensile일 경우에는 전자의 이동도의 증가로 인하여 NMOS의 성능이 증가 되고, 반대로 PMOS는 열화 되며, compressive일 경우에는 tensile과 반대의 경향이 나타난다<sup>[6-7]</sup>. 이러한 uniaxial-mechanical stress에 의한 소자의 성능 변화는 잘 알려져 있듯이 반도체 내의 압저항 효과(piezoresistance effect)로서 이론적인 설명이 가능하다<sup>[8]</sup>. 또한 최근에는 N 영역과 P 영역의 stress를 다르게 조절하여 NMOS와 PMOS의 성능을 동시에 개선하기 위한 연구가 매우 활발히 진행되고 있다. 채널 stress에 의한 소자의 성능 향상에 대한 연구는 SiGe와는 달리 기존의 공정을 바꾸지 않더라도 반도체 소자 제조 공정 중에 적용이 가능하기 때문에 가까운 미래에 적용 가능한 유망한 기술로 각광 받고 있다. 하지만 이러한 연구의 대부분은 소자성능 향상에 초점이 맞춰져 있기 때문에 아직까지 신뢰성에 대한 연구는 미비한 실정이며 산화막 내의 전하 생성의 증가와 형성된 채널 stress와 관계에 대한 정확한 매커니즘은 아직 보고 되지 않고 있다. 그러므로 본 논문에서는 채널의 mechanical stress에 대한 소자의 성능과 신뢰성 특성의 의존성을 분석하여 채널의 mechanical stress가 신뢰성에 미치는 영향을 분석 하고자 한다.

II. 실험 방법

소자 제작에 사용된 0.13 μm CMOS technology의 주요 공정 순서는 그림 1 과 같다. 주요 공정으로는 3500 Å 깊이의 STI를 사용하였고, 20Å의 NO 산화막을 적용 하였다. 게이트 형성 후 단채널 효과를 막기 위하여 소스/드레인 영역에 Halo 이온주입을 실시하였고 코발트 실리사이드를 적용하였다. 채널 stress에 의한 소자 특성과 신뢰성 특성을 평가하기 위하여 nitride contact-etch-stop layer의 종류를 split 하였다. 채널에

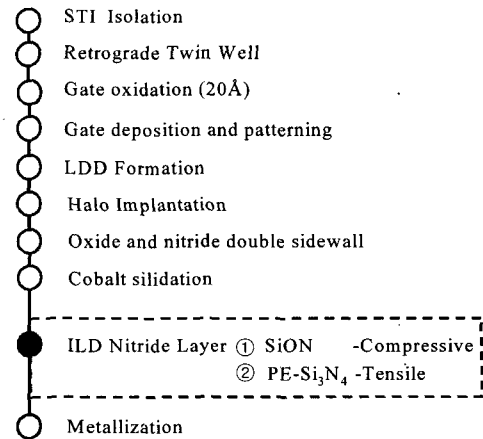


그림 1. CMOSFET 제작을 위한 공정 순서  
Fig. 1. Process flow for the fabrication of CMOSFET.



그림 2. 0.13 μm CMOS 기술을 이용하여 제작된 MOSFET의 XTEM 단면도  
Fig. 2. XTEM image of MOSFET fabricated with 0.13 μm CMOS technology.

compressive stress가 증가되도록 저압-화학기상증착(LPCVD: Low Pressure Chemical Vapor Deposition) 방법을 이용하여 400℃에서 300A의 SiON층을 증착 하였다. Tensile stress인 경우에는 플라즈마-화학 기상 증착 (PECVD: Plasma Enhanced Chemical Vapor Deposition)방법을 이용하여 SiN층을 증착 하였으며 증착 온도와 두께는 앞의 조건과 동일하게 진행 되었다.

제작된 MOSFET의 단면도는 그림 2와 같으며, 투과 전자현미경 (TEM: Transmission Electron Microscope)으로 측정된 단면을 살펴보면 게이트 길이(Physical gate length)가 약 94 nm 정도가 됨을 알 수 있다. 또한 실험에 사용된 Wafer는 tensile의 경우  $1.3 \times 10^9$  (dyne/cm<sup>2</sup>)의 mechanical stress를 형성 하였고 compressive의 경우  $-2.6 \times 10^9$ (dyne/cm<sup>2</sup>)의 stress를 형성 하였으며 제작된 소자의 신뢰성은 HCI(Hot Carrier Immunity)와 NBTI(Negative Bias Temperature

Instability)를 비교하였다. HCI 조건은 DAHC(Drain Avalanche Hot Carrier) 조건과 CHC(Channel Hot Carrier) 조건에 따라 측정을 실시하였다. 또한 PMOS의 NBTI 열화를 측정하기 위해 게이트에 스트레스 전압을 인가하고 소스/드레인 및 기판은 접지하였으며 스트레스 온도는 125 °C에서 측정하였다. 각 스트레스 전압에 따른 스트레스 시간은 4000초까지 인가 하였고 앞서 언급한 두 가지 신뢰성의 중요한 매커니즘인  $N_{it}$ 를 추출하기 위해 charge pumping 방법을 이용하였다. charge pumping 전류를 측정하기 위하여 Agilent 41501B를 이용하여 게이트에 500 kHz의 주파수를 인가하였으며, 소자의 전기적 특성은 Agilent 4156C를 이용하여 측정하였다.

### III. 실험 결과 및 고찰

#### 1. Device performance

그림 3 는 ILD 층에 의해 채널에 형성된 stress가 각각 compressive와 tensile인 경우의 MOSFET의

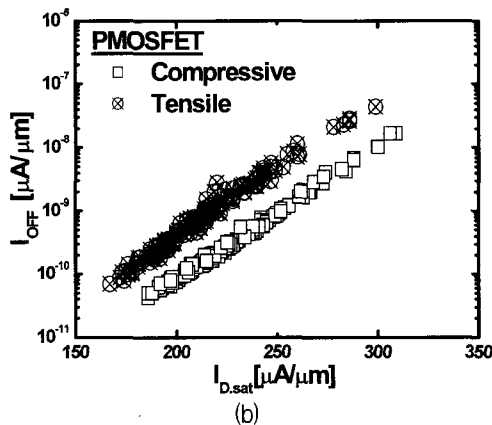
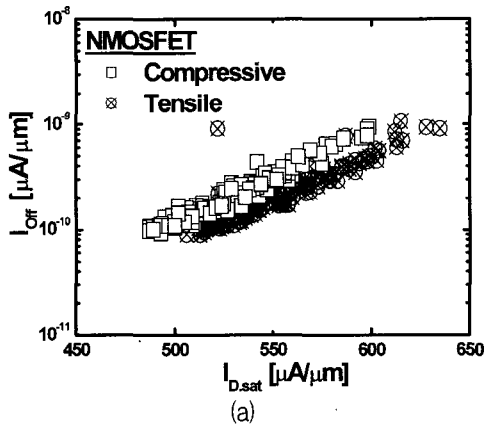


그림 3. 채널 stress에 따른 MOSFET의  $I_{D,sat}-I_{off}$  특성 (a) NMOS, (b) PMOS

Fig. 3. Characteristic of  $I_{D,sat}-I_{off}$  of MOSFET on the channel stress, (a) NMOS and (b) PMOS.

$I_{D,sat}-I_{off}$  특성을 나타낸다. NMOS의 경우 compressive stress에 비해 tensile인 경우 약 7 % 정도, PMOS은 반대의 경향으로 약 12 % 정도  $I_{D,sat}-I_{off}$  특성이 개선됨을 확인 할 수 있었다. 각 소자의 성능향상을 분석하기 위해 채널 내의 전자와 정공의 이동도를 그림 4에 나타내었다. ILD 층의 stress로 인하여 채널 내의 지형적인 변화가 유기되며 이로 인하여 NMOS는 tensile stress일 때 전자의 이동도가 compressive stress에 비해 약 8 %, PMOS는 compressive 소자가 tensile에 비해 정공의 이동도를 12 % 정도 증가시키는 것을 확인 할 수 있었다. 이는 잘 알려져 있듯이 반도체 내에 형성된 응력에 의해 반도체의 전도도가 달라지고 저항이 변화하는 압저항 효과 (piezoresistance effect) 때문이다<sup>[8]</sup>. 그러므로 소자의 성능 측면에서는 NMOS와 PMOS에 각각 tensile 과 compressive stress로 제작하는 것이 유리하다는 것을 알 수 있다.

#### 2. Reliability

일반적으로 채널 stress와 소자 신뢰성 관점에서 보

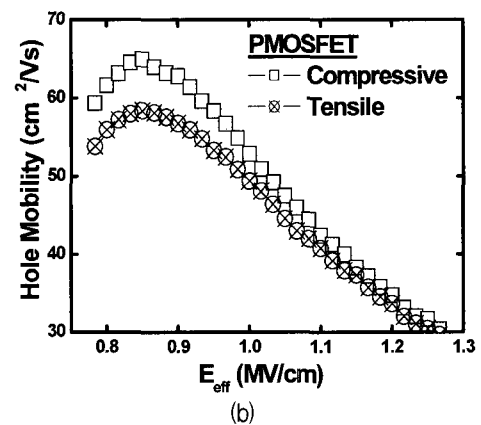
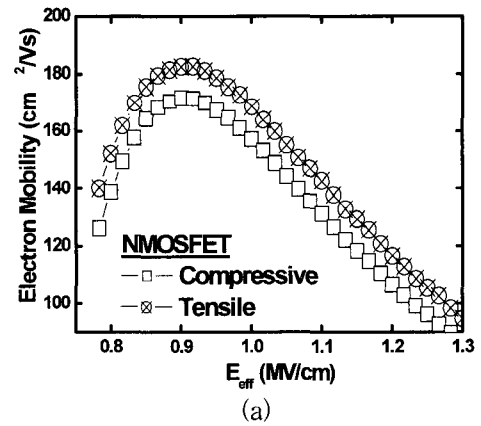
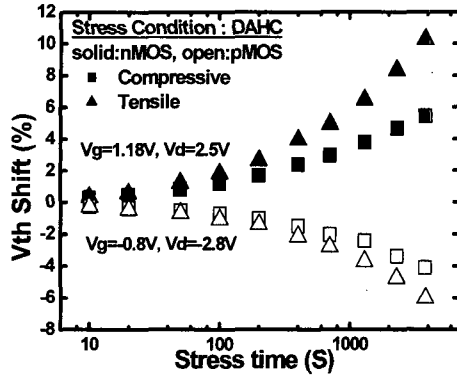
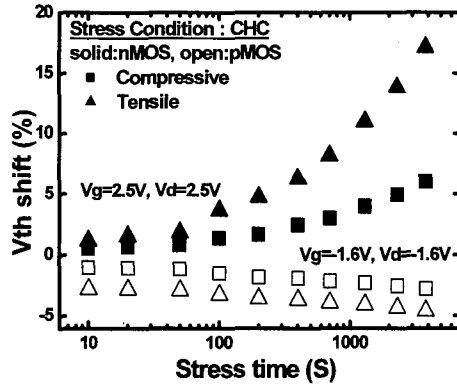


그림 4. 채널 stress에 따른 MOSFET의 이동도 특성 (a) NMOS, (b) PMOS

Fig. 4. Mobility dependence of MOSFET in the channel stress, (a) NMOS and (b) PMOS.



(a)



(b)

그림 5. Compressive 와 tensile stress 사이의 Hot carrier 열화 비교 (a) DAHC, (b) CHC 스트레스  
Fig. 5. Hot carrier degradation comparison between compressive and tensile stress, (a) DAHC and (b) CHC stress.

고된 연구결과는 매우 미비하다. 다만 stress를 인가하기 위한 ILD 박막 증착시에 많은 수소가 발생하여 게이트 산화막에 침투하고 Si/SiO<sub>2</sub> 계면에 도달하여 계면 결함 밀도(N<sub>it</sub>)를 증가 시킴으로 인해 소자 특성의 열화를 심화 시킨다고 알려져 있다<sup>[9]</sup>. 소자의 신뢰성 분석을 위해 그림 5에서와 같이 DAHC 조건과 CHC 조건에서 스트레스 시간에 따른 문턱전압의 열화(ΔV<sub>th</sub>)를 측정 한 결과 NMOS와 PMOS 모두의 경우 compressive에 비해 tensile stress가 DAHC 조건에서나 CHC 조건 모두에서 열화가 더 심하다는 것을 알 수 있으며 이 결과로부터 PMOS의 compressive 소자는 성능뿐만 아니라 신뢰성 측면에서도 매우 우수한 특성을 보이고 있는 반면 NMOS의 경우 소자의 성능 측면에서는 tensile stress가 우수한 특성을 보이지만 신뢰성 관점에서는 compressive stress에 비해 ΔV<sub>th</sub>가 심함을 확인할 수 있다. 이러한 hot carrier 효과는 일반적으로 Si/SiO<sub>2</sub>계면에 존재하는 N<sub>it</sub>의 생성 의해 발생된다고 알려

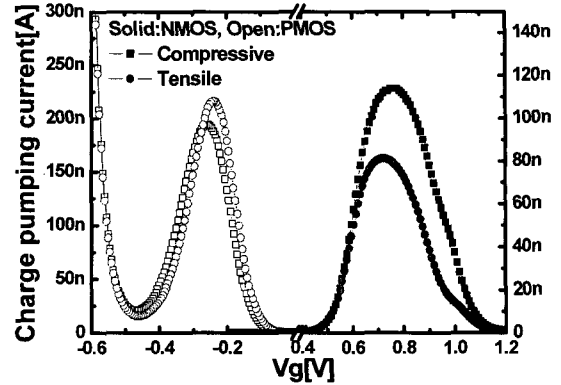


그림 6. 채널 stress에 따른 charge pumping 전류(I<sub>CP</sub>) 특성  
Fig. 6. Charge pumping current characteristics in the channel stress

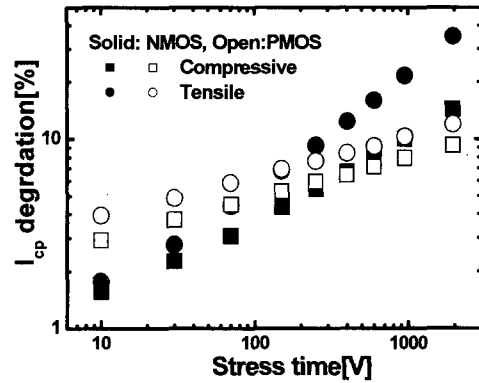


그림 7. 스트레스 전압에 의한 charge pumping 전류(ICP\_MAX)의 열화  
Fig. 7. Degradation of charge pumping current (ICP\_MAX) as a function of stress voltage.

으며 N<sub>it</sub>는 charge pumping 전류(I<sub>CP</sub>)로부터 추출해 낼 수 있다. Hot carrier 스트레스 인가 시 채널 stress에 따른 ΔV<sub>th</sub>를 규명하기 위해 I<sub>CP</sub>를 그림 6에 나타내었다. NMOS는 tensile stress가 PMOS는 compressive stress가 각각 큰 값을 나타낸다. 이러한 결과는 인가된 채널 stress에 의해 Si/SiO<sub>2</sub>의 계면특성이 달라짐을 알 수 있으며, 박막에 의한 수소의 침투의 영향보다 채널 stress에 의해 산화막 계면 특성이 달라짐을 의미한다.

또한 매우 흥미로운 것은 그림 7에서와 같이 스트레스 전압에 따른 I<sub>CP\_MAX</sub>의 열화를 보면 초기 I<sub>CP</sub>와 다르게 tensile stress가 I<sub>CP\_MAX</sub>의 열화가 매우 큼을 알 수 있다. 이것은 tensile stress로 인하여 N<sub>it</sub>가 증가하고 이로 인해 hot carrier 열화가 매우 큼을 알 수 있다.

최근 PMOS의 신뢰성 issue로 대두되는 NBTI 특성을 그림 8에 나타내었다<sup>[10]</sup>. 앞서 언급한 바와 같이 채널 stress와 NBTI 열화의 관계는 아직 보고된 바가 없으며 정확한 메커니즘 또한 보고되지 않고 있다. 그림

8 (a), (b)는 스트레스 시간, (c), (d)는 스트레스 온도에 따른  $\Delta V_{th}$ 를 나타내고 있다. tensile이나 compressive 가 적용된 소자에서 스트레스 전압에 의한  $\Delta V_{th}$ 는 0.21의 기울기를 가지고 문턱 전압이 증가 하였지만 스트레스 온도에 의한  $\Delta V_{th}$ 는 스트레스 온도를 증가 시킬수

록 스트레스 시간에 따른 열화의 기울기가 compressive stress의 경우 0.16에서 2.2까지 그리고 tensile stress의 경우 0.16에서 2.67까지 증가함을 알 수 있다.  $\Delta V_{th}$ 의 정확한 분석을 위해 같은 조건에서  $\Delta N_{it}$ 의 변화 기울기를 그림 9에 나타내었으며,  $\Delta N_{it}$ 의 변화 기울기가  $\Delta$

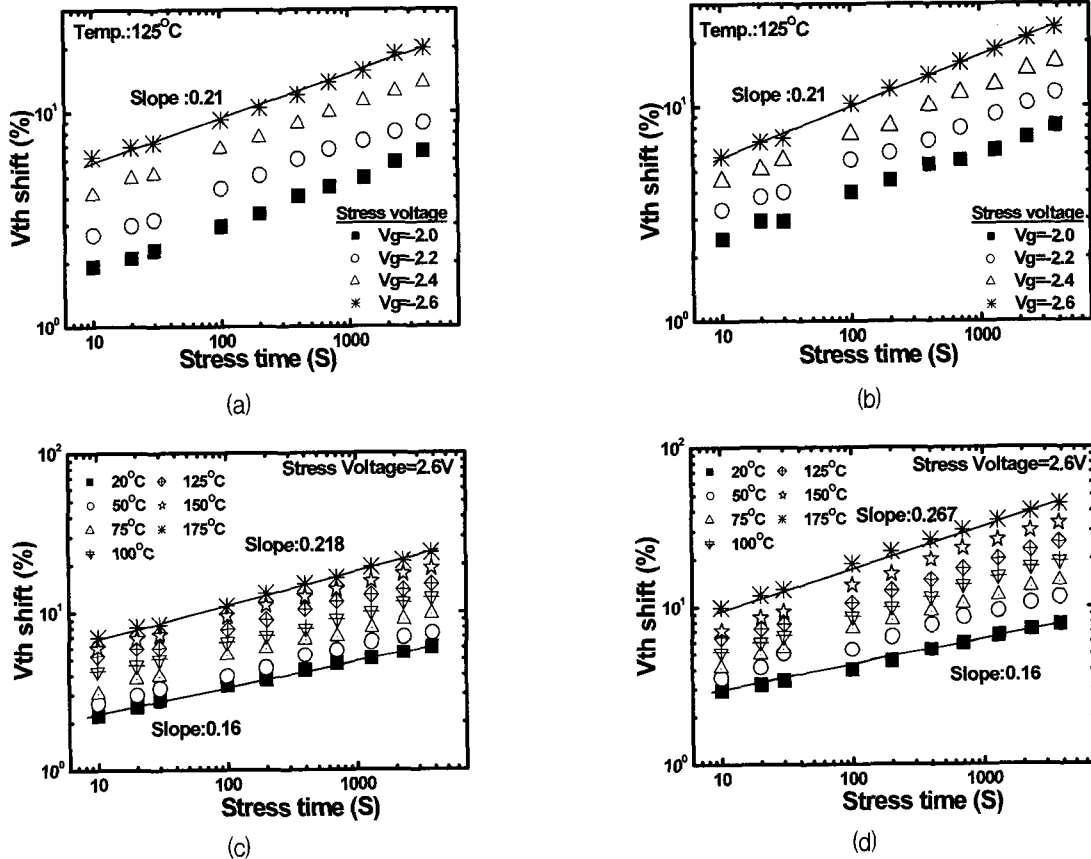


그림 8. Compressive((a), (c))와 tensile stress ((b), (d)) 각각에 대한 (a), (b) 스트레스 전압에 의한 문턱전압의 열화와 (c), (d) 스트레스 온도에 의한 문턱전압의 열화

Fig. 8. Degradation of threshold voltage as a function of (a), (b) stress voltage and (c), (d) temperature. (a), (c) are for compressive and (b), (d) are for tensile stress.

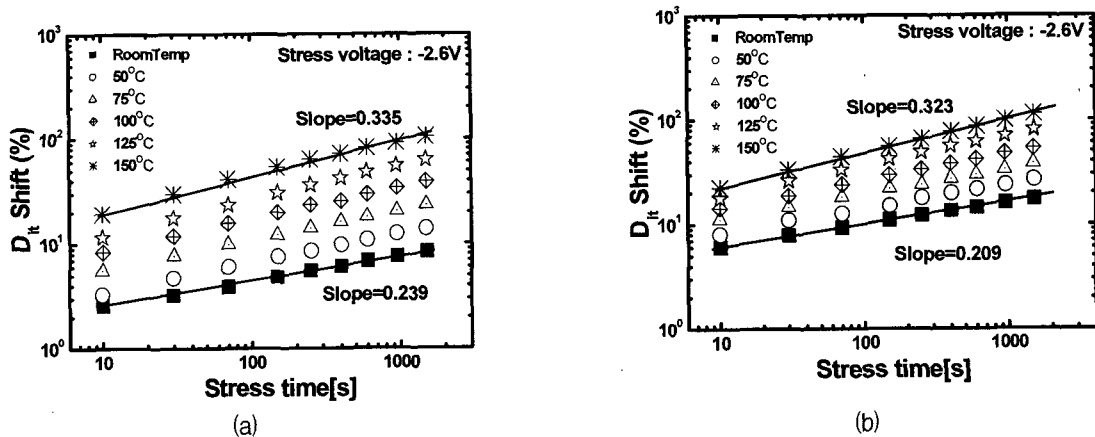
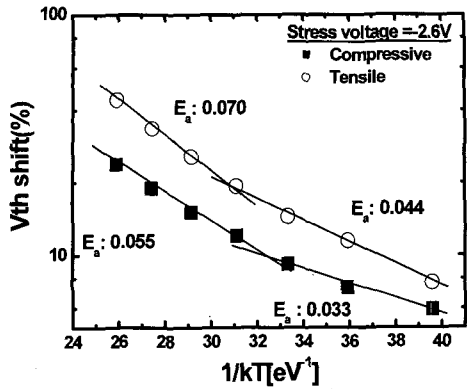
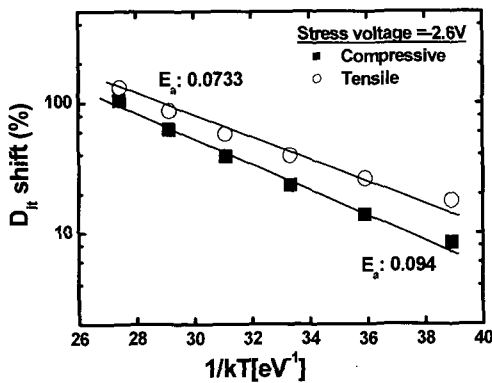


그림 9. 스트레스 온도에 의한 계면결함밀도의 열화 (a) compressive, (b) tensile stress

Fig. 9. Degradation of interface trap density as a function of stress temperature, (a) compressive and (b) tensile stress.



(a)



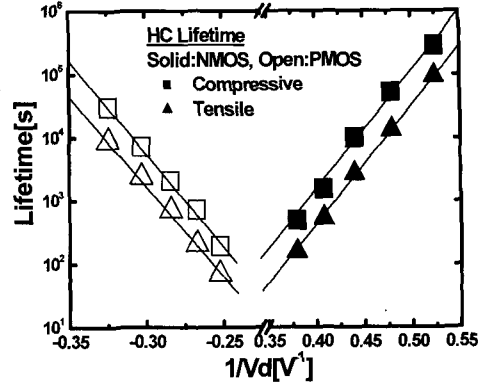
(b)

그림 10. Arrhenius Plot를 이용한 활성화 에너지 추출 (a) 문턱전압, (b) 계면결함밀도

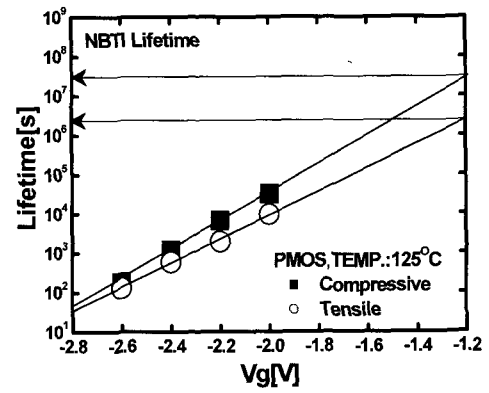
Fig. 10. Activation energy extraction using Arrhenius plot, (a) threshold voltage, and (b) interface trap density.

$V_{th}$ 의 기울기와 다르다는 것을 알 수 있다. 즉, 그림 8에서와 같이  $\Delta V_{th}$ 의 기울기에서는 tensile stress의 기울기가 더 크게 나타남으로써 열화가 심하게 일어남을 알 수 있었다. 하지만  $\Delta N_{it}$  열화의 기울기를 보면 스트레스 온도에 따라서는 compressive stress가  $N_{it}$  증가가 적지만 스트레스 시간에 따라 열화 되는 기울기는 compressive stress가 더 큼을 확인 할 수 있고 이는 온도에 따른  $V_{th}$ 와  $N_{it}$  열화의 관계에서 보면  $V_{th}$  열화가  $N_{it}$ 에만 의존하지 않고  $N_f$ 의 생성에 지대한 영향을 받음을 의미하며 tensile stress에 의해  $N_f$ 가 증가함을 의미 하고 있다.

채널 stress에 따른 NBT 스트레스 시에  $\Delta V_{th}$ 를 유발하는  $N_{it}$ 와  $N_f$ 의 영향을 미치는 정도를 분석하기 위해 2000초 스트레스 후의  $V_{th}$ 와  $N_{it}$ 의 열화를 Arrhenius Plot를 이용하여 활성화 에너지(Activation energy:  $E_a$ )를 추출하였다. 그림 10 (b)는 스트레스 전압을 -2.6V로 고정 시키고 온도를 상온에서 30 °C씩 증가시켜 가면서



(a)



(b)

그림 11. (a) Hot carrier 수명시간과 (b) NBTI 수명시간 Fig. 11. (a) Hot carrier lifetime and (b) NBTI lifetime.

170 °C까지 측정된 후 스트레스 전압 2000 초에서의  $N_{it}$ 를 추출하고 추출된 값을 Arrhenius Plot를 이용하여 활성화 에너지를 구하였다.  $N_{it}$  열화에 대한 활성화 에너지는 채널 stress에 따라 모든 온도의 범위에서 하나의 값을 가지고 있다. 그림 10 (a)는 그림 10 (b) 동일한 조건에서  $\Delta V_{th}$ 를 측정하여 활성화 에너지를 나타내고 있다. 앞서 설명한 바와 같이 모든 스트레스 온도의 범위에서  $\Delta N_{it}$ 의 활성화 에너지는 하나의 기울기를 가진 반면  $\Delta V_{th}$ 의 경우에는 100 °C를 기준으로 하여 저온에 비해 고온에서는 약 60 % 이상의 증가된 값을 가지고 있으며 tensile stress가 적용된 소자가 열화의 기울기가 심함을 알 수 있다. 이 결과는 만일 NBT 스트레스 시에 문턱전압의 열화가  $N_{it}$ 의 열화에 의해서만 영향을 받는다면 온도에 따라 문턱전압 열화의 기울기가 하나의 값을 가져야 한다. 하지만 NBT 스트레스 시에  $\Delta V_{th}$ 는 고온에서 저온보다 약 60 % 정도 크므로  $N_f$ 는 고온에서 빠르게 활성화됨으로 인해 저온의 두 배 정도 증가함을 의미하며,  $\Delta V_{th}$ 의 열화가  $N_{it}$  뿐 만 아니라  $N_f$ 에 의해 지대한 영향을 받음을 알 수 있다. 그러

므로 tensile stress에 의해  $N_{it}$  및  $N_f$ 가 매우 증가 하여  $\Delta V_{th}$ 가 큼을 알 수 있고 그림 11과 같이 Hot carrier 수명시간 뿐 만 아니라 NBTI 수명시간도 매우 짧음을 알 수 있다.

#### IV. 결 론

본 논문에서는 nitride-contact-etch stop layer에 의한 ILD 층의 박막 stress로 인하여 채널에 형성되는 uniaxial-mechanical stress에 따른 소자의 성능 및 신뢰성을 분석 하였다. PMOS의 경우 compressive stress가 tensile stress 보다  $I_{Dsat-Off}$  특성뿐만 아니라 hot carrier 및 NBTI 수명 시간까지 개선됨을 확인 하였다. 반면에 NMOS의 경우 tensile stress가 적용된 소자가 compressive stress가 적용된 소자 보다  $I_{Dsat-Off}$  특성이 이동도의 증가로 인해 개선됨을 알 수 있었으나 신뢰성 측면에서는 tensile stress가 적용된 소자가 매우 열악한 특성을 보이고 있는 것을 확인 하였다. 이것은 박막에 의한 수소 침투의 영향보다 인가된 채널 stress에 의해 Si/SiO<sub>2</sub>의 계면특성이 변화되기 때문이며, 채널 stress에 의해 소자의 신뢰성 특성이 달라짐을 의미한다. 결과적으로 tensile stress가 적용된 소자가 hot carrier 스트레스 시에  $N_{it}$ 의 증가로 소자 특성의 열화가 심함을 확인하였으며, NBT 스트레스 시에  $N_{it}$ 의 증가뿐만 아니라  $N_f$ 의 증가로 인하여 NBTI 수명시간이 짧음을 확인 할 수 있었다. 그러므로 compressive stress는 PMOSFET의 신뢰성과 소자의 성능을 개선하기 위해 매우 중요한 기술이다. 반면에 NMOSFET의 관점에서 보면 tensile stress는 소자의 성능 측면에서는 적용되어야 하지만 신뢰성 측면에서는 열악한 특성을 가지므로 나노급 CMOSFET에 적용되는 strained-silicon MOSFET의 개발을 위해서는 소자의 성능 뿐 만 아니라 신뢰성 또한 고려되어야 한다.

#### 참 고 문 헌

- [1] A. Hamada, T. Furusawa, N. Saito and E. Takeda, "A new aspect of mechanical stress effects in scaled MOS devices", IEEE Trans. Electron Devices, vol. 38, pp. 895 - 900, Apr. 1991.
- [2] F. Ootsuka, S. Wakahara, K. Ichinose, A. Honzawa, S. Wada, H. Sato, T. Ando, H. Ohta, K. Watanabe and T. Onai, "A highly dense, high-performance 130 nm node CMOS technology for large scale system-on-a-chip applications", IEDM Technical Digest, pp. 575-578, Dec. 2000.
- [3] A. Shimizu, K. Hachimine, N. Ohki, H. Ohta, M. Koguchi, Y. Nonaka, H. Sato and F. Ootsuka, "Local mechanical-stress control (LMC): a new technique for CMOS-performance enhancement", IEDM Technical Digest, pp. 433-436, Dec. 2001.
- [4] S. Ito, H. Namba, K. Yamaguchi, T. Hirata, K. Ando, S. Koyama, S. Kuroki, N. Ikezawa, T. Suzuki, T. Saitoh and T. Horiuchi, "Mechanical stress effect of etch-stop nitride and its impact on deep submicron transistor design", IEDM Technical Digest, pp. 247-250, Dec. 2000.
- [5] G. Scott, J. Lutze, M. Rubin, F. Nouri and M. Manley, "NMOS drive current reduction caused by transistor layout and trench isolation induced stress", IEDM Technical Digest, pp. 827-830, Dec. 1999.
- [6] S. H. Park, H. H. Ji, Y. G. Kim, H. D. Lee, S. H. Beak, B. S. Song, H. K. Bae, J. H. Jun, H. S. Lee, Y. S. Kang, D. B. Kim and J. W. Park, "Improvement of analog performance for nano-scale CMOSFET modifying mechanical film stress of ILD layer", The 11th Korea Conference on Semiconductors, pp. 209-210, Feb. 2004.
- [7] H. H. Ji, S. H. Park, Y. G. Kim, J. S. Wang, H. D. Lee, S. H. Beak, B. S. Song, H. K. Bae, J. H. Jun, H. S. Lee, Y. S. Kang, D. B. Kim and J. W. Park, "Dependence of Analog and Digital Performances on Mechanical Film Stress of ILD Layer in Nano-Scale CMOSFETs", Jpn. J. Appl. Phys., vol. 44, pp. 2171-2175, Apr. 2005.
- [8] G. Dorda, "Piezoresistance in quantized conduction bands in silicon inversion layers", J. Appl. Phys., vol. 42, pp. 2053-2060, 1971.
- [9] J. M. M. de Nijs, K. G. Druijff, V. V. Afanas'ev, E. van der Drift, and P. Balk, "Hydrogen induced donor-type Si/SiO<sub>2</sub> interface states", Appl. Phys. Lett., vol. 65, pp. 2428-2430, Nov. 1994, 48, pp. 2004-2014, 1977.
- [10] C. E. Balt, E.H. Nicolloan and E.H. Poindexter, "Mechanism of negative bias temperature instability" J. Appl. Phys., vol. 94, pp. 1712-1720, July. 1991.

저 자 소 개



한 인 식(학생회원)  
 2003년 여수대학교  
 반도체물리학과 학사.  
 2003년~현재 충남대학교  
 전자공학과 석사과정.  
 <주관심분야 : 나노 CMOS 소자  
 신뢰성 평가>



지 희 환(학생회원)  
 1995년 충남대학교  
 전자공학과 학사.  
 1998년 충남대학교  
 전자공학과 석사.  
 2003년~현재 충남대학교  
 전자공학과 박사졸업  
 . <주관심분야 : 나노 CMOS 소자 및 공정>



김 경 민(학생회원)  
 2003년 창원대학교  
 물리학과 학사.  
 2003년~현재 충남대학교  
 전자공학과 석사과정.  
 <주관심분야 : 나노 CMOS 소자  
 신뢰성 평가>



주 한 수(학생회원)  
 2002년 충남대학교  
 전자공학과 학사.  
 2004년~현재 충남대학교  
 전자공학과 석사과정.  
 <주관심분야 : CIS 아날로그 프  
 로세싱 설계>



박 성 형(정회원)  
 1995년 건국대학교  
 물리학과 학사.  
 2004년 충남대학교  
 전자공학과 석사.  
 2005년~현재 충남대학교  
 전자공학과 박사 과정



김 용 구(정회원)  
 2002년 홍익대학교  
 전기공학과 학사.  
 2004년 충남대학교  
 전자공학과 석사.  
 2005년~현재 매그나칩반도체  
 연구원  
 <주관심분야 : NVM 공정, 소자평가 및 신뢰성  
 평가>

1995년~2004년 10월 LG반도체 및 Hynix반도체  
 선임연구원.  
 2004년~현재 매그나칩반도체 선임 연구원  
 <주관심분야 : 나노 소자 및 신뢰성, Analog 소  
 자 Modeling>



왕 진 석(정회원)  
 1971년 연세대학교  
 전기공학과 학사.  
 1974년 연세대학교  
 전기공학과 석사.  
 1981년 연세대학교  
 전기공학 박사



이 희 덕(정회원)  
 1990년 한국과학기술원  
 전기 및 전자공학과 학사.  
 1992년 한국과학기술원  
 전기 및 전자공학과 석사.  
 1996년 한국과학기술원  
 전기 및 전자공학과 박사.

1975년~현재 충남대학교 전기정보통신공학부  
 교수  
 <주관심분야 : 반도체 재료 및 소자, 집적 회로,  
 광기전력 효과, 센서, 박막, Radiation effect>

1993년~2001년 2월 LG반도체 및 Hynix반도체  
 책임연구원.  
 2001년~현재 충남대학교 전기정보통신공학부  
 교수  
 <주관심분야 : 나노 소자 및 신뢰성, 나노 소자의  
 TEG 설계 및 분석, RF 소자 Modeling 및 RF 회  
 로설계 등>