

논문 2006-43SD-3-4

# 초미세 CMOS 공정에서의 스위칭 및 누설전력 억제 SRAM 설계

( Switching and Leakage-Power Suppressed SRAM for  
Leakage-Dominant Deep-Submicron CMOS Technologies )

최 훈 대\*, 민 경 식\*\*

( Hoon-Dae CHOI and Kyeong-Sik MIN )

## 요 약

본 논문에서는 누설전력 소비뿐만 아니라 스위칭 전력 소비를 동시에 줄일 수 있는 새로운 저전력 SRAM 회로를 제안한다. 제안된 저전력 SRAM은 대기모드와 쓰기동작에서는 셀의 소스라인 전압을  $V_{SSH}$ 로 증가시키고 읽기동작에서만 소스라인 전압을 다시  $V_{SS}$ 가 되도록 동적으로 조절한다. SRAM 셀의 소스라인 전압을 동적으로 조절하면 reverse body-bias 효과, DIBL 효과, 음의  $V_{GS}$  효과를 이용하여 셀 어레이의 누설전류를 1/100 까지 감소시킬 수 있다. 또한 누설전류를 억제하기 위해 사용된 소스라인 드라이버를 이용하여 SRAM의 쓰기동작에서 비트라인 전압의 스윙 폭을  $V_{DD}$ -to- $V_{SSH}$ 로 감소시킴으로써 SRAM의 write power를 대폭 감소시킬 수 있고 쓰기동작 중에 있는 셀들의 누설 전류 소비도 동시에 줄일 수 있다. 이를 위해 새로운 write driver를 사용하여 low-swing 쓰기동작 시 성능 감소를 최소화하였다. 누설전력 소비 감소 기법과 스위칭 전력 소비 감소 기법을 동시에 사용함으로써 제안된 SRAM은 특히 미래의 큰 누설전류가 예상되는 70-nm 이하 급 초미세 공정에서 유용할 것으로 예측된다. 70-nm 공정 파라미터를 이용해서 시뮬레이션 한 결과 누설전력 소비의 93%와 스위칭 전력 소비의 43%를 줄일 수 있을 것으로 보인다. 본 논문에서 제안된 저전력 SRAM의 유용성과 신뢰성을 검증하기 위해서 0.35- $\mu$ m CMOS 공정에서 32x128 bit SRAM이 제작 및 측정되었다. 측정 결과 기존의 SRAM에 비해 스위칭 전력이 30% 적게 소비됨을 확인하였고 사용된 메탈 차폐 레이어로 인해서  $V_{DD}$ -to- $V_{SSH}$  전압이 약 1.1V 일 때까지 오류 없이 동작함을 관측하였다. 본 논문의 SRAM 스위칭 전력감소는 I/O의 bit width가 증가하면 더욱 더 중요해질 것으로 예상할 수 있다.

## Abstract

A new SRAM circuit with row-by-row activation and low-swing write schemes is proposed to reduce switching power of active cells as well as leakage one of sleep cells in this paper. By driving source line of sleep cells by  $V_{SSH}$  which is higher than  $V_{SS}$ , the leakage current can be reduced to 1/100 due to the cooperation of the reverse body-bias, Drain Induced Barrier Lowering (DIBL), and negative  $V_{GS}$  effects. Moreover, the bit line leakage which may introduce a fault during the read operation can be eliminated in this new SRAM. Swing voltage on highly capacitive bit lines is reduced to  $V_{DD}$ -to- $V_{SSH}$  from the conventional  $V_{DD}$ -to- $V_{SS}$  during the write operation, greatly saving the bit line switching power. Combining the row-by-row activation scheme with the low-swing write does not require the additional area penalty. By the SPICE simulation with the Berkeley Predictive Technology Modes, 93% of leakage power and 43% of switching one are estimated to be saved in future leakage-dominant 70-nm process. A test chip has been fabricated using 0.35- $\mu$ m CMOS process to verify the effectiveness and feasibility of the new SRAM, where the switching power is measured to be 30% less than the conventional SRAM when the I/O bit width is only 8. The stored data is confirmed to be retained without loss until the retention voltage is reduced to 1.1V which is mainly due to the metal shield. The switching power will be expected to be more significant with increasing the I/O bit width.

**Keywords** : SRAM Memory, Sub-threshold Leakage, Row-By-Row, Switching Power, Low-power SRAM

\* 학생회원, \* 평생회원, 국민대학교 전자정보통신공학부  
(School of Electronic Engineering, Kookmin Univ.)

※ 본 논문은 IDEC의 소프트웨어 및 칩 제작 지원과 2004년도 한국학술진흥재단의 지원(KRF-2004-003-D00258)에 의하여 연구된 것이며 이에 깊은 감사드립니다.

접수일자: 2005년6월8일, 수정완료일: 2006년3월7일

I. 서 론

SoC를 구성하는 블록 중에 메모리 블록은 전체 chip의 면적과 전력 소비에서 제일 많은 비중을 차지한다고 알려져 있다<sup>[1]</sup>. SoC에 필요한 내장형 메모리로 사용되는 것 중에 제일 대표적인 메모리는 SRAM의 메모리 셀로 이루어진 cache 메모리이다. Cache 메모리의 경우에는 셀이 NMOS와 PMOS로 이루어져 있으며 서로 cross-coupled 방식으로 연결되어 있다. 따라서 cache 메모리에서 사용되는 메모리 셀의 NMOS와 PMOS에도 스케일링 이론이 적용되어 반도체 소자의 크기가 계속해서 작아진다.

계속되는 반도체 소자의 스케일링에 의해서 전원전압이 점점 작아지게 되고 이에 따라서 소자의 문턱전압역시 작아지고 있는 추세이다. 소자의 전원전압의 감소는 소자의 스위칭 전력 소비를 감소시키지만, 문턱전압의 감소는 소자의 누설전류를 급격히 증가시켜 소자의 누설전력을 지수 함수적으로 증가시키게 된다<sup>[2]</sup>. 문턱전압 감소에 의한 누설전력 소비의 급격한 증가가 전원전압의 감소에 의한 스위칭 전력 소비의 감소에 비해 매우 크기 때문에 전체전력소비에서 누설전력 소비의 비중은 급격히 증가하게 된다. 특히, SRAM 셀 어레이의 경우에 한 번에 선택되는 워드라인은 한 라인 뿐이기 때문에 선택된 워드라인 이외의 워드라인에 연결된 셀들은 외부로부터의 읽기와 쓰기 명령을 기다리고 있는 대기모드 상태에 있다. 대기모드 상태의 SRAM 셀 어레이는 스위칭 전력은 소비하지 않고 누설전류에 의한 전력만을 소비하므로 대기모드의 SRAM 셀에서 소비되는 누설전력 소비가 SRAM 전체의 전력 소비의 많은 부분을 차지하고 있다고 생각할 수 있다.

아래의 그림 1은 SRAM의 대기모드에서 발생하는 주요한 누설전류 경로를 보여주고 있다. 만일 대기모드에서 SRAM 셀의 Q 노드에 "0"이 저장되고 QB 노드에 "1"이 저장 되었다고 가정하면 그림 1의 점선으로 표시된 3개 트랜지스터 MP1, MN2, 그리고 MN3은 "off"가 된다. 이 3개의 "off" 트랜지스터를 통해서 누설전류가 흐르게 되는 데, 그 중 하나는 MN3을 통한 누설전류 경로로 비트라인 누설전류라고 한다. 비트라인 누설전류는 대기모드에서 비트라인 쌍이 "high"로 프리차지 되었을 때 비트라인에서 MN3을 통해서 VSS로 흐르는 누설전류이다. 또 다른 누설전류는 MP1과 MN2를 통하여 흐르는 전류로 VDD에서 VSS로 흐르고 셀 관통 누설전류라고 한다. 비트라인 누설전류와 셀 관통

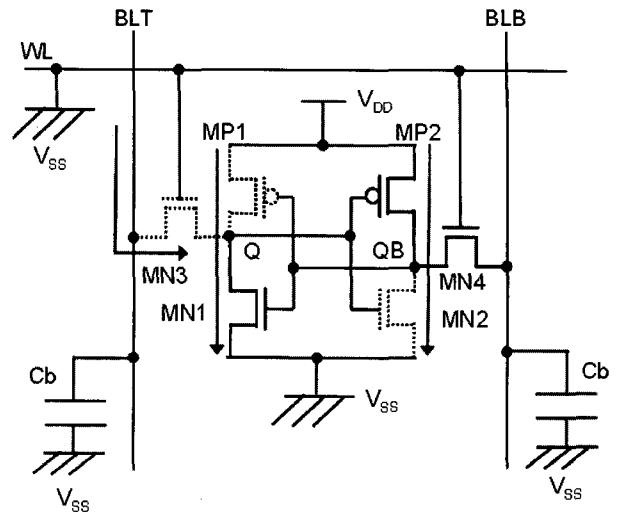


그림 1. 기존의 SRAM에서 발생하는 주요한 누설전류 경로 (셀 관통 누설전류와 비트라인 누설전류)  
Fig. 1. Leakage path of conventional SRAM (cell and bit-line leakage currents).

누설전류는 모두 소자의 문턱전압의 감소에 따라 지수 함수적으로 증가한다<sup>[2]</sup>. 그 중에서 비트라인 누설전류가 급격히 증가하면 셀의 읽기동작 시 오류<sup>[6]</sup>를 발생시킬 수가 있기 때문에 특히 주의를 기울여야 한다.

다음의 그림 2는 비트라인 누설전류의 증가로 인한 읽기 오류의 발생에 대해서 보여주고 있다. 그림 2에서

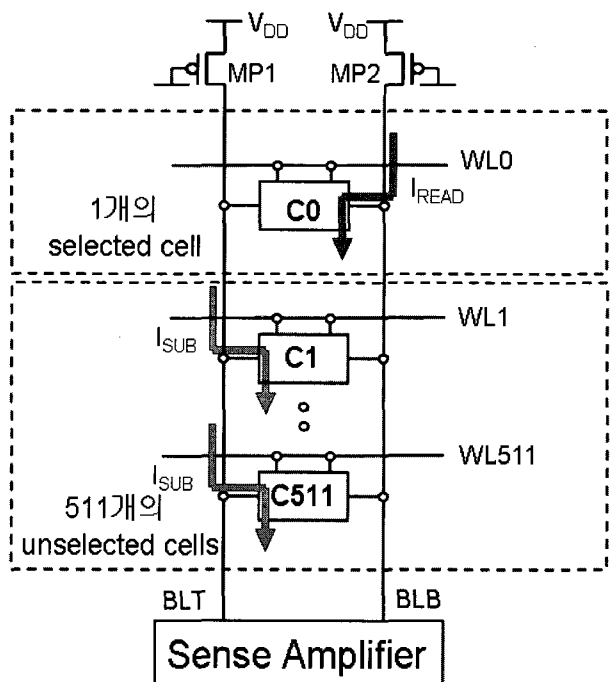


그림 2. 읽기동작 시 비트라인 누설전류에 의한 read fail  
Fig. 2. Faulty read due to bit-line leakage current in read operation.

1개의 비트라인 쌍에 연결된 메모리 셀의 총 개수는 512 이다. 만약에 512개의 셀 중에서 511개의 셀은 Q 노드에 "0"이 저장되고 QB 노드에 "1"이 저장되고, 나머지 한 개의 셀에는 Q 노드에 "1"이 저장되고 QB 노드에 "0"이 저장되어 있다고 가정하자. 읽기 동작이 그 한 개의 셀에 저장된 데이터에 실행이 된다면 그림 2의 비트라인 "BLT"에 흐르는 전류는 511개의 메모리 셀의 누설전류의 총합이 되고, 비트라인 "BLB"에 흐르는 전류는 선택된 한 개의 셀의 "on" 전류가 된다. "BLT"에 흐르는 511개 셀의 누설전류의 총합이 "BLB" 비트라인에 흐르는 셀의 "on" 전류 보다 더 크면 비트라인에 연결된 읽기 센스앰프는 데이터를 잘못 판별하여 읽기 오류<sup>[6]</sup>를 일으킬 수 있다.

하지만, 내장형 SRAM은 대기모드 상태에서의 누설 전력 소비뿐만 아니라 active 모드에서의 스위칭 전력 소비도 큰 부분을 차지하고 있다. SRAM의 active 모드에서의 스위칭 전력 소비는 대부분이 비트라인 커패시턴스를 충전하고 방전할 때 소비한다. 이것은 비트라인 커패시턴스의 값이 다른 주변 회로부의 커패시턴스의 크기보다 월등히 크기 때문이다. 그런데 내장형 SRAM의 경우에 I/O 라인이 칩의 외부와 연결되는 것이 아니고 칩 내부의 다른 블록과 연결되므로 외부 pin의 개수 한정 등에 의한 I/O 비트 수의 제한이 없기 때문에 I/O 비트 수를 외장형 SRAM의 x16, x32 등 보다 훨씬 더 늘려서 x256, x512 정도의 wide-bus I/O를 구현한다. 이처럼 SRAM이 칩 내부에 집적되면서 I/O 비트수가 증가하게 되고 한 번에 충전, 방전해야 하는 비트라인 커패시터의 개수가 증가하게 되어 SRAM의 스위칭 전력 소비량이 더욱 더 증가한다.

그림 3은 70-nm Technology에서의 I/O 비트 수의 변화에 따른 누설전력 소비와 스위칭 전력 소비의 상대적 percentage를 비교 한 것이다. I/O 비트 수가 작은 경우 누설전력 소비가 전체전력 소비의 대부분을 차지 하지만 I/O 비트 수가 점점 커지게 되면 비트라인 커패시턴스를 충전하고 방전할 때 소비하는 스위칭 전력 소비가 누설전류에 의한 전력 소비보다 더 커지게 됨을 70-nm 공정 파라미터를 이용한 HSPICE 시뮬레이션으로부터 예측할 수 있었다. 그림 3의 결과로부터 70-nm 공정에서 저전력 SRAM 개발을 위해서는 기존의 누설 전력 소비나 스위칭 전력 소비만을 줄이는 단편적인 기법<sup>[3][4]</sup>보다는 누설전력 소비를 줄이는 설계기법과 스위칭 전력 소비를 줄이는 설계기법이 함께 검토되고 최적화 할 수 있는 저전력 설계 기법이 필요함을 알 수

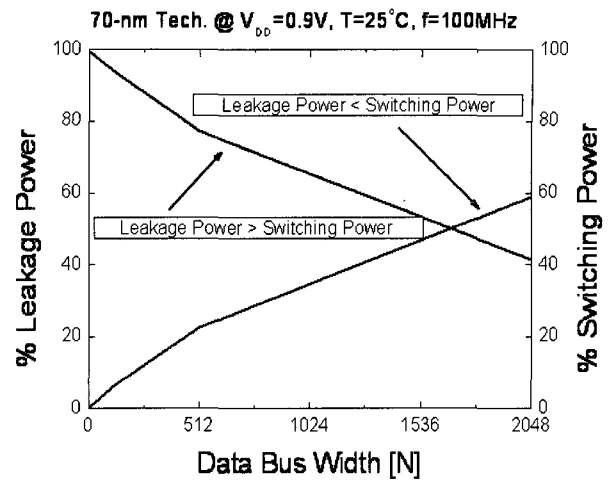


그림 3. 70-nm Technology 에서의 I/O 비트 수의 변화에 따른 누설전력과 스위칭 전력이 차지하는 비율 비교

Fig. 3. Leakage and switching power comparison with varying I/O bus width in 70-nm Technology.

있다.

본 논문에서는 누설전력 소비를 줄이는 기법<sup>[3]</sup>과 SRAM의 쓰기동작에서 비트라인 전압의 스윙 폭을 감소시켜 스위칭 전력 소비를 줄이는 기법<sup>[4]</sup>을 합친 새로운 저전력 SRAM 설계기법을 제안하였다. 제안한 SRAM과 기존의 저전력 SRAM<sup>[3][4]</sup>을 전력 소비와 성능(write delay) 측면에서 비교하였다. 전력 소비를 비교하면 기존의 저전력 SRAM<sup>[3][4]</sup>은 누설전력 또는 스위칭 전력 소비만을 줄일 수 있지만 제안한 SRAM은 누설전력과 스위칭 전력 소비를 동시에 줄일 수 있다. 뿐만 아니라 쓰기동작 중에 있는 셀들의 누설전류 소비도 줄일 수 있기 때문에 기존의 누설전력 소비 감소 기법<sup>[3]</sup>만을 사용한 것보다 더 많은 누설전류 소비를 줄일 수 있다. 성능(write delay)을 비교하면 스위칭 전력 소비를 줄이는 기법<sup>[4]</sup>을 사용하는 SRAM은 셀의 high-data를 low-data로 바꿀 경우에 비트라인 전압의 스윙 폭이 감소할수록 write driver의 구동 능력이 감소하기 때문에 write delay가 지수 함수적으로 증가하는 문제가 발생한다. 이를 해결하기 위해 본 논문에서는 새로운 write driver를 사용하여 SRAM 셀의 high-data를 low-data로 바꿀 때 write driver의 구동능력을 향상시켜 write delay를 최소화하였다. 본 논문에서 제안한 SRAM 셀 어레이 구조를 이용해서 SRAM을 구현한 결과, 10% 이하의 읽기속도 저하와 25%의 셀 어레이 면적 증가는 있었지만, 셀 어레이의 누설전력을 1/100으로 줄일 수 있었고, 쓰기동작에서의 스위칭 전

력을 약 40% 감소할 수 있었다.

본 논문의 구성은 다음과 같다. I장에서는 서론으로서 저전력 SRAM의 필요성에 대해서 설명하고 SRAM의 누설전력 소비와 스위칭 전력 소비에 대해서 논하며, II장에서는 I장에서 논의된 전력 소비의 요소들을 각각 줄이는 기법들을 제안하고 이를 통합하여 새로운 저전력 SRAM 셀 어레이 구조를 제시한다. III장에서는 제안하는 저전력 SRAM의 시뮬레이션 결과와 칩 테스트 결과를 나타내고 IV장에서는 본 논문의 결론으로 끝맺음을 할 것이다.

## II. 제안된 저전력 SRAM 셀 어레이 구조

이 장에서 제안할 저전력 SRAM 셀 어레이 구조는 대기모드에서 누설전류에 의한 전력 소비를 줄이는 기법<sup>[3]</sup>과 active 모드에서 스위칭 전력 소비를 줄이는 기법<sup>[4]</sup>을 동시에 사용함으로써 최적의 저전력 SRAM을 설계할 수 있게 한다. 먼저 누설전력 소비를 줄이는 기법<sup>[3]</sup>에 대해서 알아본다.

### (1) 누설전력 소비 감소 기법

그림 4 (a)는 누설전력 소비 감소를 위해서 제안된 SRAM 메모리 셀의 스케매틱 회로도를 나타내고 있고 그림 4 (b)는 active 모드(쓰기동작과 읽기동작)와 대기모드에서의 동작신호의 파형을 나타낸다. 여기서 MN5와 MP5의 두 개의 트랜지스터가 기존의 SRAM 셀에 추가되었다. 이 두 개의 트랜지스터는 함께 누설전류 억제 드라이버를 구성하여 active 모드와 대기모드에서 메모리 셀의 소스라인 전압을 동적으로 바꾸는 역할을 한다. 읽기동작에서는 소스라인 드라이버의 입력신호인 "CSL"신호가 "high"가 되어서 MN5를 키고 따라서 VSL 노드의 전압은 VSS 전압과 같아져서 기존의 SRAM 셀과 같은 동작이 수행되게 된다. 쓰기동작과 대기모드에서는 소스라인 드라이버의 입력신호인 "CSL" 신호가 "low"가 되어서 MN5를 끄고 대신 MP5를 키기 때문에 VSL 노드의 전압은 VSSH가 된다. VSSH 전압은 VSS와 VDD 사이의 전압으로 메모리 셀의 데이터 보존 특성을 보고 미리 결정해 놓은 전압이다. 대기모드에서는 메모리 셀의 셀 관통 누설전류와 비트라인 누설전류를 1/100으로 감소시키는 것이 목적이므로 MN5의 누설전류도 감소되어야 한다. 이를 위하여 "CSL" 신호의 "low" 전압은 VSS 보다 낮은 음전압으로 해서 MN5의 게이트에 음의 VGS (트랜지스터의

게이트-소스 간 전압)가 걸리도록 한다.

70-nm 공정 파라미터를 사용하여 메모리 셀의 누설전류를 시뮬레이션 할 때의 조건은 VDD 전압은 0.9V, VSSH 전압은 0.4V이다. 대기모드에 있는 셀에서는 그림 2에서처럼 MP1, MN2, 그리고 MN3을 통하여 흐르는 3 개의 누설전류 경로가 있다. 대기모드에서 "VSL" 노드 전압을 VSSH로 하는 경우에 각각의 "off" 트랜지스터의 누설전류가 어떠한 누설전류 억제 효과에 줄어드는지 그리고 누설전류가 얼마만큼 줄어드는지 논하겠

다. 먼저 MN2에 대해서 살펴보면,  $V_{SL}=V_{SS}$  일 때  $V_{GS}=0V$ ,  $V_{BS}=0V$ ,  $V_{DS}=V_{DD}$  값을 가지게 된다. 만일  $V_{SL}=V_{SSH}$  가 된다면 MN2의  $V_{DS}$ ,  $V_{BS}$  전압이 각각  $V_{DD}-V_{SSH}$ ,  $-V_{SSH}$ 가 된다. 그 결과 reverse body-bias 효과와 DIBL로 인한  $V_{TH}$  증가를 가져오게 된다.  $V_{TH}$  증가는 sub-threshold 누설전류를 지수 함수적으로 감소시킨다<sup>[5]</sup>. MN3에 대해서 살펴보면  $V_{SL}=V_{SSH}$  일 때  $V_{GS}$  전압이  $V_{SSH}$ 가 되고  $V_{DS}$ ,  $V_{BS}$  전압도 각각  $V_{DD}-V_{SSH}$ ,  $-V_{SSH}$ 로 감소하게 된다. 음의  $V_{GS}$ 는 MN3을 완전히 차단시키고 reverse body-bias 효과와 DIBL에 의해 MN3에서 발생하는 비트라인 누설전류를 거의 없앴다<sup>[5]</sup>. 전원전압 sub-1-V 영역에서는  $V_{TH}$

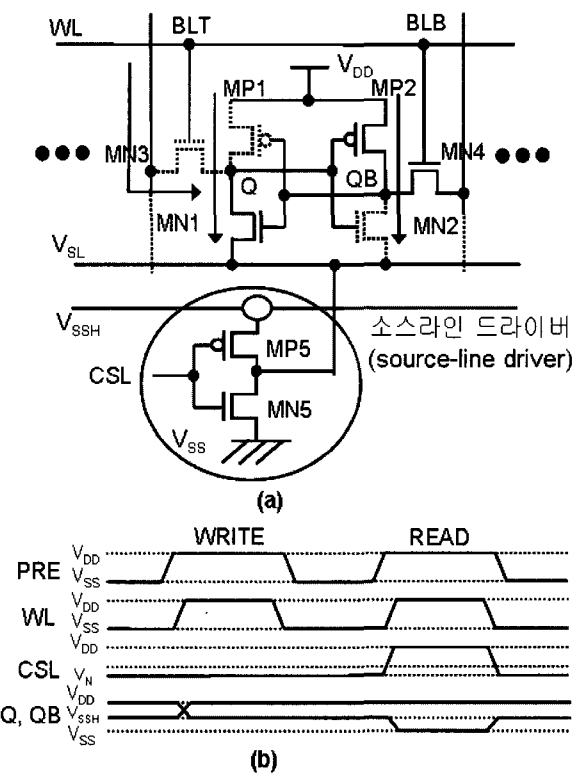
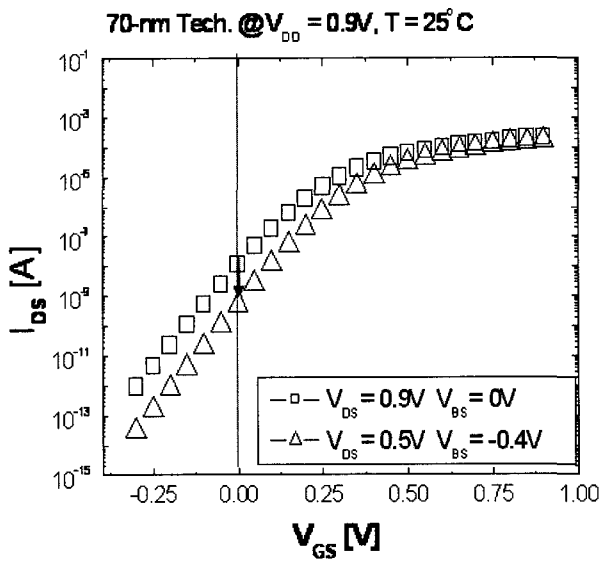
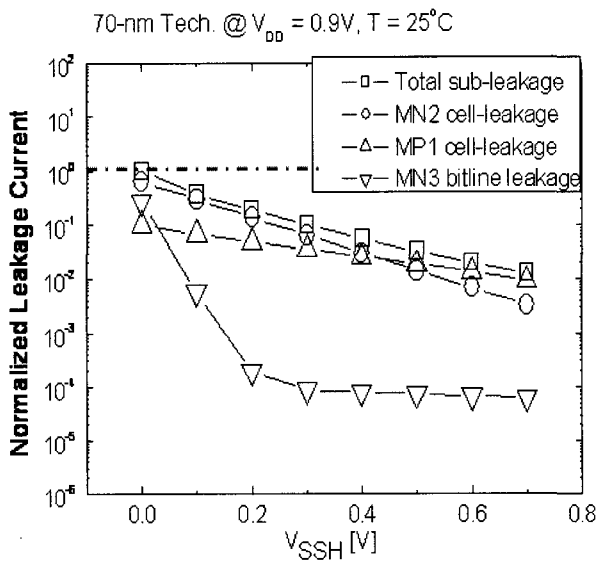


그림 4. (a) 제안된 SRAM의 셀 구조 (b) 동작 파형  
Fig. 4. Proposed SRAM cell (b) Its Waveform.

또한 낮아지기 때문에 패스 트랜지스터를 통해서 발생하는 비트라인 누설전류가 크게 증가하는 데, 비트라인 누설전류가 셀의 "on" 전류 이상 커지게 되면 잘못된 읽기동작을 초래한다<sup>[6]</sup>. 이처럼 비트라인 누설전류를 억제하는 것은 sub-1-V SRAM 동작에서 매우 중요하다. MP1에 대해서 살펴보면 MP1의  $|V_{DS}|$  값은  $V_{DD}$ 에서  $V_{DD}-V_{SSH}$ 로 감소하여 DIBL에 의한  $V_{TH}$  증가를 가져와 누설전류를 지수 함수적으로 감소시킨다.



(a)



(b)

그림 5. (a)70-nm 공정의 NMOS의 전류-전압 특성  
 Fig. 5. (a)NMOS current-voltage characteristics with 70-nm technology.  
 (b)70-nm 공정의 SRAM 셀의 누설전류 특성  
 (b) Cell leakage current with varying VSSH in 70-nm technology.

그림 5는 Berkeley Predictive Technology Model (BPTM)<sup>[7]</sup>의 70-nm technology 모델을 가지고 시뮬레이션 한 결과를 나타낸다. 그림 5 (a)는  $V_{DS}$ 와  $V_{BS}$ 의 변화에 따른 NMOS 트랜지스터에서 흐르는 누설전류의 변화를 나타내고 있다.  $V_{DS}=0.5V$ ,  $V_{BS}=-0.4V$  일 때의 누설전류가  $V_{DS}=0.9V$ ,  $V_{BS}=0V$ 에서의 누설전류에 비해 크게 감소함을 그림 5 (a)에서 알 수 있다. 그림 5 (b)는 셀 관통 누설전류와 비트라인 누설전류가 셀의 전체 누설전류에서 차지하는 비율과 변화 경향에 대한 시뮬레이션 한 결과를 보여준 것이다.

전체 sub-threshold 누설전류에서 MN2에서 흐르는 셀 관통 누설전류가 전체 누설전류의 약 65% 이상을 차지하고 MN3에서 흐르는 비트라인 누설전류가 약 34% 정도 차지하고 있다. MP1에서 흐르는 누설전류는 전체 누설전류의 약 1%를 차지한다. 누설전력 소비 감소 기법<sup>[8]</sup>의 적용으로 그림 5 (b)에서 보듯이 비트라인 누설전류는 음의  $V_{GS}$ 에 의해서 완전히 차단되고 셀 누설전류 또한 지수 함수적으로 크게 감소되어서 전체 누설전류에 의한 전력 소비가 감소됨을 알 수 있다. 제안된 SRAM에서는  $V_{SSH}$  전압은  $V_{DD}=0.9V$ 에서 데이터 유지와 성능을 고려하여 0.4V로 하여 설계하였다.  $V_{SSH}=0.4V$ 일 때  $V_{TH}$ 가 약 86mV 증가하여 전체 sub-threshold 누설전류가 1/10 이하로 감소됨을 그림 5 (b)에서 볼 수 있다. 만약에  $V_{SSH}$ 를 0.7V로 하면 셀의 전체 누설전류는 1/100 정도로 감소한다.

(2) 스위칭 전력 소비 감소 기법

그림 6은 active 모드에서의 full-swing 쓰기과 low-swing 쓰기동작을 비교한 것이다. 선택된 워드라인

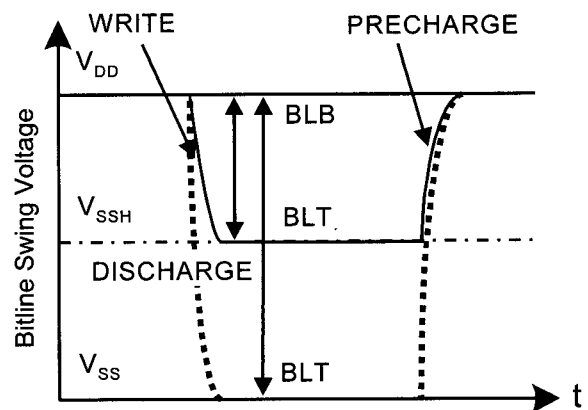


그림 6. active 모드에서의 full-swing과 low-swing write 동작에서의 비트라인 전압 파형  
 Fig. 6. Waveform on bit-line nodes when full and half swing write operation.

에 연결된 셀에 쓰기동작을 수행할 때, 비트라인 전압을 full-swing으로 쓰는 방법이 일반적으로 사용되는 방법이지만 이 방법은 커다란 비트라인 커패시턴스를  $V_{DD}$ 에서  $V_{SS}$ 까지 충전, 방전해야 하므로 스위칭 전력을 많이 소비하게 된다. 본 논문에서는 바로 위의 절에서 언급하였듯이 누설전력을 감소시키기 위해서 소스라인 드라이버를 셀 어레이에 추가하여 셀의 소스라인 전압을 쓰기 동작과 대기모드의 경우에는  $V_{SSH}$ 를 읽기 동작의 경우에는  $V_{SS}$ 로 인가하였다. 셀의 소스라인 전압을 active 모드에서 반드시  $V_{SS}$ 가 되게 하는 것이 아니고 만약에 읽기 동작 중에는  $V_{SS}$ 가 되게 하고, 쓰기 동작 중에는  $V_{SSH}$ 로 나누면 비트라인 커패시턴스를  $V_{DD}$ 에서  $V_{SS}$ 까지 충전, 방전하는 것이 아니라  $V_{DD}$ 에서  $V_{SSH}$ 까지만 충전, 방전하면 되므로 비트라인 커패시턴스의 스위칭 전력을 감소시킬 수 있게 된다. SRAM의 스위칭 전력소비는 주로 쓰기 동작에서의 커다란 비트라인 커패시턴스의 스위칭 동작에서 소비되므로 쓰기 동작에서의 비트라인 전압의 스윙 폭을 감소시키는 방법은 active 모드에서 SRAM의 전체 스위칭 전력을 상당 부분 줄일 수 있다. 비트라인 스윙 폭을 1/2로 줄이면 비트라인 커패시턴스의 스위칭 전력을 1/2로 줄일 수 있고, 전체 active 모드에서의 전력소비도 감소하게 된다.

그림 7은 SRAM의 읽기동작과 쓰기동작 시의 워드라인과 "CSL"신호와 Q 노드와 QB 노드의 파형이 시간이 지남에 따라서 어떻게 바뀌는 지를 보여준다. 먼저 기존의 SRAM (Conventional SRAM)에서는 소스라인 드라이버가 없으므로 "CSL" 신호는 존재하지 않고 Q 노드와 QB 노드는 서로 반전되어 있고 전압은 한쪽 노드가  $V_{SS}$  전압이면 다른 노드는  $V_{DD}$  전압을 갖게 된다. 누설전력을 감소<sup>[3]</sup>시키기 위해서서는 그림 4에서 보듯이 소스라인 드라이버가 메모리 셀 어레이에 추가가 되어야 하며 이 경우의 "CSL" 신호와 Q와 QB 노드의 파형은 그림 7의 두 번째 행에 나타나 있다. 이 경우 선택되지 않은 워드라인에 연결된 셀의 소스라인 전압은  $V_{SSH}$ 로 되고 선택된 워드라인에 연결된 셀의 소스라인 전압은  $V_{SS}$ 로 된다. 그림 7의 세 번째 행에는 본 논문에서 제시한 누설전력과 스위칭 전력을 함께 감소시킬 수 있는 SRAM의 신호 파형이 나타나 있다. 이 경우에 읽기 동작에서는 "CSL"신호가 "high"로 되어서 셀의 소스라인 전압을  $V_{SSH}$ 에서  $V_{SS}$ 로 만들지만 쓰기 동작이 선택된 경우에는 "CSL" 신호가 그대로 "low"로 남아있게 되어서 셀의 소스라인 전압을  $V_{SSH}$ 에서  $V_{SS}$ 로 끌어내리지 않고 그대로  $V_{SSH}$ 를 유지하게 나

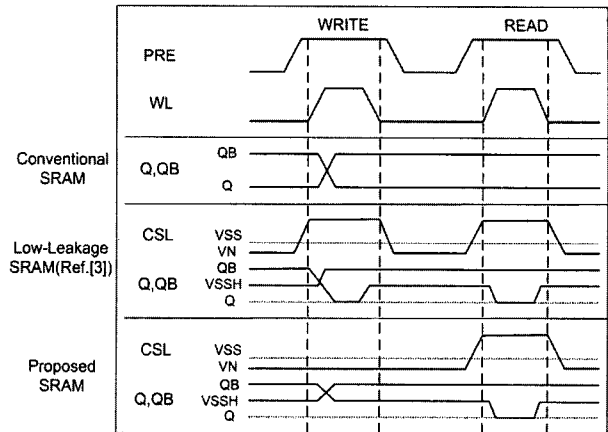


그림 7. 타이밍도 비교  
 Fig. 7. Timing chart comparison.

둔다. 이 경우에 비트라인이 쓰기동작 도중에 반전이 되더라도 비트라인의 스윙 폭이  $V_{DD}-V_{SS}$  만큼이 아니라  $V_{DD}-V_{SSH}$ 로 줄어들었기 때문에 스윙 폭이 줄어든 만큼 전력소비를 감소시키는 것이 가능하다. 또한 쓰기동작 중에는 셀 안의 Q와 QB의 전압이 모두  $V_{SS}$ 보다 높으므로 선택된 워드라인에 연결된 셀의 누설전류도 선택되지 않은 워드라인에 연결된 셀들과 마찬가지로 줄어들게 된다. 그림 7의 두 번째 행과 세 번째 행에서 보듯이 대기모드에서는 소스라인 드라이버의 PMOS 트랜지스터를 켜서 소스라인 전압을  $V_{SSH}$ 로 만들고 NMOS 트랜지스터를 꺼야 된다. 이때 대기모드에서 셀의 누설전류를 1/100으로 줄이기 위해서 소스라인 드라이버의 NMOS 트랜지스터는  $V_{SS}$  전압이 아니라 음전압에 의해서 꺼져야 한다. 이때 필요한 음전압의 크기는 누설전류를 1/10-1/100 정도 감소시킬 수 있는 정도면 충분함으로 최악의 경우에도 0.2V를 초과하지 않는다. 누설전력 소비 감소 기법<sup>[3]</sup>과 스위칭 전력 감소 기법<sup>[4]</sup>을 함께 SRAM에 적용시킴으로써 저전력 SRAM을 구현 할 수 있으며 이는 특히 I/O 비트 수가 많은 wide-bus I/O를 갖는 SRAM을 구현할 때에 더욱 더 효과적이 된다.

(3) 제안된 SRAM 셀 어레이 설계

제안된 SRAM 구조에서  $V_{DD}$ -to- $V_{SSH}$  로 low-swing 쓰기동작을 그림 8(a)의 기존의 write driver를 사용하여 설계<sup>[4]</sup>하면  $V_{SSH}$ 가 증가함에 따라 SRAM 셀의 high-data를 low-data로 바꿀 때 write driver의 pull-down 소자인 NMOS(MN1)의 전류구동능력이 감소하여 write delay를 지수 함수적으로 증가시킨다. 이의 해결을 위해 새로운 write driver 회로 기술

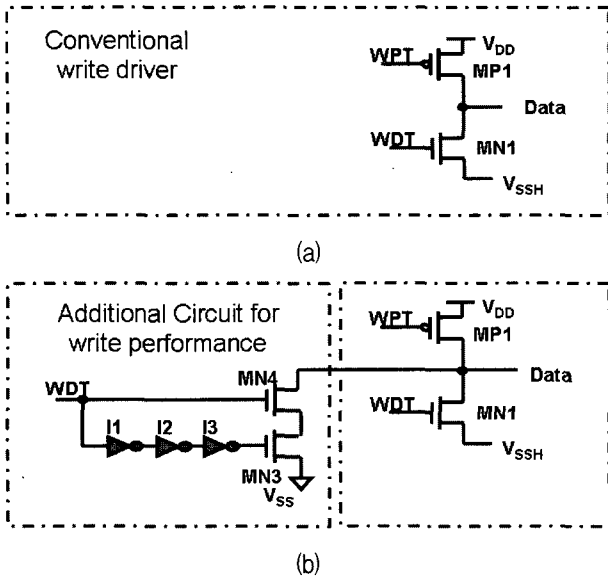


그림 8. (a) 기존의 write driver<sup>[4]</sup>  
 (b) 제안된 write driver  
 Fig. 8. (a) Conventional write driver<sup>[4]</sup>.  
 (b) Proposed write driver.

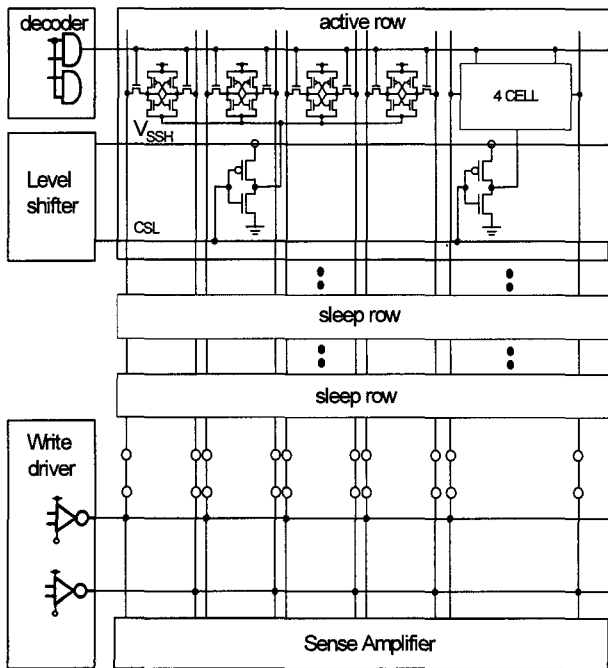


그림 9. 제안된 SRAM의 구조  
 Fig. 9. Proposed SRAM structure.

을 제안하였다. 그림 8(b)는 본 논문에서 제안하는 write driver 회로이다. 그림 8(b)의 제안된 write driver 회로의 특징은 pull-down 소자(MN3-MN4)를 추가로 사용하여 SRAM 셀의 high-data를 low-data로 바꿀 때 추가된 pull-down 소자에서 I1-I3의 inverter 회로의 지연 시간만큼 전류 구동능력을 순간적으로 높이도록 설계하였다. 제안된 write

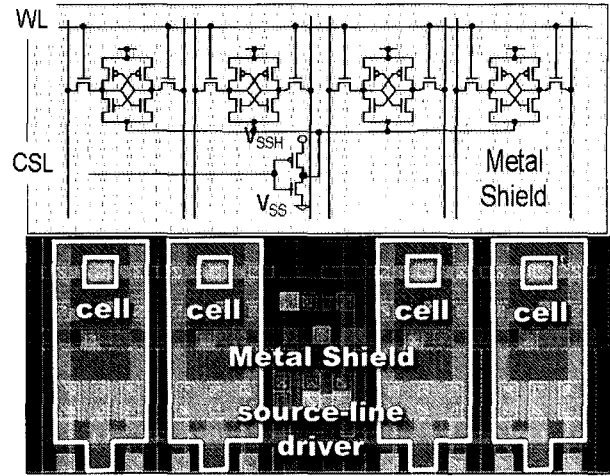


그림 10. 메탈로 차폐된 4개의 SRAM 셀과 소스라인 드라이버의 레이아웃  
 Fig. 10. Layout of 4 memory cells and their source-line driver with metal shield.

driver사용하여  $V_{SSH}$ 가 증가함에 따라 약 2%~17% 증가만을 보였다.

그림 9는 본 논문에서 설계된 SRAM의 셀 어레이를 포함한 32x128비트 SRAM의 회로를 보여주고 있다. 그림 9의 SRAM은 어드레스 디코더 블록, write driver 블록, 소스라인 드라이버의 콘트롤 신호인 "CSL"을 만들어내는 블록, 마지막으로 32x128 비트를 갖는 셀 어레이 블록으로 구성되어 있다. 어드레스 디코더 블록은 외부에서 입력된 어드레스를 디코딩 해서 원하는 워드라인을 선택하는 회로이다. 그림 9에서 제안된 셀 어레이 구조는 셀 4개 당 소스라인 드라이버 한 개를 갖고 있다. 소스라인 드라이버에 연결된 셀의 개수가 늘어나면 소스라인 드라이버 추가에 따른 레이아웃 면적의 penalty는 감소하지만 그 대신 읽기동작 시의 지연시간이 증가한다. 따라서 한 개의 소스라인 드라이버에 몇 개의 셀을 연결할 건지는 레이아웃 면적의 penalty와 읽기동작 시의 지연시간 사이의 trade-off 관계에 의해서 결정되어야 한다. 본 논문에서는 한 개의 소스라인 드라이버에 4개의 메모리 셀을 연결하였고 이에 의해서 셀 어레이의 레이아웃 면적은 25% 정도 증가하였고 그 경우 읽기동작 시의 지연시간은 10% 이하이다. 셀 어레이의 면적이 전체 SRAM 칩에서 차지하는 면적이 50% 정도 되기 때문에 소스라인 드라이버의 추가로 인한 전체 SRAM의 레이아웃 면적의 증가는 12.5% 이다. 그림 10은 실제로 설계된 SRAM 메모리 셀의 레이아웃을 보여주고 있다. 여기에서는 앞서 언급한 대로 4개의 메모리 셀이 한 개의 소스라인 드라이버에 연결되

어 있는 구조로 되어 있다. 또한 그림 10에서는 셀 내부의 Q 노드와 QB 노드를 외부에서 야기되는 비트라인 커플링 노이즈 등으로부터 보호하기 위하여 2번째 메탈 레이어로 차폐(shielding) 하였다. 본 논문에서 제안된 메모리 셀은 대기모드에서는  $V_{DD}$ 와  $V_{SS}$ 의 전압으로 보존되는 것이 아니라  $V_{DD}$ 와  $V_{SSH}$ 의 전압으로 보존되기 때문에 Q와 QB 사이의 전압차이가 작다. 대기모드에서의 이러한 작은 전압차이는 메모리의 데이터를 외부의 노이즈의 영향에 취약해지도록 하기 때문에 이를 극복하기 위해서 본 연구에서는 메탈 차폐를 사용하였다. 메탈 차폐는 메모리의 Q와 QB 노드와 비트라인 사이에 수직구조로 존재하므로 메탈 차폐로 인한 추가된 레이아웃 면적은 전체 SRAM 면적에 비해서 무시할 만하다.

마지막으로 대기모드에서의 셀의 소스라인 전압 ( $V_{SSH}$ ) 값의 결정에 대해서 논의해보자.  $V_{SSH}$  전압이 높으면 높을수록 메모리 셀의 누설전류는 억제된다. 그리고  $V_{SSH}$  전압이 높으면 높을수록 쓰기동작 시의 비트라인의 스윙 폭이 줄어들기 때문에 스위칭 전력도 감소하게 된다. 그러나 높은  $V_{SSH}$  전압은 메모리 셀에 저장된 데이터를 노이즈에 더욱 취약하게 만들어 데이터 보존을 어렵게 한다. 또한  $V_{SSH}$  전압이 높을수록 write driver의 구동능력이 저하되므로 쓰기동작의 지연시간이 길어지는 단점이 있다. 따라서  $V_{SSH}$  전압은 전력소비량과 쓰기동작에서의 지연시간 사이에 trade-off 관계에 따라서 결정되어야 한다.

저전력 SRAM 개발에서는 소비 전력을 줄이는 것만이 목표가 아니라 일정한 성능을 유지하면서 소비 전력

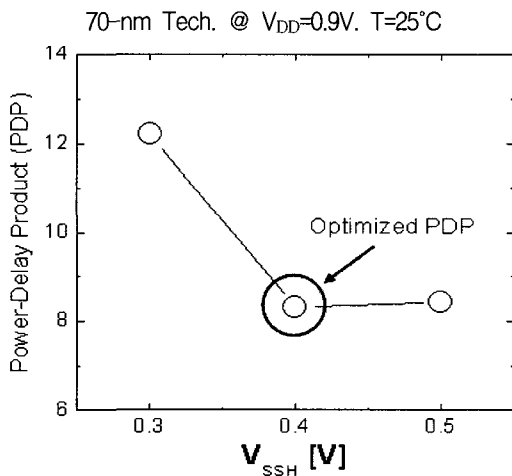


그림 11.  $V_{SSH}$ 의 증가에 따른 전력 소비와 쓰기 지연시간 곱의 변화

Fig. 11. Power-delay product with varying  $V_{SSH}$ .

을 최소화하는 것이 궁극적 목표이므로 소비 전력과 성능 간에 타협점을 최적화 시키는 척도로서 전력 소비-지연 시간의 곱(PDP : Power Delay Product) 을 사용하였다. 그림 11은  $V_{SSH}$  전압의 증가에 따른 쓰기동작 시의 지연시간과 전력 소비의 곱의 변화를 나타낸다. 그림 11에서  $V_{SSH}$  전압이 0.4V 일 경우가 쓰기동작 시의 지연시간과 전력 소비의 곱이 제일 작다는 것을 알 수 있다. 따라서 본 논문에서는  $V_{SSH}$  전압의 최적 값을 0.4V로 하고 설계를 진행하였다.

#### IV. 시뮬레이션과 측정 결과

그림 12은  $T=25^{\circ}\text{C}$ ,  $V_{DD}=0.9\text{V}$  그리고  $V_{SSH}=0.4\text{V}$ 에서 기존의 SRAM과 누설전력 소비 감소 기법<sup>[3]</sup>만을 적용한 SRAM, 그리고 누설전력과 스위칭 전력을 함께 절감할 수 있는 본 연구에서 제안된 SRAM의 전력소비량을 비교한 것이다. 누설전력 소비 감소 기법<sup>[3]</sup>만을 사용하였을 때는 누설전력 소비는 기존의 SRAM 구조보다 약 91.5% 감소하였지만 스위칭 전력 소비는 전혀 감소하지 않았다. 그러나 본 연구에서 제안된 SRAM에서는 스위칭 전력 소비가 약 43% 감소하였다. 또한 본 연구에서 제안한 SRAM의 누설전력 소비가 누설전력 소비 감소 기법<sup>[3]</sup>만을 사용한 SRAM의 경우보다 더 누설전력을 적게 소비했음을 알 수 있다. 이것은 대기 모드에 있는 셀들뿐 만 아니라 쓰기동작 중에 있는 셀들의 누

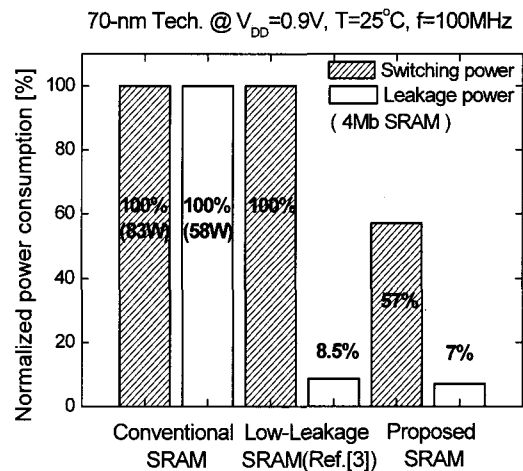


그림 12.  $T=25^{\circ}\text{C}$ 에서 기존의 SRAM과 제안된 SRAM의 누설 전력 소비와 스위칭 전력 소비 비교

Fig. 12. Leakage and switching power comparison between conventional SRAM and proposed one at  $T=25^{\circ}\text{C}$ .



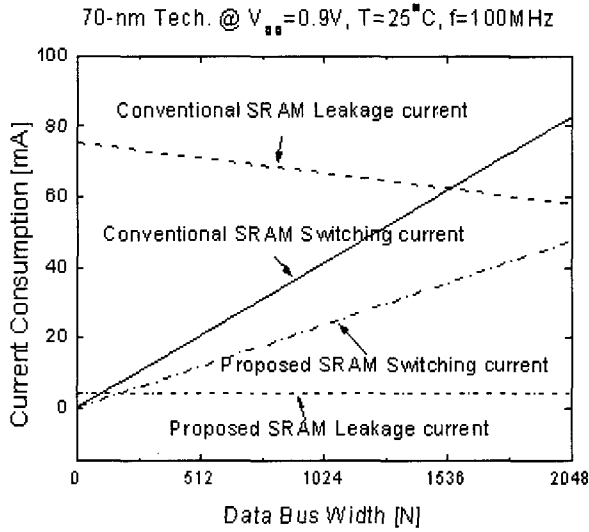


그림 13. 4Mb SRAM의 I/O bit width 증가에 따른 누설전력 소비와 스위칭 전력 소비 비교  
 Fig. 13. Leakage and switching power comparison of 4Mb SRAM with varying bus width.

설전력 소비도 줄었기 때문이다. 그림 12에서 기존의 SRAM 구조와 제안된 누설전력과 스위칭 전력을 함께 절감하는 SRAM 구조의 전력소비량을 비교해 보면 제안된 SRAM에서 누설전력 소비가 약 93%, 스위칭 전력 소비는 약 43% 감소함을 볼 수 있다.

그림 13은  $T=25^{\circ}\text{C}$ ,  $V_{DD}=0.9\text{V}$ ,  $V_{SSH}=0.4\text{V}$  그리고  $f=100\text{MHz}$ 에서 I/O 비트 수의 증가에 따른 기존의 4Mb SRAM과 제안된 4Mb SRAM의 누설전력 소비와 스위칭 전력 소비를 비교한 것이다. 기존의 SRAM 구조와 제안된 SRAM 구조 모두 I/O 비트 수가 작을 때는 스위칭 전력 소비보다 누설전력 소비가 더 크지만 I/O 비트 수가 증가함에 따라 스위칭 전력 소비는 선형적으로 증가하지만 누설전력 소비는 거의 변화지 않기 때문에 스위칭 전력 소비가 누설전력 소비보다 커지게 된다. 그림 13에 보듯이 제안된 SRAM 구조는 I/O 비트 수가 커져 스위칭 전력 소비가 클 때 더 큰 장점을 가지게 된다.

그림 14는 기존의 SRAM, 스위칭 전력 소비 감소 기법<sup>[4]</sup>을 적용한 SRAM과 제안된 SRAM의 write delay를 비교한 것이다. 스위칭 전력 소비 감소 기법<sup>[4]</sup>을 적용한 SRAM의 경우  $V_{SSH}$ 가 증가함에 따라 write delay가 지수 함수적으로 증가하였지만, 제안된 SRAM은 write driver의 구동능력을 향상시켜  $V_{SSH}$ 가 증가함에 따라 write delay의 성능 감소를 최소화시켰다. 제안된 SRAM의 write delay는 기존의 SRAM의 write delay보다 약 2%~17% 증가만을 보였다.

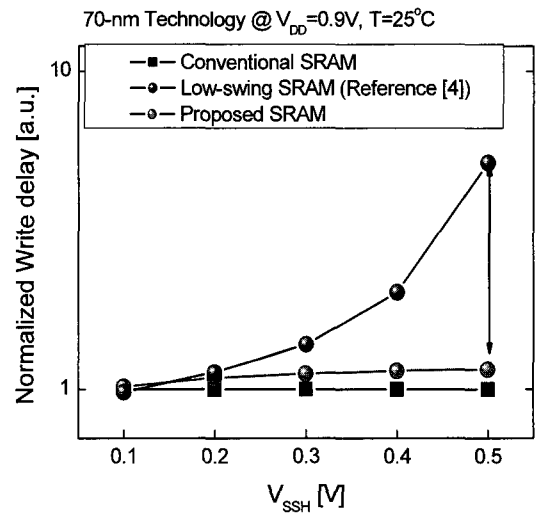


그림 14. write delay 비교  
 Fig. 14. Comparison of write delay.

제안된 SRAM 구조의 성능과 유용성을 확인하기 위해서 0.35- $\mu\text{m}$  CMOS 공정에서 8비트 I/O를 가지는 32x128 비트 SRAM 칩을 제작하여 측정하였다. 이 0.35- $\mu\text{m}$  CMOS 공정의 누설전류는 매우 작으므로 측정할 수 없었고, 따라서 본 측정에서는 스위칭 전력 소비만을 나타내었다. 그림 15는 SRAM의  $V_{DD}$  전원전압을 2V에서 4V까지 변화 시키면서 기존의 SRAM 대비 감소되는 스위칭 전력의 비율을 측정하는 것이다. 측정된 결과로 제안된 SRAM 구조가 기존의 SRAM 구조에 비해서 약 30%정도 전력을 적게 소비함을 알 수 있다. 본 연구에서 제안한 SRAM의 전력감소 비율이 30%인

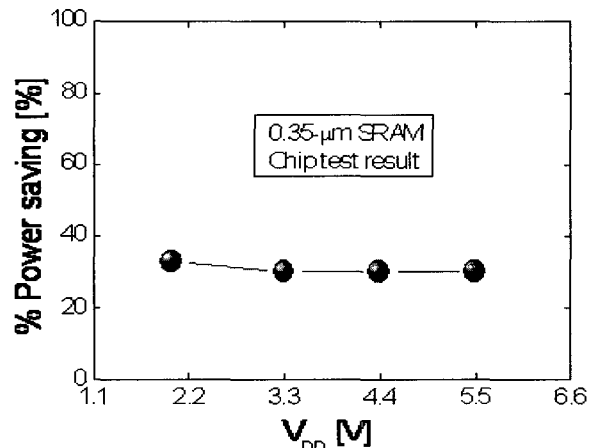


그림 15. 제작된 0.35- $\mu\text{m}$  SRAM 칩의 전력소비 감소비율 (%) 측정 결과  
 Fig. 15. Measured percentage power saving of fabricated 0.35- $\mu\text{m}$  SRAM chip.

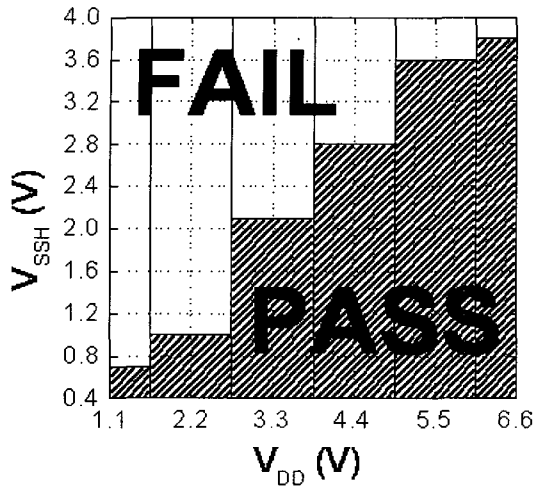


그림 16. 측정된 SRAM의 shmoo plot  
Fig. 16. Measured shmoo plot of SRAM.

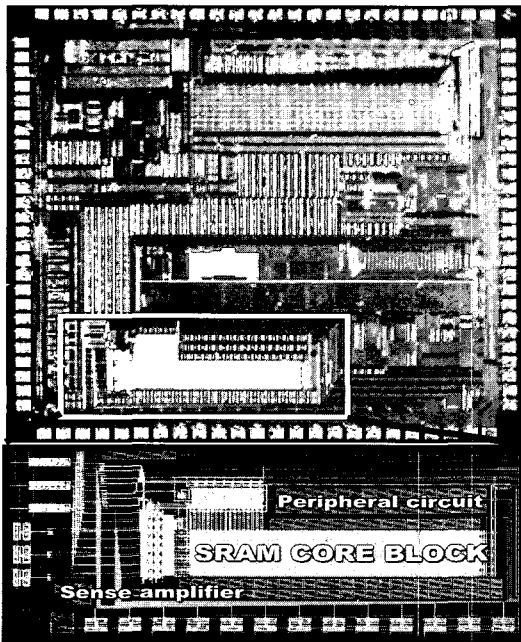


그림 17. 본 연구에서 제안된 SRAM의 칩 사진과 layout  
Fig. 17. Chip micrograph and layout of the SRAM with the row-by-row activation and low-swing write scheme.

것은 I/O 비트 수가 8 이기 때문이고, 이 비율은 SRAM의 I/O 비트수가 증가하면서 더욱 더 증가할 것이다. 실제로 내장형 SRAM의 경우에 I/O 대역폭을 확보하기 위해서 256-1024 비트 정도의 wide I/O bus가 사용되고 있다. 그림 16은 제작된 SRAM 칩에서 V<sub>DD</sub>와 V<sub>SSH</sub>를 변화시켜 SRAM의 동작의 “pass” 와 “fail” 을 측정된 shmoo plot이다. 다양한 테스트 벡터를 이용해서 테스트 한 결과, V<sub>DD</sub>=3.3V에서 V<sub>SSH</sub>의 값이 2.2V일 때까지는 SRAM이 잘 동작하였다. 이것은 그림 10에서

표 1. 기존의 SRAM, reference [3]과 제안된 SRAM의 전력 소비와 성능(write delay) 비교

Table 1. Performance comparison of Conventional SRAM, reference [3] and Proposed SRAM.

4Mb SRAM cell(I/O width=2048bit), 70-nm Technology  
@ V<sub>DD</sub>=0.9V, V<sub>SSH</sub>=0.4V, T=25°C 시뮬레이션 비교표

	Conventional SRAM	Low-leakage SRAM (Ref. <sup>[3]</sup> )	Proposed SRAM
누설전력 [W]	58	4.93	4
스위칭 전력 [W]	83	83*	47
write delay [ps]	97.86	X	111.7

보여준 메탈 차폐의 도움으로 SRAM 셀의 읽기 및 쓰기 동작이 셀을 구성하고 있는 NMOS와 PMOS의 문턱 전압 레벨까지는 fail 없이 잘 동작함을 의미한다. V<sub>SSH</sub> 값이 2.2V 보다 커지게 되면 SRAM의 셀 중에서 fail이 발생하고 이것은 메탈 차폐에도 불구하고 V<sub>SSH</sub> 값이 V<sub>DD</sub> 값과 비슷해짐에 따라서 셀 노드가 거의 high impedance 상태에 근접하게 되어서 셀 노드의 전압이 외부의 노이즈에 의해서 쉽게 영향을 받기 때문이다.

그림 17에서 본 연구에서 제작된 SRAM의 칩 사진을 나타내었다. 제작된 SRAM의 면적은 0.65 x 1.58mm<sup>2</sup> 이고 본 연구에서 제안한 저전력 scheme을 위한 면적 overhead는 약 15% 이다.

### V. 결 론

본 연구에서는 초미세 70-nm 이하 급 CMOS 공정에서의 누설전력 소비 감소 기법<sup>[3]</sup>과 스위칭 전력 소비 감소 기법<sup>[4]</sup>이 결합한 새로운 SRAM 셀 어레이 구조를 제안하였다. 제안된 저전력 SRAM 구조는 대기모드에서는 셀의 소스라인 전압을 V<sub>SSH</sub> 전압으로 증가시키고 active 모드에는 소스라인 전압을 다시 V<sub>SS</sub>가 되도록 동적으로 조절한다. SRAM 셀의 소스라인 전압을 동적으로 조절하면 reverse body-bias 효과, DIBL 효과, 음의 V<sub>GS</sub> 효과를 이용하여 셀 어레이의 누설전류를 1/100 까지 감소할 수 있다. 또한 읽기동작 시 오동작을 유발하는 비트라인 누설전류는 완전히 제거함으로써 본 연구에서 제안한 저전압 SRAM의 신뢰성을 향상시킬 수 있었다. SRAM의 쓰기동작에서 용량이 큰 비트라인 커패시턴스를 충전하고 방전할 때 발생하는 스위칭 전력소비를 줄이기 위해 쓰기동작 시 비트라인의 전압스

표 2. 기존의 SRAM과 제안된 SRAM의 칩 측정결과 비교

Table 2. Chip test result comparison of Conventional SRAM and Proposed SRAM.

4Kb SRAM cell(I/O width=8bit), Hynix 0.35- $\mu$ m

Technology

@  $V_{DD}=3.3V$ ,  $V_{SSH}=2.1V$ ,  $T=25^{\circ}C$  칩 측정 결과 비교표

	Conventional SRAM	Proposed SRAM
스위칭 전력 [mW]	13.2	8.91

영 폭을  $V_{DD-to-V_{SS}}$ 에서  $V_{DD-to-V_{SSH}}$ 로 줄이는 low-swing write 기법을 제안하였다. 제안된 low-swing write 기법은 누설전류 감소를 위해 사용된 소스라인 드라이버를 이용하므로 셀 어레이 회로에서 low-swing 쓰기동작을 위해 추가되는 레이아웃 면적은 없다. 본 연구에서 제안된 4Mb SRAM의 셀 어레이 구조를 70-nm 공정 파라미터를 사용하여 시뮬레이션 한 결과, 기존의 SRAM 셀 어레이 구조에 비해 누설전력 소비의 93%, 스위칭 전력 소비의 43%를 절감함을 볼 수 있었다. 그리고 제안된 회로의 성능과 유용성을 실험으로 확인하기 위해서 0.35- $\mu$ m CMOS 공정에서 8 비트 I/O를 가지는 32x128 비트 SRAM 칩을 제작하여 측정하였다. 실험 결과로 스위칭 전력 소비가 30% 이상 감소함을 확인하였다. 제안된 SRAM 구조는 I/O 비트 수가 큰 내장형 SRAM에서 더 많이 전력 소비를 줄일 수 있어 유용할 것으로 예상된다. (표 1, 표2. 참조)

\*은 write시에는  $V_{SSH}=0V$ 로 해서 시뮬레이션 함. (그림 7. 타이밍 차트 참조)

### 참 고 문 헌

[1] T. Sakurai, "Perspectives on power-aware electronics," *IEEE International Solid-State Circuits Conference*, pp. 26-29, San Francisco in USA, February 2003.

[2] S. Borkar, "Design challenges of technology scaling," *IEEE Micro*, vol.19, no. 4, pp. 23-29, July 1999.

[3] K. Min, K. Kanda, and T. Sakurai, "Row-by-Row switching Source-Line Voltage Control (RRDSV) Scheme for Two orders of Magnitude Leakage Current Reduction of Sub-1-V- $V_{DD}$  SRAM's," *International Symposium on Low Power Electronics and Design*, pp. 66-71, Seoul in Korea, August 2003.

[4] S. Hattori and T. Sakurai, "90% write power saving SRAM using sense-amplifying memory cell," *Symposium on VLSI Circuits*, pp. 46-47, Kyoto in Japan, June 2002.

[5] K. Kanda, T. Miyazaki, K. Min, H. Kawaguchi, and T. Sakurai, "Two Orders of Magnitude Reduction of Low Voltage SRAM's by Row-by-Row Dynamic VDD Control (RDDV) Scheme," *Proceedings of IEEE International ASIC/SOC Conference*, pp. 381-385, Rochester in USA, September 2002.

[6] K. Agarwal, H. Li, and K. Roy, "A bit line leakage compensation scheme for low-voltage SRAM's," *IEEE Journal of Solid-State Circuits*, vol. 36, no. 5, pp. 726-734, May 2001.

[7] Berkeley predictive technology model web site: <http://www-device.eecs.berkeley.edu/~ptm>

[8] H. Choi, H. Choi, K. Kang, D. Kwak, D. Kim, D. Kim, and K. Min, "Leakage and Switching Power Saving Scheme For Low-Power SRAMs in sub-70nm Leakage-Dominant VLSI Era," *제12회 한국반도체학술대회 논문집*, vol.1, pp.497-498, Feb. 24-25, 2005.

## 저 자 소 개



최 훈 대(학생회원)  
 2004년 국민대학교  
 전자공학과 학사  
 2006년 국민대학교  
 전자공학과 석사  
 2006년~현재 삼성전자  
 <주관심분야 : 저전력 회로설계>



민 경 식(평생회원)  
 1991년 고려대학교  
 전자전산공학과 학사  
 1993년 한국과학기술원 전기및  
 전자공학과 석사  
 1997년 한국과학기술원 전기및  
 전자공학과 박사  
 1997년~2001년 하이닉스반도체 선임연구원  
 2001년~2002년 University of Tokyo, Research  
 Associate  
 2002년~현재 국민대학교 전자정보통신공학부  
 조교수  
 <주관심분야 : 저전력 아날로그, 디지털 회로 설  
 계>