

Analysis of Accelerated Soft Error Rate for Characteristic Parameters on Static RAM

金 度 宇<sup>†</sup> · 孔 明 國<sup>\*</sup> · 王 鎮 錫<sup>\*\*</sup>  
 (Do-Woo Kim · Myeong-Kook Gong · Jin-Suk Wang)

**Abstract** - This paper presents an ASER (Accelerated Soft Error Rate) integral model. The model is based on the facts that the generated EHP's (electron hole pairs) are diminished after some residual range of the incident alpha particle, where residual range is a function of the incident angle and the capping layer thickness over the semiconductor junction. The ASER is influenced by the flux of the alpha particles, the junction area ratio, the alpha particle incident angle when the critical charge is same as the collected charge, and the sizes of the alpha source and the chip. The model was examined with 8M static RAM samples. The measured ASER data showed good agreement with the calculated values using the model. The ASER decreased exponentially with respect to the operational voltage. As the capping layer thickness increases up to 16μm, the ASER increases, and after that thickness, the ASER decreases. The ASER increased as the depth of BNW increased from 0μm to 4μm, and then saturated. The ASER decreased as the node capacitance increased from 2fF to 5fF.

**Key Words** : Soft Error Rate, Alpha-Particle, Capping Layer, Static RAM

1. 서 론

반도체 메모리에서 알파 입자에 의한 소프트 에러는 최근 에 주요한 관점으로 대두되고 있으며 이에 물리적인 메카니즘에 대한 많은 연구가 진행되고 있다. 소프트 에러는 소자의 특성 파라미터 뿐만 아니라 알파 소스의 크기, 칩 사이즈, 측정 거리, 포집 전하 등 많은 측정 조건에 의해 변화되어진다. May[1]와, Yaney[2] 등은 반도체 메모리에서 알파입자의 입사각에 따른 소프트 에러에 대하여 발표하였으며, 소프트 에러의 원인은 알파입자에 의한 접합에서의 포집 전하에 의한 것으로 밝혀졌다.

소프트 에러는 포집전하 외에도 소자특성에 의해 영향을 받으며, 또한 소프트 에러 측정 시 소자나 알파 입자원의 구성과 모양에도 영향을 받는다. 이것에 대해서도 많은 연구가 진행되고 있으며, 메카니즘에 대한 많은 이해가 이루어지고 있다.[3-6]

본 논문에서는 소프트 에러율에 대해 정적 RAM에서의 특성 요소들을 고려하여 정확한 해석적인 모델을 만들어 제시하였으며, 또한 제품 측정 결과와 Model과의 계산 값을 비교하여 Model의 유효성을 검증하였다.

2. 소프트 에러 현상

소프트 에러의 측정을 위하여 그림 1의 개략도와 같이 장치를 구성하였다. 측정 소자는 8M Full CMOS 정적 RAM으로 하였으며, 알파입자원은 아메리슘(Am 241)을 사용하였으며, 유량밀도는  $1.3 \times 10^5$  particles/cm<sup>2</sup>min이다.

알파입자가 높은 에너지를 가지고 반도체 칩에 입사되면, 원자 및 전자와의 상호작용에 의해 전자-정공 쌍(EHP ; Electron Hole Pair)이 발생되는데, 실리콘의 경우 알파입자의 정지거리를 R, EHP의 선밀도를  $n_l$ 이라고 하면 [7, 8], 본 논문에서 사용한 근사식은 다음과 같다.

$$R = 0.44E^2 + 2.50E \tag{1}$$

$$n_l(R) = \frac{2.1 \times 10^5 \sqrt{R}}{1 + R} \tag{2}$$

여기에서 R의 단위는 μm 이고,  $n_l$ 의 단위는 개/μm이다.

접합에서 Funneling 효과와 확산에 의해 포집된 전하가 임계 전하치를 넘어가면 메모리의 동작은 데이터 노드의 전하의 분포를 변동시켜 오류를 일으킨다. Hu의 모델을 따르면 N접합의 경우에 Funneling 길이는 다음 식으로 표현된다.[7]

$$L_F = \frac{W}{\cos \Theta} \left( 1 + \frac{\mu_N}{\mu_P} \right) \leq L_{FMAX} \tag{3}$$

여기에서 W는 N접합에 대한 PWell쪽의 공핍층이고, Θ는 알파입자의 입사각이며,  $\mu_{N/P}$ 는 전자와 정공의 이동도

† 교신저자, 正 會 員 : 한국폴리텍대학 디지털 디자인과  
 E-mail : dwkim@ans.ac.kr

\* 正 會 員 : (株) 옵토웨이 研究所長

\*\* 正 會 員 : 忠南大學校 敎授

接受日字 : 2005年 12月 14日

最終完了 : 2006年 1月 20日

이다. 그런데 이 Funneling 길이는 접합의 크기보다 클 수 없으므로 접합의 크기로 제한된다. 그림 1에는 보호막의 두께  $t$ 에 따라 입사된 알파입자의 정지거리  $R$ 을 나타내는 개략도를 나타내었다.

또한 총 포집전하  $Q$ 는 Funneling 전하  $Q_F$ [7]와 확산전하  $Q_D$ [8]의 합인데, 본 논문에서는 EHP 선밀도는 거리에 대해 둔감한 함수로 근사했다. 그러면,

$$Q = Q_F + Q_D$$

$$Q_F = q \int_0^{L_F} n_i(R_E' - z) dz \approx q n_i(R_E') \int_0^{L_F} dz$$

$$= q L_F \frac{2.1 \times 10^5 \sqrt{R_E'}}{1 + R_E'} \quad (4)$$

$$Q_D = q \int_{L_F}^{R_E'} n_i(R_E' - z) n_D(z) dz \quad (5)$$

$$\approx q n_i(R_E') \int_{L_F}^{R_E'} n_D(z) dz$$

$$= 4\pi q \frac{2.1 \times 10^5 \sqrt{R_E'}}{1 + R_E'} \rho_j^2 \cos \theta$$

$$\left( \frac{1}{L_F + \sqrt{L_F^2 + \rho_j^2}} - \frac{1}{R_E' + \sqrt{R_E'^2 + \rho_j^2}} \right)$$

단,  $R_E' = R_E - \frac{t n_i + z_i}{\cos \theta} \quad (6)$

$$n_D(z) = 4\pi \left( 1 - \frac{z}{\sqrt{z^2 + \rho_j^2}} \right) \cos \theta \quad (7)$$

각 변수는 그림 1에 정의하였다. 여기에서  $n_D$ 는 전하 포집 효율이며, Kirkpatrick[8]에 의해 확산방정식을 풀어 얻어진 것이며,  $\cos \theta$ 는 본 논문에서 각에 대한 의존성을 장거리 정현 근사로 첨부한 것이다. 만일 Buried NWell(BNW)이 존재한다면, 확산전하  $Q_D$ 에서 적분의 끝 값이 PWell의 BNW와 형성되는 공핍층 가장자리가 된다. 왜냐하면, BNW는 양전압  $V_{cc}$ 로 바이어스 되기 때문이다.

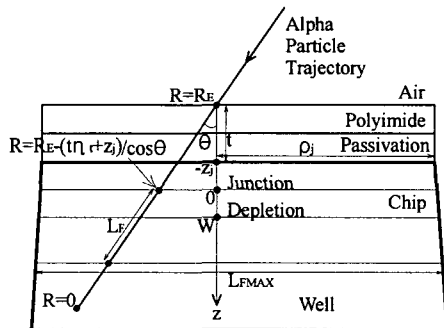


그림 1 반도체 칩의 보호막 두께  $t$ 에 따라 입사된 알파입자의 정지거리  $R$ 을 나타내는 개략도

Fig. 1 Cross section of N+ junction with an alpha particle injection

알파입자 초기의 정지거리  $R_E$ 는 같아도 입사각  $\theta$ 에 따

라 반도체 표면의 정지거리  $R_E'$ 이 달라진다.  $\rho_j$ 는 원형 N 접합의 반지름,  $z_j$ 는 접합의 깊이,  $W$ 는 공핍층 두께,  $n_i$ 는 실리콘에 대한 알파입자의 상대적인 보호막의 에너지 손실 비율,  $L_{FMAX}$ 는 접합의 크기이다.

### 3. ASER의 계산

소프트 에러율의 측정 개략도를 그림 2와 같이 가정하였다. Lage 등[9]에 의해 소프트 에러율의 발생은 알파입자원의 유량밀도와 칩 면적 그리고 포집전하가 임계전하보다 클 확률로 간단히 표현되었는데, 이것을 단일 사건에 대한 미세 구조로 분해하여, 적분하면 ASER  $\epsilon$ 은 다음 적분식(8)과 같이 표현된다.

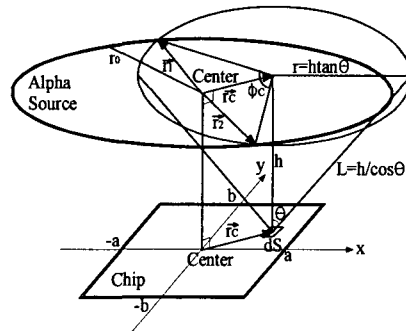


그림 2 ASER 측정 개략도

Fig. 2 Schematic diagram of ASER measurement

알파입자원 반지름  $r_0$ 와 변  $2a \times 2b$ 인 칩의 중심은 일치되고, 높이는  $h$ 이며,  $\vec{rc}$ 는 칩미소 면적  $dS$ 의 위치벡터이며, 알파입사각은  $\theta$ 이다.

$$\epsilon = \int_{C_j} \int_S \frac{F}{4\pi L^2} P_1(Q > Q_C) dV_S dS_C \quad (8)$$

$$= \int_{C_j} \int_S \frac{F}{2\pi L^2} P_1(Q > Q_C) dS_S dS_C$$

여기에서  $C_j$ 는 칩 안에 있는 모든 메모리 셀의 집합,  $S$ 는 알파입자원,  $C$ 는 칩,  $dV$ 와  $dS$ 는 부피와 면의 미분,  $F_V$ 는 알파입자의 부피 유량밀도,  $F$ 는 면 유량밀도이다. 단일 사건에 대한 전하의 반전 확률은

$$P_1(Q > Q_C) = \begin{cases} 1 & (Q > Q_C) \\ 0 & (Q < Q_C) \end{cases} \quad \text{이다.} \quad (9)$$

이것을 치환적분법으로 입사각  $\theta$ 에 대해 나타내면,

$$\epsilon = \int_{C_j} \int_0^{\phi_c} \int_0^{\infty} \frac{F P_1(Q > Q_C)}{2\pi (h/\cos \theta)^2} r dr d\phi dS_C \quad (10)$$

$$= \int_{C_j} \int_0^{\phi_c} \int_0^{\pi/2} \frac{F P_1(Q > Q_C)}{2\pi (h/\cos \theta)^2} \left( \frac{h^2 \cos \theta}{\cos^2 \theta} d\theta \right) d\phi dS_C$$

$$= F \eta_C \int_{\Omega(\theta) > Q_C} \frac{\phi_C(\theta; x, y)}{2\pi} \sin\theta d\theta dS_C$$

$\eta_C$ 는 칩 면적에 대한 전체 셀 N접합의 면적비이다.

위 식에서 나온 각함수  $\phi_C(\theta, x, y)$ 는  $r_1, r_2$ 를 다음 연립방정식(11)의 두 해라고 할 때 식 (12)로 구해진다.

$$\left| \vec{r} \right| = r_o, \quad \left| \vec{r} - \vec{r}_c \right| = h \tan\theta \quad (11)$$

$$\frac{\phi_C}{2\pi} = \begin{cases} 1 & \left( \theta < \tan^{-1} \frac{r_o - r_c}{h} \equiv \theta_- \right) \\ 1 - \frac{1}{\pi} \cos^{-1} \frac{\vec{r}_1 \cdot \vec{r}_c}{r_o r_c} & \left( \theta_- \leq \theta \leq \theta_+ \right) \\ 0 & \left( \theta > \tan^{-1} \frac{r_o + r_c}{h} \equiv \theta_+ \right) \end{cases} \quad (12)$$

위 식(10)을 간단히 하기 위하여 총 포집전하 Q에 대하여 고찰하여 보면, 다음 그림 3과 같은 형태를 갖게 되는데,  $Q_C$ 는 정적 RAM의 경우 다음 식(13)과 같이 표현된다.

$$Q_C = V_{CC} C_N \quad (13)$$

여기에서,  $V_{CC}$ 는 전원전압,  $C_N$ 은 Node Capacitance이다. 이를 이용하여 식(10)을 간단히 해 소프트 에러율에 대한 적분 Model을 얻을 수 있었다.

$$\epsilon = F \eta_C \int_C \left[ \max \left( \int_{\theta_1}^{\theta_2} \sin\theta d\theta, 0 \right) + \int_{\max(\theta_-, \theta_1)}^{\min(\theta_+, \theta_2)} \left( 1 - \frac{1}{\pi} \cos^{-1} \frac{\vec{r}_1 \cdot \vec{r}_c}{r_o r_c} \right) \sin\theta d\theta \right] dS_C \quad (14)$$

여기에서,  $\theta_1, \theta_2$ 는  $Q_C$ 와 Q가 같게 되는 입사각 중 최저와 최고치로  $0 \leq \theta_1 \leq \theta_2 < 90^\circ$ 의 범위에 있다. 게이트 및 접합 정전용량은 공정 측정 패턴을 통하여 얻었으며 상호 연결 정전용량은 3차원 상호연결 시뮬레이터인 Maxwell을 사용하여 시뮬레이션 하였다. 그림 3은 N접합에서의 포집 전하(Q) 그래프를 Funneling 전하  $Q_F$ , 확산전하  $Q_D$ 에 대해 나타내었다.

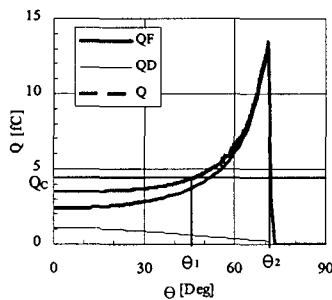


그림 3 N접합 포집전하 그래프  
Fig. 3 Collected charges at the N+ junction

$Q_F$ 는 Funneling 전하,  $Q_D$ 는 확산전하이며 입사각의 합수이다. 여기에서  $W=0.1\mu m, \mu_N/\mu_P=1200/600cm^2/Vs, t=8\mu m, z_j=0.2\mu m, \rho_j=0.1\mu m, R_E=22.8\mu m, \eta_i=0.85, C_N=2.65fF, V_{CC}=1.7V$ 이다.  $\theta_1=45.5^\circ, \theta_2=71^\circ$ 이다.

#### 4. 실험

동작 전압  $V_{CC}$ 에 대한 의존성을 알아보기 위하여 실험한 결과 및 계산 결과를 그림 4에 나타내었다. 실험결과와 계산결과가 잘 일치되고 있음을 보이고 있다.  $V_{CC}$ 가 낮은 경우, 실제의 메모리는 동작자체가 안되어 측정을 할 수 없었으며, 계산한 결과는 임계전하가 작아지기 때문에 접합에 입사된 모든 알파입자에 대해 ASER이 유발되므로 알파입자의 유량밀도에 비례하는 ASER이 일정하게 유발되는 것으로 사료된다. 전압이 증가되어짐에 따라 소프트 에러는 지수 함수적으로 감소되어지며, 또한 전압이 3V 이상에서는 모든 접합에서의 임계전하가 매우 커지므로 ASER은 0으로 근접함을 보이고 있다.

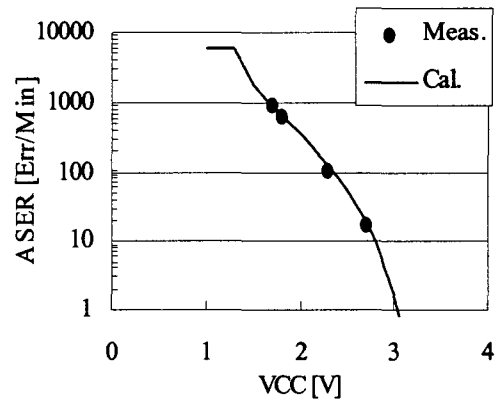


그림 4  $V_{CC}$ 에 따른 ASER  
Fig. 4 ASER according to  $V_{CC}$

여기에서 변수는  $r_0=5.5mm, h=4.2mm$ , 셀 개수 : 8M, BNW 깊이= $1.0\mu m, W=0.1\mu m, \mu_N/\mu_P=1200/600cm^2/Vs, t=8\mu m, z_j=0.2\mu m, \rho_j=0.1\mu m, R_E=22.8\mu m(E=4.9MeV), \eta_i=0.85, C_N=2.65fF, F=1.3 \times 10^5$ 알파/cm<sup>2</sup>/분,  $\eta_C=0.00237$ 이다.

그림 5에는 보호막의 두께에 따른 소프트 에러율의 변화를 알아보았다. Polyimide 층의 두께를 여러 가지로 변화시킨 웨이퍼를 만들어 동작전압 1.7V에서 측정하고, 또한 본 논문의 모델에 의해 계산을 하여 나타내었다. 실험결과와 계산이 잘 일치함을 볼 수 있다. 소프트 에러는 보호막의 두께가  $6\mu m$  정도까지는 별로 변화가 없다가,  $16\mu m$ 까지 두께가 증가함에 따라 ASER은 감소하지 않고 급격히 증가함을 알 수 있다. 그리고 소프트 에러는  $16\mu m$  두께 이상에서 감소하기 시작하며,  $26\mu m$  이상의 보호막 두께에서는 소프트 에러가 발생되지 않음을 알 수 있다.

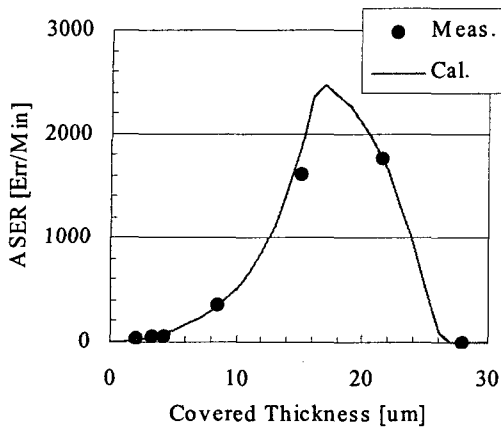


그림 5 보호막의 두께에 따른 ASER  
Fig. 5 ASER according to polyimide coated thickness

그림 6에는 Buried NWell의 형성 깊이에 따른 ASER값을 계산하였다. BNW의 형성은 PWell과 기판과의 접합 장벽층을 형성하여 알파입자에 의해 형성된 전자-정공쌍을 BNW쪽의 Vcc Pick-up쪽으로 빠지게 하여, 데이터를 유지 시킴으로써 소프트 에러를 줄일 수 있게 한다. BNW의 깊이가 깊어짐에 따라 소프트 에러율은 증가되어지며, 약 4 μm 깊이 이후부터는 소프트 에러가 크게 증가되지 않고, 450 Error 정도의 값을 유지하였다. 본 실험에서 적용되었던 BNW 깊이 1μm에서는 약 300 Error값을 나타내었다.

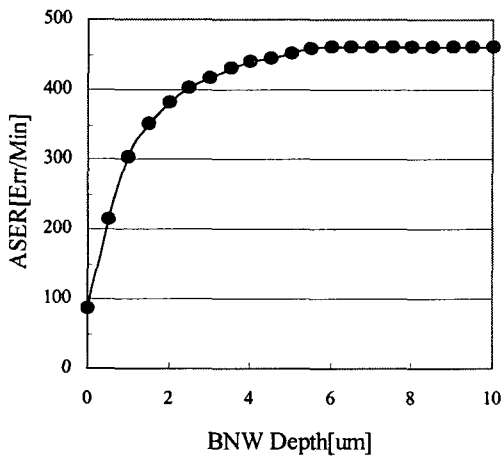


그림 6 Buried NWell의 형성 깊이에 따른 ASER  
Fig. 6 ASER according to buried NWell depth

그림 7에는 노드의 정전용량에 따른 ASER을 나타내었다. 셀 노드 정전용량이 2fF에서 5fF으로 증가함에 따라 ASER은 지수 함수적으로 감소하였다. 노드 정전용량의 증가는 셀 노드의 데이터 보존 능력을 향상시키고 알파 소스에 의한 데이터 노드 전하의 분포 및 노드 전압을 변동시키지 못하게 함을 알 수 있다. 노드 정전용량 3.5fF 이상에서 20 Error의 낮은 소프트 에러율을 확보할 수 있었다.

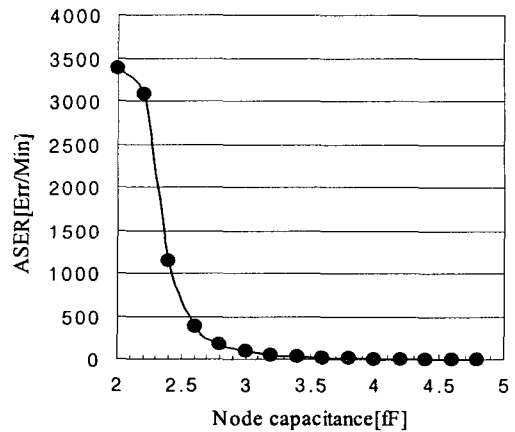


그림 7 노드 정전용량에 따른 ASER  
Fig. 7 ASER according to node capacitance

#### 4. 결 론

본 논문에서는 ASER에 대한 물리적이고 구조적인 해석적 적분 Model을 제시하였다. 제시한 모델은 제조된 SRAM의 전원전압 및 보호막 층의 두께에 대해 검증되었으며 계산한 값과 실제 제품의 측정값을 비교하여, 매우 잘 일치함을 알 수 있었다. 그리고 소프트 에러의 발생은 알파입자의 보호막 층에서의 에너지 흡수와 접합에서의 EHP 생성에 의해 발생 되어지는 것으로 설명할 수 있었다.

소프트 에러는 동작 전압이 1V에서 3V로 증가되어짐에 따라 지수 함수적으로 감소하였으며, 반도체 칩의 맨 마지막 공정에 사용 되어지는 보호막의 두께가 16μm 이하에서는 두께가 증가함에 따라 ASER은 증가하였고, 그 이상에서는 감소하며, 26μm 이상에서 소프트 에러가 발생되어지지 않음을 알 수 있었다. Buried NWell 깊이에 따른 ASER값은 깊이가 깊어짐에 따라 소프트 에러는 증가되어지며, 약 4μm 깊이 이후부터는 소프트 에러가 크게 증가되지 않고, 450 Error 정도를 유지하였다. 또한 셀 노드 정전용량이 증가함에 따라 ASER은 지수 함수적으로 감소하였으며 3.5fF이상에서 20 Error의 낮은 소프트 에러율을 나타내었다.

#### 참 고 문 헌

- [1] T. C. May and M. H. Woods, IEEE Trans. Electron Devices, Vol. ED-26, PP. 2-9, Jan. 1979.
- [2] D. S. Yaney, J. T. Nelson, and L. L. Vanskike, IEEE Trans. Electron Devices, Vol. ED-26, No.1, PP. 10-16, Jan. 1979.
- [3] P. M. Carter and B. R. Wilkins, IEEE J. Solid-State Circuits, Vol. SC-22, No. 3, PP. 430-436, Jun. 1987.
- [4] E. Takeda, K. Takeuchi, D. Hisamoto, T. Toyabe, K. Oshima, and K. Itoh, IEEE Trans. Electron Devices, Vol. 36, Nov. 11, PP. 2567-2575, Nov. 1989.

[5] S. Satoh, R. Sudo, H. Tashiro, N. Higakix, and N. Nakayama, IRPS, PP. 339-343, 1994.  
 [6] P. E. Dodd and F. W. Sexton, IEEE Trans. Nuclear Science, Vol. 12, No. 6, PP. 1764-1771, Dec. 1995.  
 [7] C. Hu, IEEE Electron Device Letters, EDL-3, No. 2, PP. 31-34, Feb. 1982.  
 [8] S. Kirkpatrick, IEEE Trans. Electron Devices, Vol. ED-26, No. 11, PP. 1742-1753, Nov. 1979.  
 [9] C. Lage, D. Burnett, T. McNelly, K. Baker, A. Bormann, D. Dreier and V. Soorholtz, IEDM Tech, Dig., PP. 821-824, 1993.

저 자 소 개



**김도우 (金度宇)**

1968년 11월 28일생. 1991년 충남대 물리학과 졸업. 1993년 동 대학원 전자공학과 졸업(석사). 1994년-2004년 하이닉스(주) 선임 연구원. 2004년 동 대학원 전자공학과 박사 수료. 2004년-현재 한국폴리텍여자대학 디지털 디자인과 전임강사  
 Tel : 031-650-7244  
 Fax : 031-650-7244  
 E-mail : dwkim@ans.ac.kr



**왕진석 (王鎭錫)**

1945년 6월 23일생. 1971년 연세대 전기공학과 졸업. 1981년 동 대학원 전기공학과 졸업(공학). 1982년-1983년 펜실베니아 주립대 Post-Doc. 1975년-현재 충남대학교 전자공학과 교수  
 Tel : 042-821-5664  
 Fax : 042-823-9544  
 E-mail : jswang@cnu.ac.kr



**공명국 (孔明國)**

1963년 11월 1일생. 1986년 서울대 전자공학과 졸업. 1988년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1993년 동 대학원 전기 및 전자공학과 졸업(공학). 1993년-1995년 삼미기술산업(주). 1995년-2003년 하이닉스(주) 수석연구원. 2003년-현재 (주) 옵토웨이 연구소장  
 Tel : 042-931-9114  
 Fax : 042-931-0980  
 E-mail : myeongkook.gong@optoway.com