

AC-PDP의 유지방전 전극사이의 간격과 어드레스 방전 특성과의 상관성 분석

論 文

55C-5-3

The Analysis of the Correlation between the Sustain-Electrode Gap of an AC-PDP and Address Discharge Characteristics

金 庸 得[†] · 李 漢 準^{*} · 崔 洙 森^{*} · 朴 世 光^{**}
(Yongduk Kim · Youngjun Lee · Susam Choi · Sekwang Park)

Abstract - To drive the high-image quality plasma displays of XGA and/or full-HD, we must effectively improve the driving waveform, which get the reset period for the stabilized control of wall charges, the address period to select discharge or non-discharge, and sustain period for luminance in 1 TV-frame, and also the display quality. To accomplish them, the development of the technology for the fast address discharge is required. In this paper, the correlation between the sustain-electrode gap and the address discharge characteristics for the high-speed addressing was analyzed using the measurements of dynamic voltage margins. Results showed that the narrower the gap between the sustain electrodes, the narrower the width of the scan pulse became and a dynamic margin of data voltage of 29.2 V was obtained at scan pulse width of 1.0 μ s and V_{ramp} of 240 V for driving 4-inch test penel, which the gap between sustain electrodes was 65 μ m.

Key Words : 플라즈마 디스플레이 패널, 어드레스 방전 특성, 유지방전 전극 간격, 고속 구동

1. 서 론

PDP는 방전에 의해서 휘도를 나타내는 자체 발광형 디스플레이 소자로, 최근 PDP 패널의 제작 기술 및 구동 기술의 향상으로 고해상도의 PDP가 생산되고 있다. PDP는 다른 디스플레이 소자에 비하여 제조상의 구조적인 제약을 적게 받기 때문에 대화면화, 박형, 경량, 광 시야각, 화면의 휘도 균일성이 우수하며 자계의 영향을 받지 않는다. 또한, PDP는 휘도와 명암비가 낮고 에너지 변환효율이 낮아 소비전력이 높은 단점이 있었으나, 최근의 기술개발로 많은 개선이 있었다.

디지털 방송시대의 도래로 10비트 이상의 영상정보처리가 필요한 디지털 TV를 위해, 최근 관련 기술의 개발로 고화질, 고정세 셀을 적용한 대화면 PDP가 개발되었다. 그러나 PDP 구동상의 문제인 동화위 윤곽 개선, 저계조 표현력 개선, 저가를 위한 싱글 스캔 구동 방법 등이 절실히 요구되고 있다. 이러한 문제는 어드레스 방전 특성을 개선하기 위한 패널의 구조 개선과 고속 구동 파형 개발로 서브필드의 개수를 증가시켜 개선할 수 있다[1].

PDP의 고속 구동을 위한 방법은 2가지의 측면에서 접근할 수 있다. 하나는 어드레스 방전의 방전 지연 시간을 감소시킬 수 있는 구동 방법의 개발과 다른 하나는 패널의 구조의 개선이다. 전자의 경우에는 각 서브필드의 리셋 파형을 개선하여 하전입자에 의한 방전 시간 지연을 개선할 수 있는 방법에 대하여

많은 연구가 있으며, 후자의 경우에는 어드레스 방전을 개선할 수 있는 방향으로 셀 구조의 사양을 최적화하는 것이다. AC-PDP의 구조 사양 중에서 방전 특성에 영향을 주는 항목은 전·후면 유전체의 두께, 유지방전 전극의 폭과 간격, 격벽 높이, 어드레스 전극 폭, MgO 보호막의 물성과 방전 가스의 조성 및 압력 등이다. 이 중에서 패널의 방전의 특성에 큰 영향을 주는 인자는 방전 가스의 성분과 전면 기관의 유지방전 전극상에 존재하는 MgO 보호막이다. 방전 가스는 보다 낮은 방전 개시전압으로 안정적인 방전을 유도하며 물리화학적 반응을 억제하기 위하여 2개 이상의 불활성 기체를 사용하고 있다. 보호막은 전면 유전체가 방전으로부터 발생한 하전입자에 의한 스캐터링(scattering)에 의한 손상을 방지하는 기계적인 역할외에도 양성자 또는 준안정상태의 원자의 충돌에 의한 2차 전자 방출로 방전을 가속시키기 위하여 2차 전자 계수가 높은 물질인 MgO를 많이 사용하고 있다. 이 또한 방전 개시전압을 감소시키는 중요한 인자이다.

특히, 고속 구동을 위해서는 어드레스 방전에서 방전 시간 지연이 작아야 하며, 낮은 데이터 전압(V_{data})에서 방전을 유도할 수 있어야 한다. 언급한 각 구조 요소들은 다른 제조 공정 및 구동상의 문제로 제한을 받는 경우가 있다. 이 논문에서는 스트라이프형(stripe-type) AC-PDP에서 전극 간격을 65 μ m에서 180 μ m까지 가변시켰을 때, 정특성의 분석은 3전극 구조의 방전 특성 분석에 사용하고 있는 V_t 폐곡선을 측정하여 방전 개시전압을 비교하였으며, 램프-리셋 구동파형을 이용하여 구동마진을 측정함으로써 어드레스 방전 특성에 미치는 영향을 비교 분석하였다.

[†] 교신저자, 正 會 員 : 慶北大學 電氣工學科 博士課程
E-mail : ydkim011@korea.com

^{*} 非 會 員 : 오리온퍼디피(株) PDP 研究所

^{**} 正 會 員 : 慶北大學 電氣工學科 正教授 · 工博

接受日字 : 2005年 12月 12日

最終完了 : 2006年 3月 16日

2. 패널의 구동 및 방전 특성 분석 방법

2.1 패널의 구조

패널의 어드레스 방전 특성을 비교 분석하기 위한 실험을 위해 사용한 패널은 스트라이프형 구조의 AC-PDP로, 그림 1과 같은 구조이다. 전판에는 2개의 방전 유지 전극인 X 전극과 Y 전극이 있으며, 그 위에 유전체층과 MgO 보호층이 있다. 후판에는 어드레스(A) 전극과 유전체 전극 상에 격벽을 형성하고 있으며 3색 형광체를 각 격벽 사이에 도포한 구조이다. 패널은 전면 유전체 두께는 30 μm , 격벽 높이 140 μm , 유지방전 전극의 ITO 전극 폭 320 μm , 어드레스 전극 폭 180 μm 이며, 발광을 위해서 사용한 방전가스는 He(69%)-Ne(27%)-Xe(4%)를 혼합한 것이다. 비교 분석을 위해서 사용한 유지방전 전극의 간격은 65, 90, 120, 150, 180 μm 로, 총 5종의 시험용 패널을 제작하였다.

유지방전 전극은 어드레스 방전에서 A-Y 전극간의 트리거 방전과 X-Y 전극간의 주 방전을 유도하며, 연속적인 서스테인 방전에 주도적 역할을 하는 전극이다. 어드레스 방전은 각각의 주사 전극과 각 셀이 교차하는 A 전극에 데이터 전압을 인가하여 구현하였다. 4인치인 시험용 패널에서 스캔 전극의 수는 40개이다.

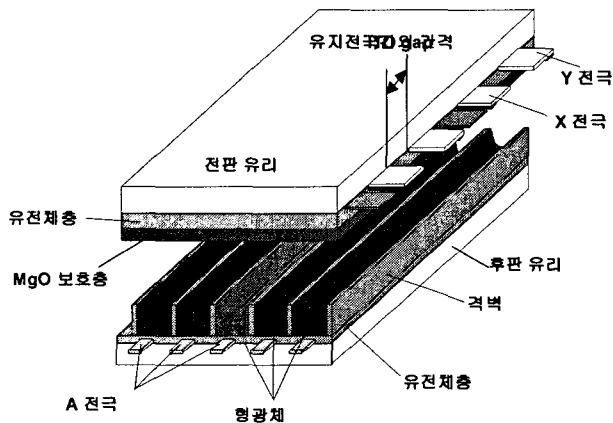


그림 1 스트라이프형 AC-PDP의 구조
Fig. 1 Structure of stripe-type AC-PDP

2.2 분석에 사용한 구동파형

전면 전극의 어드레스 방전 특성을 분석하기 위하여 사용한 구동파형은 그림 2와 같은 램프-리셋 구동파형이다. 램프-리셋 구동파형은 벽전하의 안정적 구동이 가능하기 때문에 대부분의 업체에서 이러한 파형을 변형하여 사용하고 있다. 구동파형은 벽전하를 균일하게 형성하기 위한 리셋 구간, 방전 셀과 비방전 셀을 구분하기 위한 어드레스 구간 및 유지방전을 위한 서스테인 구간으로 나누어져 있으며, 3 전극인 X, Y 및 A 전극에 각각 인가된다. 각 전극에 인가한 구동파형의 전압인 V_{ramp} , V_{ylevel} , V_{sus} , V_{xr} , V_{xl} 은 각각 230, 70, 170, 165, 170 V이며, V_{data} 전압은 V_{ramp} 전압에 따른 구동마진을 측정하기 위하여 가변하였다. 전압의 크기는 5종류의 패널이 갖는 전기적 특성을 고려하였다.

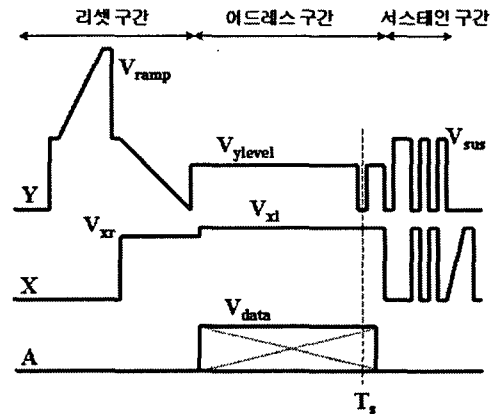


그림 2 인가한 구동파형
Fig. 2 Applied driving waveform

2.3 어드레스 방전 특성 분석 방법

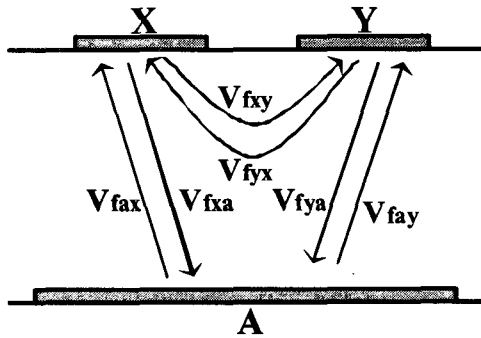
2.3.1 정특성 분석

PDP 셀의 전극은 3개(X, Y, A)로 구성되어 있기 때문에 3 전극 구조라고 한다. 3 전극으로 구성된 셀의 방전은 각 전극에 인가한 전압의 상호작용에 의하여 방전을 제어한다. 종래에는 X 전극과 Y 전극에 구형파 전압을 인가하여 서스테인 전압을 측정하는 방법으로 패널의 전기적 특성을 분석하였다. 이때의 정특성은 제 3의 전극인 A 전극의 영향을 고려하지 않았다. PDP와 같은 3 전극 구조의 방전에 있어서 전극간의 방전에 있어서 제 3의 전극에 인가된 전압의 영향을 무시할 수 없다. 따라서 3 전극 구조를 해석하기 위한 새로운 개념이 요구되었다. 이에 K. Sakita와 S. T. de Zwart 등은 3 전극 구조를 해석하기 위하여 V_t 폐곡선(V_t closed curve)을 제안하였다[2-3]. V_t 폐곡선은 3 전극간의 방전 특성을 분석하기 위한 유용한 도구로, 방전 개시전압 분석, 정특성 분석, 동특성 분석 및 구동 파형을 이해하기 위한 도구이다. 이 논문에서는 패널의 구조가 갖는 정특성 분석과 방전 개시전압 분석을 위하여 V_t 폐곡선을 측정하여 방전 개시전압을 서로 비교하였다.

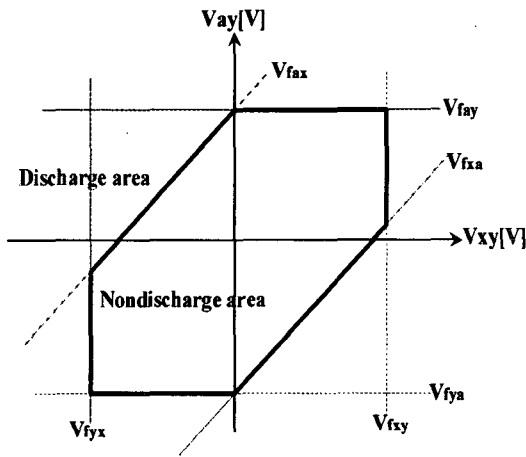
V_t 폐곡선은 3 전극 구조의 방전 셀의 방전 개시전압은 모두 6가지가 존재한다는 것에서 기인한다. X-Y, A-Y, A-X 전극 간에 일어나는 방전 개시전압은 정/역 전압이 인가됨에 따라 그림 3과 같이 V_{fxy} , V_{fya} , V_{fay} , V_{fxy} , V_{fya} , V_{fxa} 로 표현된다. V_t 폐곡선은 Y 전극을 기준으로 X 축은 X-Y 전극간의 전위차(V_{xy})를, Y 축은 A-Y 전극간의 전위차(V_{ay})를 나타내는 그림 3 (b)와 같은 평면상에 표현되며, 6가지의 방전 개시전압은 6각형의 폐곡선을 형성한다. 이 폐곡선을 V_t 폐곡선이라고 하며, 패널의 전기적 방전 특성 분석에 이용이 가능하다. 패널의 방전 여부는 각 전극 간에 가해지는 셀전압에 따라 결정되며, 폐곡선의 내부에 해당하는 셀전압이 인가되면 방전하지 않으며, 외부에 해당하는 셀전압이 인가되면 방전한다.

PDP는 셀 내부의 각 전극에 있는 유전체 상에 존재하는 벽전하를 제어하여 구동한다. 그림 3 (b)의 V_t 폐곡선은 벽전하가 존재하지 않거나 각 전극사이에 평형을 이루고 있는 경우이다. 셀 내부에 존재하는 벽전하는 벽전압(V_w)을 생성시키고, 이 벽전압과 인가전압(V_a)을 합한 셀전압(V_c)이 방전 개

시전압(V_f)보다 높은 경우 방전이 발생하며 낮은 경우에는 방전이 발생하지 않는다. 이를 식으로 표현하면 식 (1)과 같다.



(a) 3 전극 구조의 방전 개시전압
(a) Firing voltage of 3-electrode structure



(b) V_t 폐곡선
(b) V_t closed curve
그림 3 방전 개시전압과 V_t 폐곡선

Fig. 3 Firing voltage and V_t closed curve

$$V_c = V_a + V_w \geq V_f \text{ (방전 조건)} \quad \text{식 (1-1)}$$

$$V_c = V_a + V_w < V_f \text{ (비방전 조건)} \quad \text{식 (1-2)}$$

V_t 폐곡선의 경계는 방전 개시전압의 경계이기 때문에, 패널의 전기적 특성 평가를 위하여 V_t 폐곡선을 이용할 수 있다. 그러나 셀의 방전 공간 내부에 벽전하가 존재하면 외부의 인가전압만으로 방전 개시전압을 알 수 없기 때문에 V_t 폐곡선을 측정하기 전에 셀 내부의 벽전하를 제거하기 위한 자기 소거방전이 먼저 있어야 한다[4]. 이 논문에서는 자기 소거방전을 위하여 ± 200 V의 전압을 X 전극과 Y 전극 사이에 인가하는 방법을 사용하였다[4].

2.3.2 기본 램프-리셋 구동파형을 이용한 어드레스 방전 특성 분석

패널의 어드레스 방전 특성의 분석은 그림 2의 램프-리셋

구동파형에서, 전체 어드레스 구간의 시간은 동일하게 하고 스캔 펄스가 인가되는 T_s 시점에 폭이 $0.8 \mu s$ 에서 $2.0 \mu s$ 의 펄스를 인가하여 데이터 전압의 구동마진을 측정하여 비교하는 방법을 이용하였다. 평가용 패널의 크기가 4인치이기 때문에 T_s 시점은 중요한 측정요소가 된다[5]. 대형 패널의 경우에는 전 어드레스 구간에서 모두 스캔 펄스가 인가될 수 있으나, 스캔 전극의 개수가 40개인 4인치의 경우에는 첫 번째 스캔 펄스가 인가되는 시점이 중요하다. 그 이유는, 리셋이 완료된 이후에 패널의 셀 내부에는 리셋 구간에서 발생한 하전입자가 상당수 존재하며 이 하전입자들이 각 전극에 인가된 외부 전계에 의하여 각 전극 상에 쌓이는데 시간이 필요하다. 하전입자들이 존재하는 상태에서 일어나는 어드레스 방전은 인가한 전압이외에 하전입자의 영향을 받기 때문에 구조가 갖는 전기적 특성을 정확하게 분석할 수 없게 된다. 따라서 이와 같은 하전입자의 영향이 어드레스 방전에 미치지 않도록 하기 위하여 T_s 시점을 리셋 완료시점으로부터 $400 \mu s$ 이후로 고정하였다[5]. 어드레스 방전의 전기적 특성 평가는 V_{ramp} 전압과 V_{data} 전압 사이의 구동마진과 스캔 펄스 폭에 따른 구동마진을 비교 분석하는 방법을 사용하였다. 이것은 V_{ramp} 전압과 V_{data} 전압이 패널의 구조에 따른 어드레스 방전간의 전기적 특성을 잘 표현해 준다[4, 6].

3. 실험 및 고찰

PDP 패널의 유지방전 전극이 갖는 전기적 방전 특성은 정특성과 동특성을 측정하여 비교하였다. 실험은 V_t 폐곡선을 이용한 정특성 평가와 구동파형을 이용한 데이터 전압의 마진을 비교하여 분석하였다.

3.1 V_t 폐곡선을 이용한 정특성 분석

패널 전극의 구조적 방전 특성 비교를 위해 V_t 폐곡선을 이용하여 정특성 측정 결과를 비교하였다. 그림 4는 유지방전 전극의 간격이 다른 5종의 패널에 대하여 V_t 폐곡선을 측정한 결과이다.

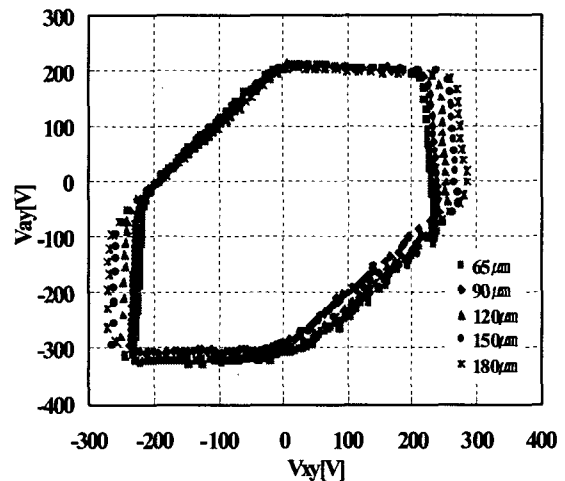
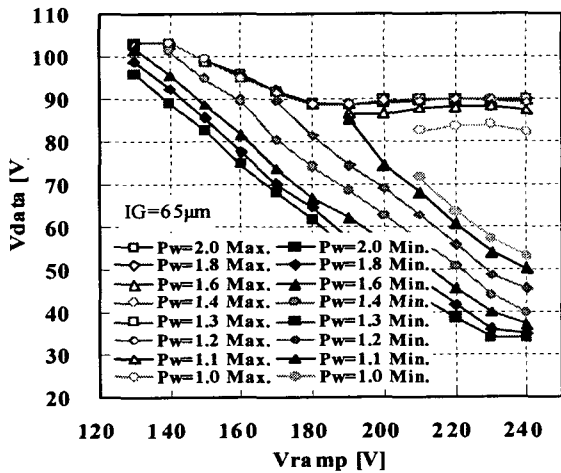


그림 4 방전 전극사이의 간격에 따른 V_t 폐곡선
Fig. 4 V_t closed curves as gap between sustain electrodes

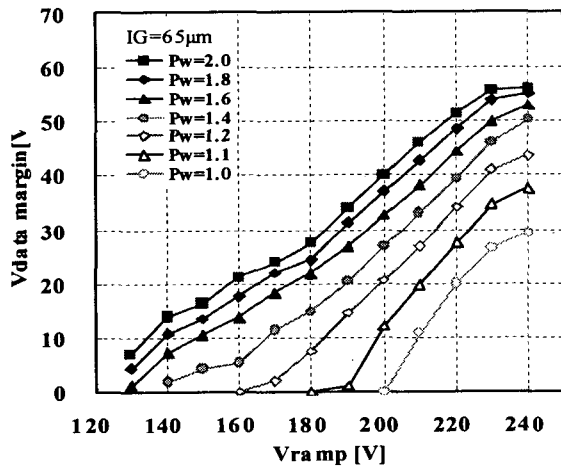
이 결과에 따르면, 대향방전 개시전압 V_{fo} 와 V_{fax} 는 약 205 V와 315 V로 나타났으며, 그 값은 5 종류의 패널에 대하여 비슷한 값을 나타내었다. 각 패널의 전극 폭과 대향 전극 간의 간격 또한 동일하기 때문에 대향방전 개시전압은 차이를 보이지 않았다. 그러나 면방전 개시전압 V_{fx} 와 V_{fbx} 는 유지방전 전극사이의 간격이 65, 90, 120, 150, 180 μm 로 증가함에 따라 각각 225, 230, 240, 260, 270 V로 증가하였다. 주어진 방전 전극 구조에서 전극간의 간격이 넓어짐에 따라 방전에 필요한 인가전압이 상승하였기 때문이다.

기본 램프-리셋 구동파형에서 낮은 데이터 전압으로 안정적인 어드레스 방전을 위해서는 면방전 개시전압과 대향방전 개시전압이 낮은 경우가 유리하다 [7]. 여기서, 유지방전 전극 사이의 간격이 넓은 경우에는, 그림 4와 같이 측정된 V_t 폐곡선으로부터 서스테인 전압뿐만 아니라, V_{ramp} 전압 또한 높게 설정하여야 한다는 것을 쉽게 예측이 가능하다 [4].

3.2 램프-리셋 구동파형을 이용한 동특성 분석

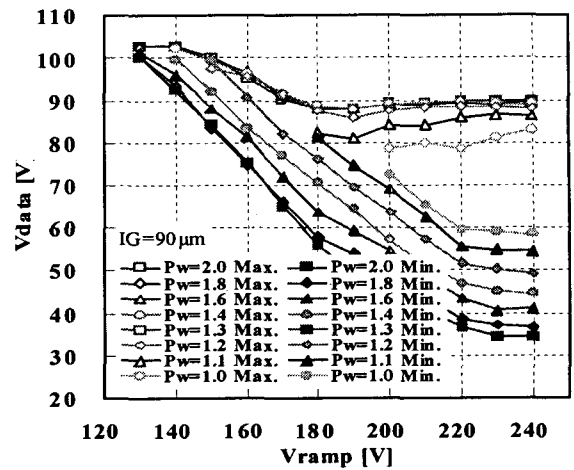


(a) V_{data} 전압의 최소값과 최대값
(a) Minimum and maximum V_{data}

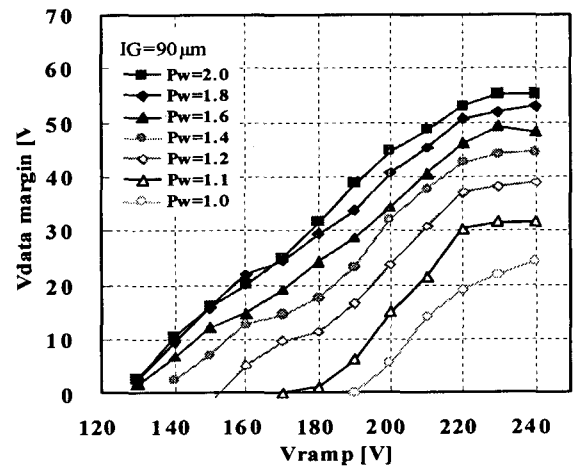


(b) V_{data} 전압의 구동마진
(b) Dynamic V_{data} margin

그림 5 유지 전극 간격이 65 μm 인 패널의 구동마진
Fig. 5 Dynamic voltage margin (electrode gap = 60 μm)

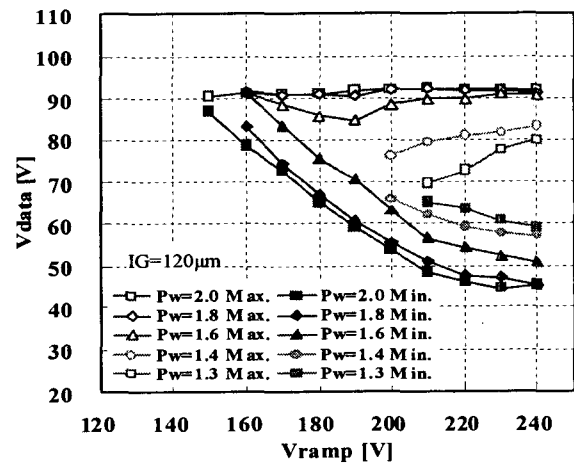


(a) V_{data} 전압의 최소값과 최대값
(a) Minimum and maximum V_{data}

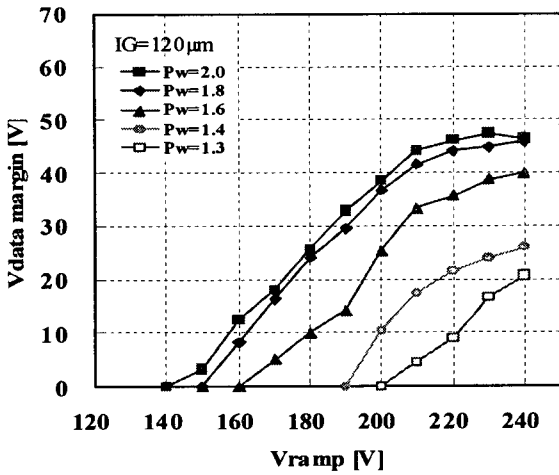


(b) V_{data} 전압의 구동마진
(b) Dynamic V_{data} margin

그림 6 유지 전극 간격이 90 μm 인 패널의 구동마진
Fig. 6 Dynamic voltage margin (electrode gap = 90 μm)



(a) V_{data} 전압의 최소값과 최대값
(a) Minimum and maximum V_{data}



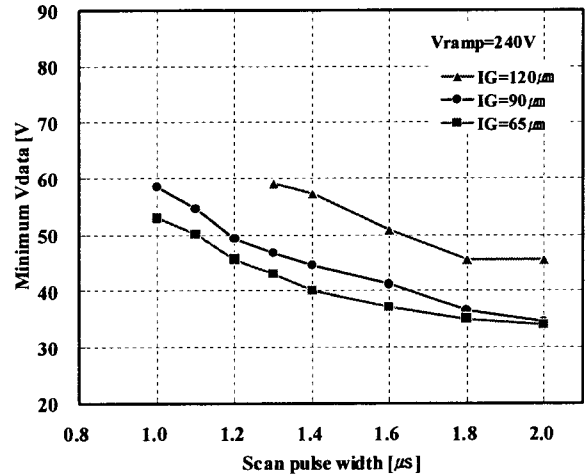
(b) V_{data} 전압의 구동마진
 (b) Dynamic V_{data} margin
 그림 7 유지 전극 간격이 120 μm 인 패널의 구동마진
 Fig. 7 Dynamic voltage margin (electrode gap = 120 μm)

유지방전 전극의 간격에 따른 어드레스 방전 특성을 분석하여 고속 구동을 위한 패널의 구조의 방향을 제시하기 위하여, 기본 램프-리셋 구동파형을 이용하여 스캔 펄스폭과 V_{ramp} 전압에 따른 V_{data} 전압의 구동마진을 제작한 5 종류의 패널에 대하여 측정하였다. 그러나 유지방전 전극이 150 μm 와 180 μm 인 패널은 서스테인 전압의 구동마진을 확보하지 못하였다. 유지방전 전극이 넓은 패널은 V_t 폐곡선을 이용한 정특성 분석 실험 결과에서도 언급하였듯이, 면방전 개시전압이 크게 상승하며, V_{bx} 의 면방전 개시전압이 상승함에 따라 벽전하의 리셋을 위하여 높은 V_{ramp} 전압이 요구된다. 또한 충분하지 못한 벽전하의 리셋은 어드레스 방전에 필요한 V_{data} 전압을 상승시켜, 패널 구동에 필요한 구동마진을 확보하지 못하였다. 그림 5와 6, 7은 이러한 이유로 유지방전 전극 간격 중에서 150 μm 와 180 μm 인 패널을 제외하고, 65, 90, 120 μm 인 패널에 대한 실험 결과이다.

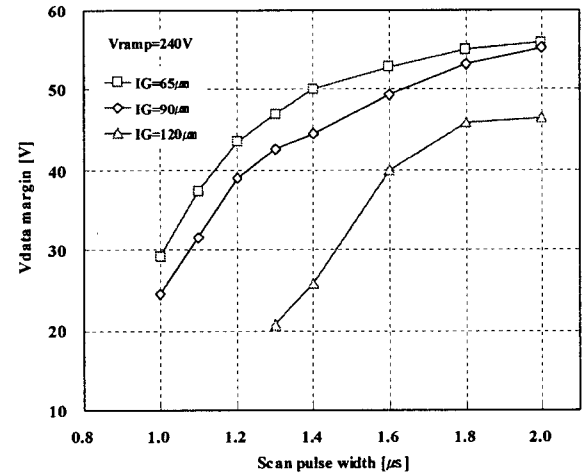
실험은 적색, 녹색, 청색과 백색에 대하여 V_{data} 전압의 최소값과 최대값을 측정하였다. 그림에 나타난 V_{data} 전압의 최소값과 측정된 최소값 중에서 가장 높은 값을 의미하고 최대값은 측정된 최대값 중에서 가장 낮은 값을 의미한다. 이 실험 결과를 보면 V_{ramp} 전압의 증가에 따라 V_{data} 전압의 최소값은 감소한 후 포화되었으며, 스캔 펄스폭이 감소함에 따라 V_{data} 전압의 최소값은 상승하고 최대값은 감소하였으며, 이에 따라 구동마진 또한 감소하였다. V_{ramp} 전압이 상승하면 리셋 구간에서 많은 벽전하를 형성할 수 있다[7]. 이때 형성된 벽전하는 어드레스 방전에서 낮은 인가전압으로도 충분히 강한 방전을 할 수 있기 때문에 필요한 V_{data} 전압이 감소한다. 그러나 V_{ramp} 전압이 크게 높은 경우에 V_{data} 전압이 포화되는 것은 리셋의 램프-다운 구간에서 벽전하를 다시 상쇄시킨다는 것을 의미한다.

그림 8은 240 V의 V_{ramp} 전압에서 유지방전 전극사이의 간격에 따라 V_{data} 전압의 최소값을 나타내었다. 이 결과에서 스캔 펄스폭이 2.0 μs 일 때, V_{data} 전압의 최소값은 유지방전 전극 간격이 65, 90, 120 μm 인 패널에 대하여 34.0, 34.3, 45.4

V로 지속적으로 증가하였으며, 구동마진은 55.8, 55.2, 46.4 V로 감소하였다. 스캔 펄스폭이 1.0 μs 인 경우에는 유지방전 전극 간격이 65 μm 와 90 μm 인 패널의 경우에 V_{data} 전압의 최소값은 53.0 V와 58.5 V이었으며, 구동마진은 29.2 V와 24.2 V를 나타내었으나, 120 μm 인 패널은 오방전 때문에 구동마진을 확보할 수 없었다. V_{data} 전압의 최소값이 낮은 경우에도 서스테인 방전을 유도할 수 있다는 것은 스캔 펄스의 폭을 감소시킨 고속 구동이 가능함을 의미한다. 따라서 실험한 범위 내에서 65 μm 인 경우가 고속 구동에 가장 좋다는 결론이 가능하다.



(a) V_{data} 전압의 최소값
 (a) Minimum V_{data}



(b) 구동마진
 (b) Dynamic V_{data} margin

그림 8 유지 전극 간격에 따른 V_{data} 전압의 구동마진
 Fig. 8 Dynamic V_{data} margin as gap between sustain electrodes

4. 결 론

스트라이프형 AC-PDP의 유지방전 전극사이의 간격이 고속 구동에 미치는 영향을 실험하기 위하여 기본 램프-리셋

구동파형을 이용한 어드레스 방전 특성을 분석하였다. 실험에 사용한 유지방전 전극사이의 간격은 65, 90, 120, 150, 180 μm 이었다. V_t 폐곡선을 이용하여 패널의 방전 개시전압을 측정하여 유지방전 전극과 방전 개시전압간의 상관성을 분석하였다. 구동마진의 실험에서 리셋 방전에 의한 하전입자의 영향과 구동파형의 인가전압에 의한 영향을 제거하기 위하여 5 종류의 패널에 대하여 실험을 통한 최적화를 하였으며, 스캔 펄스를 인가하는 시점을 리셋 완료시점으로부터 400 μs 의 시간이 지난 후에 인가하여 유지 방전 전극사이의 간격이외의 외부적인 영향을 최소화하였다. 어드레스 방전 특성 분석을 위해 스캔 펄스폭과 V_{ramp} 전압의 크기에 따른 데이터 전압의 구동마진을 측정하였다.

이 결과, V_{ramp} 전압이 높을수록 V_{data} 전압의 최소값은 감소하였으며, 구동마진은 넓어졌다. 특히, 이 실험에서 유지방전 전극사이의 간격이 65 μm 인 패널의 경우에 스캔 펄스폭 1.0 μs 에서 V_{data} 전압의 최소값은 53.0 V이었으며, 구동마진은 29.2 V이었다. 이 결과로부터 실험한 범위 내에서 유지방전 전극사이의 간격이 좁을수록 고속 구동이 가능하였다.

참 고 문 헌

- [1] M. Kasahara, M. Ishikawa, T. Morita and S. Inohara, "New drive system for PDPs with improved image quality: plasma AI", SID 1999 International Symposium, pp. 158-161, 1999. 5.
- [2] K. Sakita, K. Takayama, K. Awamoto and Y. Hashimoto, "Analysis of cell operation at address period using wall voltage transfer function in three-electrode surface-discharge AC-PDPs", Proc. of IDW01, pp. 841-844, 2001. 12.
- [3] S. T. de Zwart and B. Salters, "Wall voltage fingerprint method in a three-electrode PDP Cell", Proc. of IDW01, pp. 845-848, 2001. 12.
- [4] Yongduk Kim and Sekwang Park, "Analysis of influence of address electrode width on address discharge characteristics using threshold voltage closed curve", Jpn. J. Appl. Phys., Vol. 44, No 9A, pp. 6752-6758, 2005. 9.
- [5] S. K. Lee, W. J. Kim, Y. J. Lee, Y. D. Kim, M. S. Kim, S. J. Moon, Y. H. Kwon, S. J. Yoo and J. D. Kim, "Analysis of priming effect using V_t close curve", Proc. of IDW02, pp.709-712. 2002. 12.
- [6] Yongduk Kim and Sekwang Park, "Analysis of the influence of the address electrode width on high-speed addressing using the V_t close curve and dynamic V_{data} margin", KIEE International Transactions on EA, Vol. 5-C, No. 5, pp. 183-190, 2005. 10.
- [7] Y. D. Kim, W. J. Kim, Y. J. Lee, S. K. Lee, M. S. Kim, S. J. Moon, Y. H. Kwon, S. J. Yoo and J. D. Kim, "The relation between opposed firing and ramp reset voltage in AC-PDP driving waveform", Proc. of IDW02, pp. 717-720, 2002. 12.

저 자 소 개



김 용 득 (金 庸 得)

1971년 8월 10일생. 1995년 경북대 전기공학과 졸업. 1997년~현재 동대학원 전기공학과 박사과정. 2002년~현재 오리온피디피(주) 연구소

Tel : 054-467-5988

Fax : 054-461-4412

E-mail : ydkim011@korea.com



이 영 준 (李 漢 準)

1974년 6월 13일생. 2001년 금오공대 전자공학과 졸업. 2001년~현재 오리온피디피(주) 연구소

Tel : 054-467-5988

Fax : 054-461-4412

E-mail : limitz74@hanmail.net



최 수 삼 (崔 洙 森)

1976년 8월 2일생. 2003년 한양대 재료공학과 졸업. 2003년~현재 오리온피디피(주) 연구소

Tel : 054-467-5988

Fax : 054-461-4412

E-mail : scules@hanmail.net



박 세 광 (朴 世 光)

1954년 10월 25일생. 1975년 서울대 전기공학과 졸업. 1988년 미국 Case Western 대 전기공학과 졸업(공학). 1988년-1989년 L. VAD Technology사의 프로젝트 리더. 1989년~현재 경북대 전기공학과 정교수

Tel : 053-950-5606

Fax : 053-950-6600

E-mail : skpark@knu.ac.kr