

FIB를 이용한 CoNi 복합실리사이드 나노배선의 패터닝공과 형상 분석

송오성^{1*}, 김상엽¹, 윤기정¹

Patterning and Characterization of Co/Ni Composite Silicide using FIB

Oh-Sung Song^{1*}, Sang-Yeob Kim¹ and Yoon-Ki Jung¹

요 약 기관전면에 패턴 없이 15 nm Co / 15 nm Ni / 70 nm polysilicon / 200 nm SiO₂ / Si(100) 구조로 적층된 구조로부터 급속열처리기 (rapid thermal annealer : RTA)를 이용하여 40초간 700, 900, 1000 °C의 실리사이드화 온도를 변화시키면서 CoNi 복합실리사이드를 형성하였다. 완성된 두께 100 nm 정도의 CoNi 복합실리사이드층으로 배선층을 만든다고 상정하여, 이중 집속이온빔(dual beam focused ion beam : FIB)을 써서 30 kV에서 표면전류를 1~100 pA 범위에서 조절하면서 나노급 선평제작의 가능성을 확인하였다. 각 온도별 복합실리사이드에 동일한 이온빔 조건으로 100 μm 길이의 패턴을 만들고, 이온빔으로 양 끝단에 트렌치를 만들어 FE-SEM으로 각 조건에서의 선평, 두께, 최종에칭형상을 확인하였다. 기존 형상변형이 많아서 나노급 선평 구현이 불리한 폴리사이드 공정에 비해서, 최초로 새로운 저저항 복합실리사이드에 대해서 100 nm 이하의 나노급 피치를 가진 선평 제작이 30 kV ~ 30 pA 범위에서 가능하였다.

Abstract We prepared 100 nm-thick CoNi composite silicide on a 70 nm-thick polysilicon substrate. Composite silicide layers were formed by rapid thermal annealing(RTA) at the temperatures of 700°C, 900°C, 1000°C for 40 seconds. A Focused ion beam (FIB) was used to make nano-patterns with the operation range of 30 kV and 1~100 pA. We investigated the change of thickness, line width, and the slope angle of the silicide patterns by FIB. More easily made with the FIB process than with the conventional polycide process. We successfully fabricated sub-100nm etched patterns with FIB condition of 30kV-30pA. Our result implies that we may integrate nano patterns with our newly proposed CoNi composite silicides.

Key words : FIB, composite silicide, interconnect, polycide, silicide, cobalt, nickel

1. 서론

소자의 집적도가 증가함에 따라 RC delay에 의한 스피드 절감을 방지하기 위한 여러 가지 방안의 하나로 게이트나 기존 폴리실리콘 배선재료를 저저항 금속이나 실리사이드로 대체하려는 연구가 활발하다.[1]

금속은 저저항적인 특성면에서는 우수하나 아직 알루미늄을 제외하고는 나노급 미세 건식식각법이 개발되지

못한 상황이므로 단기적인 방법으로 fully silicide gate와 [2] 같은 실리사이드층을 활용한 소자와 e-Fuse[3-4]와 같이 실리사이드의 상변화를 이용한 방안 등 폴리실리콘보다 비저항이 1/3정도 수준인 실리사이드를 활용한 배선층이 유리하다.

그러나 실리사이드 자체의 나노급 건식식각법의 개발이 미흡한 수준이므로 현재의 단기적인 개발 방안은 기존 살리사이드공정을 응용하여 폴리실리콘을 증착시켜 먼저 미세가공을 진행한 후에 살리사이드(self-aligned silicide : salicide)공정을 거쳐서 미세화 하려는 공정개발이 진행되고 있다.

저저항 금속을 대체하여 실리사이드가 저저항 배선재

이 논문은 한국과학재단의 특정기초연구사업
(과제번호R01-2004-000-10028-0)지원으로 수행되었음.

¹서울시립대학교 신소재공학과

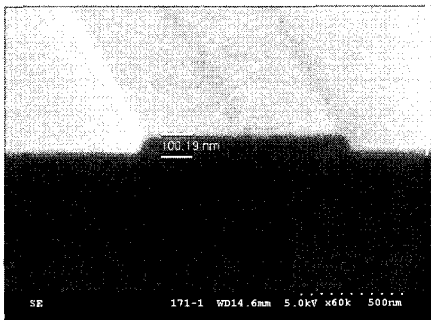
*교신저자: 송오성(songos@uos.ac.kr)

료로 유망한 이유는 화학적으로 정량적인 조성을 가져서 세라믹과 같이 안정하며 확산방지층(diffusion barrier)으로 쓰일 만큼 소자 내부에서 고온 온도범위에서도 안정적이고, 기존의 CMOS공정에서 게이트와 contact공정에 관련하여 미세식각을 위한 공정개발이 확보되어 있는 점과 하부층의 실리콘과 비슷한 결정 구조를 가져서 안정적인 적층구조를 유지할 수 있는 점 등이 있다.

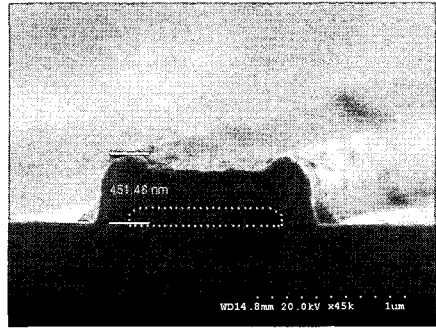
한편 저저항 배선층을 만들기 위한 실리사이드는 현재도 CMOS공정에 채택되고 있는 $TiSi_2$, $CoSi_2$, $NiSi$ 등이 이미 개발되어 있다. 그러나 $TiSi_2$ 의 경우는 선편 의존성이 있어서 0.25 μm 급 선편 이하에서 고저항을 보이는 문제점과, [5] $CoSi_2$ 는 800°C 이상에서 응집현상을 보이는 점 [6] 이 기술적 문제로 등장하고 있다. 한편 모노실리사이드로서 나노급 두께의 실리사이드를 형성하기 용이한 $NiSi$ 도 700°C 이상에서 고저항 $NiSi_2$ 로 상변화하는 등 기존의 단상 실리사이드들은 균일한 나노급 두께로 형성되고 후속 고온 열처리 공정에도 안정한 저저항 특성을 보이는데 여러 가지 문제점을 보여왔다. [7]

이러한 기존의 단상 실리사이드를 개선하기 위해서 두 가지 이상의 금속을 적층하거나 합금시켜 증착하고 실리사이드화 하는 복합실리사이드가 개발되었다. Kim 등 [8]도 적층형 CoTi 금속으로부터 CoTiSi 3상 실리사이드의 형성을 확인하였고, Jung 등은 [9] 적층형 합금형 CoNi로부터 CoNiSi 실리사이드를 만들어 1000°C 이상의 실리사이드 열처리에서도 안정적인 저온 실리사이드가 형성됨을 보고하였다.

최근에 Kim 등 [10]은 나노급 배선층을 상정하여 스페이서를 가진 70 nm poly silicon 위에 20 nm Co / 20 nm Ni 층을 성막하고 700°C ~ 1000°C RTA 처리를 하여 저저항 배선층을 제작하게 하였으나 그림 1과 같이 스페이서를 감싸는 2.5배 정도의 응집현상이 발생하여 저저항 나노급 저항재료를 제작하는데 어려움이 있음을 보고하였다.



(a)



(b)

그림 1. 주사전자현미경사진 (a) 열처리전, (b) 열처리 후, from 15 nm Co/15 nm Ni/70 nm Poly silicon structure (RTA 900°C for 30sec)

비슷한 접근방법으로서 기존의 포토레지스트를 하여 패턴을 만들고 건식식각하는 방안은 실리사이드와 하부층의 선편비 높은 건식식각 공정이 개발되지 못하여 나노급 선편의 제작이 불투명한 상태이다.

따라서 목적하는 저저항 나노급 선편의 실리사이드 배선을 제작하기 위해서는 실리사이드화 처리시에 필연적으로 발생하는 부피팽창을 고려해야하는 폴리사이드 방안보다는 이미 완성된 실리사이드를 정밀하게 제어하여 미세패턴을 형성하는 것이 유리할 수 있다.

산업적인 면에서 저저항 물성을 가진 반도체용 신소재를 개발하고, 개발된 소재에 맞는 나노급 미세패턴을 구현하는 공정개발이 가능하면, 기존 소자보다 속도와 집적도가 향상된 더욱 우수한 반도체 소자의 개발에 큰 도움이 될 수 있다.

따라서 본 연구에서는 이미 다른 RTA조건으로 기판 전면에 폴리실리콘으로부터 만들어진 CoNi 복합실리사이드를 대상으로 이중집속이온빔을 써서 나노급 선편을 가진 전기저항을 측정할 수 있는 패턴의 형성을 통하여 새로운 복합실리사이드의 나노급 미세패턴을 형성하는 것이 가능한지 확인하여 보았다.

2. 실험방법

직경 10 cm-p형 (100), (As^+ 80 keV $5 \times 10E15$) 실리콘 기판에 200 nm의 열산화막을 thermal oxidation을 이용하여 성막한 후 LPCVD(low pressure chemical vapor deposition)로 polysilicon 70 nm를 형성시켰다.

완성된 실리콘 기판위에 다시 Ni 15 nm/Co 15 nm를 thermal evaporator를 이용하여 차례로 성막 한 뒤 RTA(rapid thermal anneal)을 통하여 700°C, 900°C, 100

0°C에서 열처리를 각각 30 sec동안 처리하였다.

완성된 각 온도별 실리사이드의 특정 면에 나노급 선평제작 가능성확인을 위해서 FEI사의 Dual Beam NanoLab 200 모델을 채용하였다. 이온빔과 전자빔을 발생시킬 수 있는 기능을 가진 장비로서 5가지 이온소오스를 가진 모델로서 본 연구에는 Ga 소오스를 이용하였다.

한편 이온빔으로 가공된 면을 in-situ 로 확인할 수 있는 tilt stage와 Zyvex F100 나노 탐침이 구비되어 four-point probe로 면저항 및 나노급 배선층과 패턴의 전기적 측정이 가능하도록 디자인 되었다. 그림 2에 대략의 장비 사진을 나타내었다.

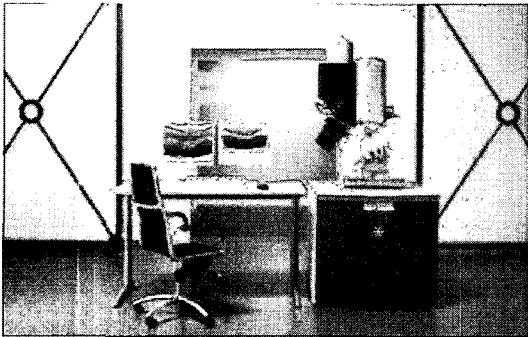


그림 2. 듀얼 빔 FIB 장비 사진.

패턴제작을 위한 선평을 Ga 소오스는 30 kV로 가속시켜 표면전류를 1, 10, 30, 50, 100 pA가 되도록 진행하였으며 이때 depth는 300 nm가 되도록 조절하였다. 선평의 수직 형상을 확인하기 위한 트렌치의 가공에는 가공목표를 깊이 500 nm 로 하고 고에너지 30 kV-100 pA가 되도록 진행하였다.

한편 900°C로 실리사이드화한 시편의 경우 10 μm 길이를 가진 여러 가지 선을 30 kV 조건에서 표면전류를 1, 10, 30, 50, 100, 300, 1000 pA 까지 30 nm를 목표로 변화시키면서 선평의 변화와 이때 선들의 수직인 방향으로 30 kV-0.10 nA 조건으로 에칭 깊이가 500 nm가 되도록 절단가공한 후 측정 스테이지를 경사(tilt)시켜 에치 프로 화일을 확인하였다.

전기적인 측정은 두 가지 방법으로 진행되었다. 즉 four-point probe를 써서 각 실리사이드 형성 조건에서의 평균값을 측정하는 방법과 다른 방법으로는 FIB에 내장된 미세 프로브를 이용하여 실측하는 방안을 사용하였다.

완성된 시편의 전기저항을 측정하기 위해 four-point probe를 이용하여 TCBRL (top, center, bottom, right, left)의 평균값으로 저항을 표시하였다.

미세 패턴을 이용하여 미세 프로브를 사용한 측정을 위해서는 기판의 절연을 위해서 30 kV-1.0 nA 조건으로 Ga소오스를 이용하여 그림 3과 같이 50 μm × 50 μm의 정방형 선을 긋고 안의 실리사이드를 추후의 전기적 특성 분석을 위하여 절연시켰다.

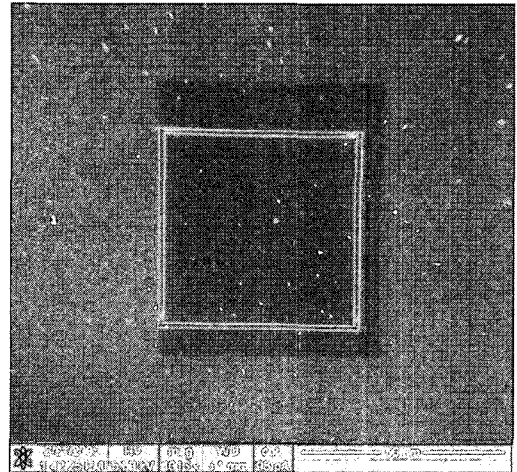


그림 3. 절연된 사각형 패턴 (50 μm × 50 μm).

절연의 확인은 Kiethley 4200 probe station 시스템을 써서 -5 ~ 5 V 사이의 I-V 측정을 실시하여 10⁻¹² A 이하의 leakage를 가지도록 절연이 되었음을 확인하였다.

한편 반데포의 형상으로 저항을 측정하기 위해 나노 프로브를 측정하기 용이하도록 내경 1 μm, 외경 15 μm가 되도록 30 kV-1.0 nA 조건으로 이온빔 에치를 실시하여 그림 4와 같은 원형 형상을 반데포 측정을 위해 확보하였다.

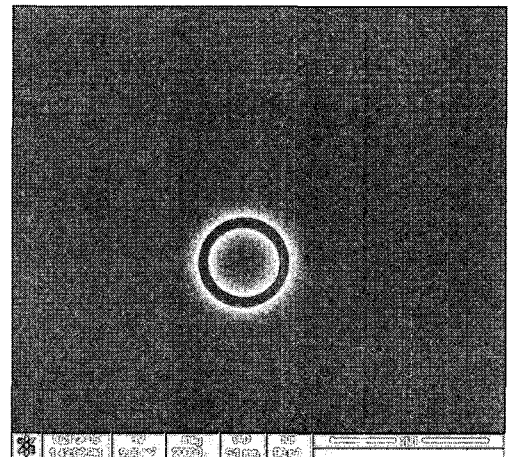
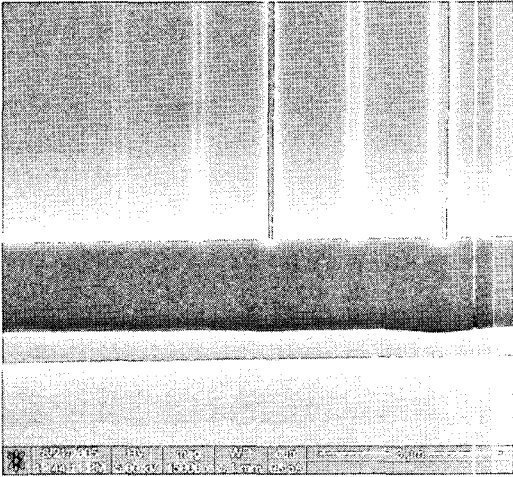
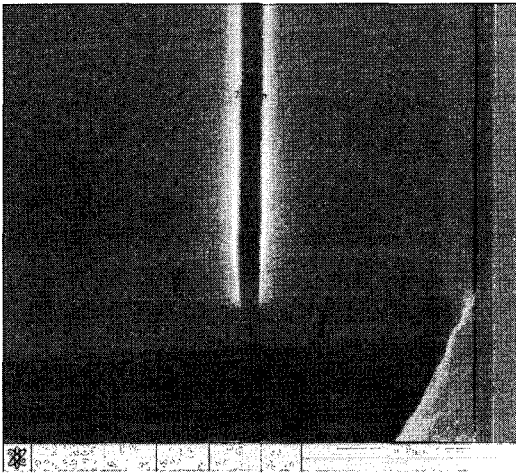


그림 4. FIB를 이용한 패턴 (Van der Pauw measurement).

한편 선형 미세 선폭의 전기저항을 측정하기 위해서 그림 5과 같이 내부선폭이 100 nm ~ 500 nm 가 되도록 패턴을 에칭하여 형성시켰다.



(a) FIB를 이용하여 제작된 패턴 사진



(b) 패턴의 사이즈 측정사진

그림 5. FIB를 이용하여 만든 각각의 패턴 사진.

3. 실험결과

그림 6에는 먼저 Ni/Co/Poly 구조의 시편이 700, 900, 1000 °C에서 제작된 후 급속 열처리 되어 30 kV의 동일 가속 전압에서 표면 전류가 달라지며 생기는 선폭의 변화를 나타내었다. 나노급 선폭이 100 nm 이하라고 상정하면 예상한 바와 같이 표면 전류가 작아서 이온 빔의 power가 작을수록 100 nm 이내의 선폭이 가능하였으며 각 복합 실리사이드의 상에 따라 미소한 변화가 있으

나 50 nm인 선폭의 제작이 가능한 것으로, 기존의 복합 실리사이드나 단상 실리사이드로 나노급 패턴을 형성할 때 폴리실리콘 위에 증착한 금속 층이 실리사이드화 되면서 과도한 부피 팽창을 일으켜 목표하는 선폭을 구현하는 것이 어려웠던 Kim 등[10]의 보고와 같은 기존 공정의 문제점을 극복할 수 있음을 의미한다.

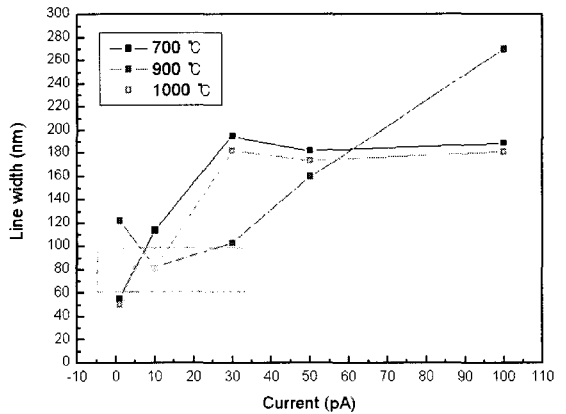


그림 6. 복합실리사이드에서의 전류에 따른 line width 그래프.

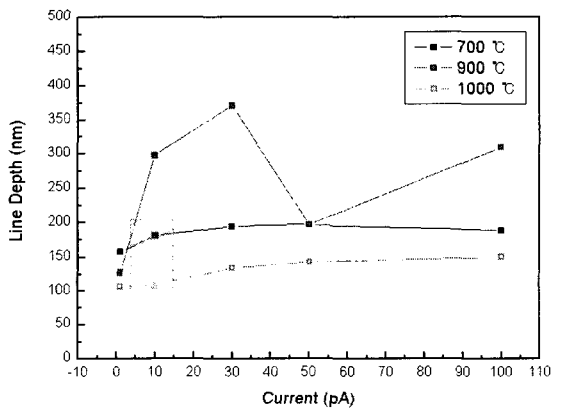


그림 7. 복합실리사이드에서의 전류에 따른 line depth 그래프.

그림 7에는 마찬가지로 방법으로 300 nm 가공 깊이를 목표하여 이온 빔 패턴을 한 경우의 실제 가공이 진행된 두께를 나타내었다. 가공시의 두께는 소프트웨어적으로 처리되므로 실제 물리적인 에칭 깊이와의 calibration이 필요하다. 각 조건에서의 깊이는 스테이지를 경사시켜 확인한 결과 최종 에칭 두께는 100~350 nm 사이에서 변화하며 700 °C와 1000 °C에서 실리사이드화 처리한 시편을 비교적 안정적으로 FIB 전류의 변화에 관계없이 100~150 nm를 유지하였다. 특히 900 °C의 경우에는 전류 변화에

따라 120~350 nm의 큰 분포를 보였다. 이는 복합 실리사이드 물질의 고유한 변화보다는 에칭시의 초점 상태에 따른 실험적인 오차에 기인한다고 판단되며, 소프트웨어적으로 실리콘 열산화막을 기준으로 설정한 300 nm의 목표에서 실제 에칭 깊이는 평균 약 150 nm 정도로 본 연구에서 제안한 새로운 코발트 니켈 복합 실리사이드의 경우 약 50% 정도의 물리적인 에칭 깊이가 얻어짐을 확인할 수 있었다.

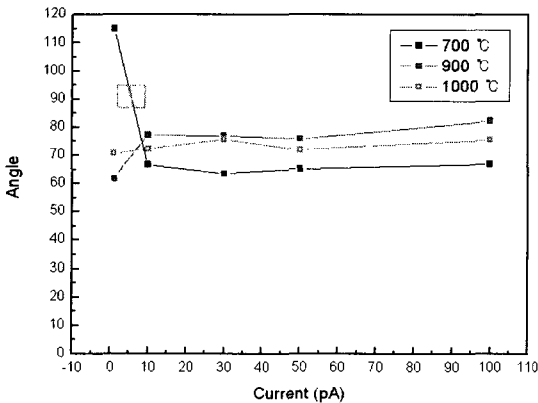


그림 8. 복합실리사이드에서의 전류에 따른 etch angle 그래프.

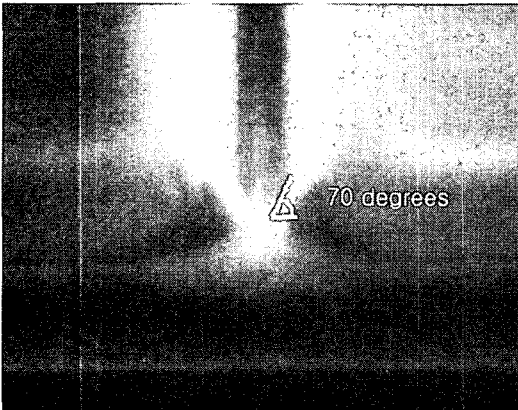


그림 9. FIB 패턴의 각 측정 방식(salicidation at 700°C, etched 30 kV- 30 pA).

그림 8에는 각 실리사이드 온도별로 표면 전류가 달라지며 FIB로 선폭을 그린 경우 패턴들의 끝단에 그림 9에 나타낸 바와 같이 500 nm의 두께를 목표로 트렌치를 파고 경사시켜 관찰하면서 하부의 에치 각도를 비교한 것이다. 일반적으로 전극의 목적 또는 게이트 등 소자에서 바람직한 패턴의 형성을 상·하부 모두 일직선으로 설계 기준에 맞는 선폭을 유지하기 위해서 90°를 유지하는 것

이 가장 바람직하지만 본 연구에서는 약 70°에 근접하는 역사다리꼴의 프로파일을 보이고 있다. 다만 700°C인 경우 저에너지 구간에서 오히려 둔각을 가진 사다리꼴이 얻어지고 있는데 이를 물질별로 스캔 속도와 FIB 파과 조건을 조절하면 90° 프로파일을 유지하는 것이 가능함을 의미하였다.

본 연구의 실험 범위에서는 70°의 프로파일을 얻었으나 기존의 폴리사이드 공정을 이용한 경우에 비해서는 매우 큰 공정 윈도우에서 재현성 있게 패턴 수직 프로파일을 얻을 수 있었다.

이상과 같이 새로운 CoNi복합실리사이드에 대해서 기존의 폴리실리콘 공정으로는 구현하기 어려운 나노급 패턴을 dual beam-FIB장비를 써서 70도의 경사를 갖는 피치선폭 50nm (깊이 100nm)의 미세 패턴 형성이 가능하였다. 이러한 이온빔 가공법의 에치조건을 최적화하면 수직 프로파일을 가진 나노선폭 배선층의 구현이 가능하며, 이러한 패턴은 기존의 폴리실리콘 게이트에 비해 저항이 더 낮아짐에 따라 속도향상이 가능한 새로운 CMOS 디바이스를 개발하는데 활용될 수 있을 것이다.

4. 결론

기판 전면에 폴리실리콘으로부터 만들어진 Co/Ni복합 실리사이드를 대상으로 이중 집속이온빔을 써서 나노급 선폭을 가진 전기저항을 측정할 수 있는 패턴의 형성 가능성을 확인하였다. 기존의 응집현상이 많던 폴리사이드 공정에 비해서 100 nm 이하의 나노급 선폭 제작과 패턴의 제작이 30kV-30pA 범위에서 가능하였다. 30kV-1pA의 이온빔 가공조건에서 최소 선폭 피치 50 nm가 구현되었으며 이때의 에치프로파일의 각도는 70도 임을 보였다.

참고문헌

- [1] Colgan E. G., Gambino J. P., Hong Q. Z., "Formation and stability of silicides on polycrystalline silicon", Materials Science and Engineering, R16, pp. 43-96(1996).
- [2] M.A. Pawlak, J.A. Kittl, O. Chamirian, A. Veloso, A. Lauwers, T. Schram, K. Maex, A. Vantomme, Microelectronic Engineering, 76, pp.349 (2004).
- [3] C. Kothandaraman, S.K. Iyer, S.S. Iyer, IEEE Electron Device Lett., 23(9), pp. 523 (2002).
- [4] M. Alavi, M. Bohr, J. Hicks, M. Denham, A. Cassens,

D. Douglas, M.C. Tsai, IEDM Tech. Digest, pp.855 (1997).

[5] H. Zhang, J. Poole, R. Eller, M. Keefe, J. Vac. Sci. Technol. A17, pp. 1904(1999).

[6] J. Chen, J.P. Colinge, D. Flandre, R. Gillon, J.P. Raskin, D. Vanhoenacker, J. Electrochem. Soc., 144, pp. 2437(1997).

[7] K.P. Liew, R.A. Bernstein, C.V. Thompson, J. Mater. Res., 19, pp.676(2004).

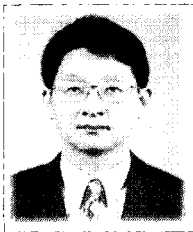
[8] Kim, G. B., Baik H. K., Lee S. M., ppl. Phys. Lett., 69, pp. 3498(1996).

[9] Jung Y. S., Cheong S. H., Song O. S., "Sheet resistance and Microstructure revolution of Cobalt/Nickel Silicides with annealing temperature", Korean Journal of Materials Research, Vol. 14, No. 6, pp. 389-393(2004).

[10] Kim S. Y., Jung. Y. S., Song. O. S., "Characteristics of Ni/Co Composite Silicides for Poly-silicon Gates", Journal of the Microelectronics & Packaging Society, Vol. 12, No. 2, pp. 149-154(2005).

송 오 성(Oh-Sung Song)

[정회원]

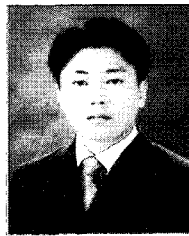


- 1987년 2월 : 서울대학교 금속공학과 (공학사)
- 1988년 2월 : 서울대학교 금속공학과 (공학석사)
- 1994년 5월 : MIT 재료공학 (공학박사)
- 1996년 3월 : NTT기초연구원
- 1997년 8월 : 삼성전자 CPU 기술팀

<관심분야>
자성재료, 주얼리.

김 상 엽(Sang-Yeob Kim)

[준회원]

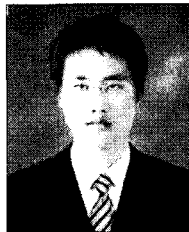


- 2005년 2월 : 서울시립대학교 신소재공학과 (공학사)
- 2005년 2월 ~ 현재 : 서울시립대학교 신소재공학과 (석사과정)

<관심분야>
자성재료, 반도체 공정.

윤 기 정(Ki-Jung Yoon)

[준회원]



- 2006년 2월 : 서울시립대학교 신소재공학과 (공학사)
- 2006년 2월 ~ 현재 : 서울시립대학교 신소재공학과 (석사과정)

<관심분야>
자성재료, 반도체 공정.