

Capacitance-Voltage Characterization of Ge-Nanocrystal-Embedded MOS Capacitors

Ge 나노입자가 형성된 MOS 캐패시터의 캐패시턴스와 전압 특성

박병준*, 최삼종*, 조경아*, 김상식*

Byoungjun Park*, Samjong Choi*, Kyoungah Cho*, Sangsig Kim*

Abstract

Capacitance versus voltage (C-V) curves of Ge-nanocrystal (NC)-embedded MOS capacitors with and without a single capping Al₂O₃ layer are characterized in this work. C-V curves of the Ge-NC-embedded MOS capacitor with the Al₂O₃ layer are counterclockwise in the voltage sweeps, which indicates the presence of charge storages in the Ge NCs by the tunnelling of charge carriers between the Si substrate and the Ge NCs. In the Ge-NC-embedded MOS capacitor without Al₂O₃ layer, clockwise hysteresis of the C-V curves and leftward shifts of the flat band voltages are observed for the embedded MOS capacitor without the Al₂O₃ layer. It is suggested that the characteristics of the C-V curves are due to the charge trapping at oxygen vacancies within a SiO₂ layer. In addition, the illumination of the white light enhances the lower capacitance part of the C-V hysteresis. The origin for the enhancement is discussed in this paper.

요약

Al₂O₃ 층의 유무에 따른 Ge 나노입자가 형성된 MOS 구조의 캐패시터의 전압에 대한 캐패시턴스 (C-V)의 특성을 측정하였다. Al₂O₃층이 형성된 MOS 캐패시터의 C-V 곡선은 전압의 변화에 대해 나타나는 반시계 방향의 히스테리시스 특성은 Si 기판과 Ge 나노입자 사이를 전자가 터널링하여 Ge 나노입자에 저장되었기 때문이다. Al₂O₃ 층이 없는 MOS 캐패시터의 경우, 시계 방향의 히스테리시스 특성과 좌측으로 이동한 플랫-밴드 전압 값을 볼 수 있다. 이것은 SiO₂ 층에 존재하는 산소 결원 (oxygen vacancy) 으로 인한 전하 트랩이 이러한 특성을 나타냈다 할 수 있다. 또, 백색광이 C-V 특성에 미치는 영향에 대하여 논하였다.

Key words : memory, Al₂O₃, Ge, nanocrystal

MOS 구조에 기반을 둔 나노 부유 게이트 메모리 (Nano floating gate memory, NFGM) 소자는 고집적화 차세대 플래쉬 메모리에 응용할 수 있는 잠재적

1. 서론

* 高麗大學校 電氣工學部

(School of Electrical Engineering, Korea University)

★ 교신저자 (Corresponding author) : 김 상 식

※ 감사의 글 (Acknowledgment) : 본 연구는 2006년도 과학기술부 국가지정연구실사업, 한국학술진흥재단 중점연구과제, 산업자원부 나노기반사업, 핵심기술개발사업 지원에 의하여 수행 되었습니다.

接受日:2006年 10月10 日, 修正完了日: 2006年 12月15 日

능력이 있어 최근 다양한 연구가 진행되고 있다. NFGM 소자는 전하 저장 요소로 터널링 옥사이드와 컨트롤 옥사이드 층 내부에 나노입자를 형성하여 현재 상용화된 연속적 부유 게이트 층을 대체하는 것이다 [1, 2, 3]. 나노입자를 이용한 NFGM 소자는 현재의 플래쉬 메모리에 비하여, 낮은 전압에서 구동이 가능하며, 읽기/지우기 속도가 빠를 뿐 아니라 뛰어난 내구성을 나타내고 있다 [2, 4]. 이에 관한 많은 연구가 Si 나노입자에 대해서 진행되고 있으나 [5], 에너지 밴드갭의 크기가 Si 보다 Ge 나노입자가 더 작기 때문에, 최근에는 Ge를 이용한 연구가 증가하는 추세이다 [6].

이러한 Ge 나노입자를 합성하는 방법에는 스퍼터를 이용한 증착법 [7]과 화학적 증기 증착법 [8], 펄스-레이저 증착법 [9], 이온 주입 방법 등이 있다. 본 연구에서는 이온 주입 후 열처리법을 이용한 나노입자 합성하고 이를 이용한 MOS구조의 소자를 제작하였으며 캐피시턴스(C)-전압(V) 특성 평가를 하여 메모리 소자로서의 가능성을 보았다.

II. 본론

1. 실험 과정

이온 주입 방식을 통한 MOS 구조 소자 제작 과정이다. 50 nm 두께의 실리콘 산화막이 성장한 p-타입 실리콘 웨이퍼 위에 $^{74}\text{Ge}^+$ 이온을 30 keV의 에너지와 $2 \times 10^{16} \text{ cm}^{-2}$ 의 선량으로 이온 주입 공정을 했다. 공정을 진행하기 전에 TRIM (transport of ions in matter) 시뮬레이션을 통해 이온의 에너지와 선량을 계산하였다. 이온 주입 후, 그 위에 원자층 증착법 (atomic layer deposition, ALD) 으로 Al_2O_3 박막을 증착하였다. 그 후 질소 분위기에서 급속열처리장치 (RTP) 를 이용하여 800 °C에서 열처리를 하였다. 그 위에 $1.96 \times 10^3 \text{ cm}^2$ 크기의 알루미늄 전극을 증착하여 전기적 특성을 평가하였다. 그 후 LCR 미터(HP 4285A)를 이용하여 C-V 특성을 측정하였다.

2. 결과 및 토론

그림 1은 이온 주입 방식을 통해 합성된 Ge 나노입자의 단면 고해상도 전자투과현미경 (high resolution transmission electron microscopy, HRTEM) 이미지이다. 이미지 안의 흰색 그래프는 TRIM 시뮬레이션을 통한 Ge 이온의 분포이다. MOS 캐패시터 위에 13 nm의 Al_2O_3 층이 증착되어 있는 것을 볼 수 있다. 그림에서 보면 알 수 있듯이 시뮬레이션 결과와 HRTEM 이미지 내에서의 Ge

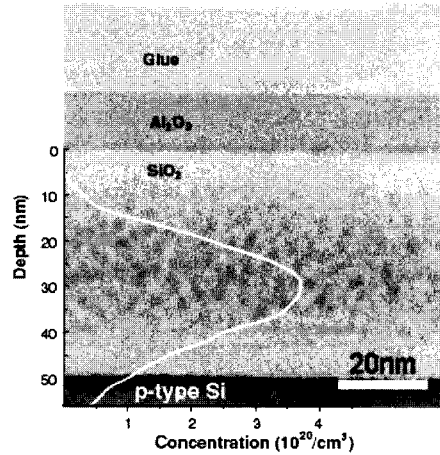


Fig. 1 Cross-sectional HRTEM image taken for a Ge-NC-embedded MOS capacitor with an Al_2O_3 layer

나노입자 분포가 거의 일치하는 것을 확인할 수 있었으며, 이로부터 Ge 나노입자는 $2 \times 10^{12} \text{ cm}^{-2}$ 라는 것을 알 수 있다. TRIM 시뮬레이션에서는 곡선의 끝부분이 Si 기관과의 경계면까지 분포해 있지만 HRTEM 이미지에서는 Ge 나노입자가 Si/SiO₂ 경계면과 8 nm 부분은 이온 주입에 의한 Ge 나노입자가 형성되지 않았다. Ge 나노입자는 좋은 결정성을 나타내고 있으며, 그 크기는 약 4 nm이다.

그림 2 (a)는 Al_2O_3 층의 유무에 따른 MOS 캐패시터의 C-V 특성을 보여주고 있다. SiO₂ capping layer로 Al_2O_3 층이 없는 MOS 캐패시터의 경우 C-V 곡선에서 시계방향의 히스테리시스를 나타냈다. 이는 이온 주입 시, 산화막이 Ge 이온에 의해서 손상을 입기 때문이다. 따라서 전자들이 터널링 산화막을 통해서 이동하는 것이 아니라, 컨트롤 산화막을 통해 이동하므로 시계방향의 히스테리시스 곡선을 나타내는 것이다. 또 스위프 (sweep) 전압을 $\pm 10 \text{ V}$ 이상 인가할 시에는 플랫-밴드 (flat-band) 전압이 좌측으로 이동하나 우측으로는 이동하지 않는 것을 확인할 수 있다. 이는 전하 이동자가 전극으로부터 산화막 혹은 나노입자에 저장되면서 발생하게 되는 것이다 [5]. 플랫-밴드 전압이 좌측으로 이동하는 것은 산화막 내부에 고정화된 양전하가 존재하기 때문이다 [7]. 플랫-밴드 전압이 우측으로 이동하지 않는 것으로 보아 음전하는 저장되지 않는 것으로 보인다. 플랫-밴드 전압 이동은 전극에서 산화막으로 전자만이 전하 이동자로 이동하여도 나노입자에는 저장되지 않는다는 것을 의미한다. C-V 히스테리시스

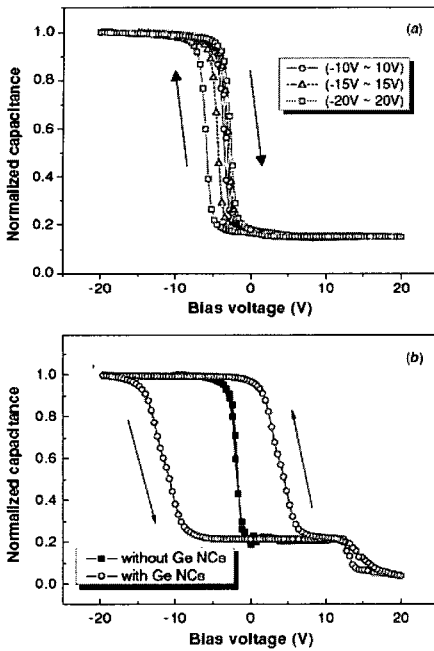


Fig. 2 C-V curves of Ge-embedded MOS capacitors without (a) and with (b) an Al_2O_3 layer

스 곡선에서 관측된 폭은 산화막 내부에 있는 산소 결원으로 인한 것이다. 일반적으로 산소 결원은 산화막에 이온 주입과 연속적 열처리를 할 경우 발생하며 이들은 깊은 공여자 (deep-donor) 로서 역할을 한다는 것이 이미 알려져 있다 [10, 11]. 높은 양전압이 인가된 상태에서 전자가 중성 공여자로 전극으로 흐를 때, 이온화된 공여자는 산화막에 남게 된다. 높은 양전압에서 전자가 전극에서 옥사이드 층으로 흐를 때, 공여자는 중성화된다. 따라서 관측한 C-V 곡선을 보면, 전압을 양에서 음으로 전압을 변화시키면서 인가할 시에, 산화막 내부의 산소 결원들이 양전하에서 중성화되면서 이러한 특성이 나타나게 되는 것이다.

MOS 캐패시터 구조 위에 Al_2O_3 층이 capping 되어있는 소자의 경우, 전압을 순방향에서 역방향으로 바꾸어 가며, C-V 특성을 측정한 결과 반시계 방향의 히스테리시스 곡선이 관찰되었다 (Fig. 2 (b)). 반시계 방향의 히스테리시스 곡선은 Si 기판과 Ge 나노입자 사이를 전자 이동자가 터널링을 통하여 이동하면서 발생하게 된 것이다. Al_2O_3 층이 없는 MOS 캐패시터의 경우 전자가 전극과 컨트롤 산화막 사이를 통과함으로써 발생한 것을 확인시켜 주었으며,

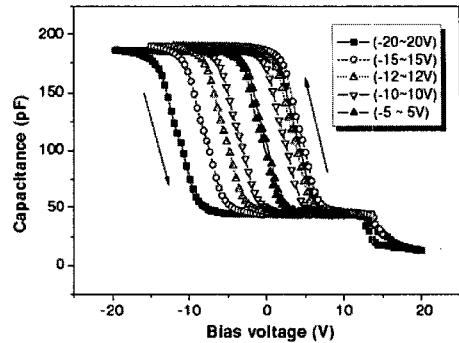


Fig. 3. C-V curves of a Ge-NC-embedded MOS capacitor with an Al_2O_3 layer as the gate voltage sweep range is gradually increased

또 Al_2O_3 층이 효과적으로 전자의 흐름을 막는다는 것을 보여주었다. 그림 2의 (b)에서 Al_2O_3 층이 증착되어 있고 Ge 이온 주입이 되어있지만 열처리를 하지 않은 경우, 메모리 특성을 나타내지 않는 것을 볼 수 있다. 이는 전하의 저장에 이온 주입에 의한 것이 아닌, 이온 주입 후 열처리에 의한 Ge 나노입자 형성에 따른 것이다.

다음은 게이트 전압 값을 점차 증가시키면서 Al_2O_3 층이 있는 MOS 캐패시터의 C-V 특성을 측정해 보았다 (Fig. 3). 게이트 전압을 ± 5 V 사이에서 변화시켰을 경우, C-V 곡선에서 메모리 특성을 볼 수 없었다. 이는 어느 정도의 전압 이상에서 전자가 나노입자로 저장된다는 것을 알 수 있다 [7]. ± 5 V 이상의 전압에서는 양전하와 음전하가 소자 내부에 저장되는 것을 C-V 곡선을 통해 알 수 있다.

그림 4는 암실 상태와 백색광 아래의 조건에서 게이트 전압을 ± 20 V 사이에서 변화시키면서 Al_2O_3 층이 증착된 MOS 캐패시터의 C-V 특성을 측정한 결과이다. 백색광 조건 아래에서는 -10 V 와 $+20$ V 사이의 낮은 캐패시턴스 값이 증가하였으며, 암실 상태에서 관측되었던 10 V와 20 V 사이에서의 캐패시턴스 감소가 사라졌다. 이러한 캐패시턴스 감소는 깊은 공핍 현상 (deep depletion) 으로 인해 발생한 것이다 [5]. 이러한 현상은 백색광이 p-type Si 기판에서 정공을 발생시켜 공핍층을 좁게 하여 나타난 것이다. 백색광으로 인한 정공은 게이트 전압에 의해 발생한 전기장 영역에서 주 이동자의 농도를 증가시키게 된다. 빛에 의해 발생한 전자들은 역변환된 전자 구름층에 흡수되지만, 이러한 전자 구름층의 농도 증가는 1M Hz 의 고주파에서 캐패시턴스의

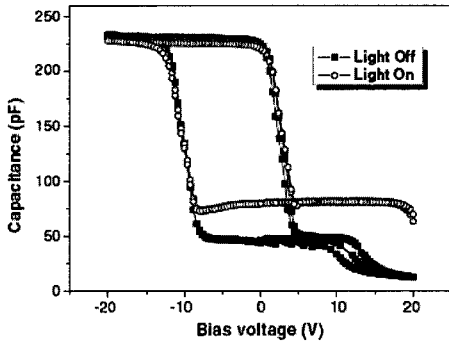


Fig 4. C-V curves obtained from a Ge-NC-embedded MOS capacitor with an Al₂O₃ layer in the dark and under the illumination of white light.

크기에는 영향을 미치지 못한다. 따라서 주 전자 이동자의 농도 증가가 암실 상태에서 나타난 낮은 캐패시턴스 값을 증가시키는 주요인이다. 이러한 농도 증가는 깊은 공핍층 형성을 막으며, 이에 따라 캐패시턴스의 감소원인을 제거하게 된다.

III 결론

Ge 나노입자가 산화막 내부에 형성된 MOS 캐패시터를 제작하였다. HRTEM 이미지를 통하여 Ge 나노입자 밀도를 확인한 결과, $\times 10^{12} \text{ cm}^{-2}$ 라는 것을 알 수 있었다. Al₂O₃ 층이 capping 되어 있는 소자의 히스테리시스 곡선은 반시계 방향을 나타내었으며, 이는 기판과 Ge 나노입자 사이를 전자가 터널링을 통하여 나노입자에 저장되었기 때문이다. Al₂O₃ 층이 없는 MOS 캐패시터의 경우 시계 방향 히스테리시스와 플랫-밴드 전압이 좌측으로 이동하였다. 이러한 현상은 게이트 전극으로부터 흘러온 전자가 옥사이드 내부에 있는 산소 결원에 저장되기 때문이다. 또, 빛에 의해 발생한 정공은 공핍층을 감소시켜서 암실 상태에서 측정된 C-V 특성과는 달리 높은 양전압 부분에서의 낮은 캐패시턴스 값을 증가시켰다.

참고문헌

[1] S. Tiwari, F. Rana, H. Hanafi, A. Hartstein, E. F. Crabbe and K. Chan, Appl. Phys. Lett. Vol.68, pp.1377-1379, 1996
 [2] H. I. Hanafi, S. Tiwari and I. Jhan, IEEE Trans.

Electron Devices Vol.42, pp.1553-1558, 1996
 [3] T. Hori, T. Ohzone, Y. Odark and J. Hirase, IEEE IEDM Tech. Dig. Vol.92, pp.469-472, 1992
 [4] D. W. Kim, T. Kim and S. K. Banerjee, IEEE Trans. Electron Devices Vol.50, pp.1823-, 2003
 [5] P. Normand, D. Tsoukalas, K. Beltsios, N. Cherkashin, V. Soncini and M. Ameen, Appl. Phys. Lett. Vol.83, pp.168-, 2003
 [6] S. Duguay, J. J. Grob, A. Slaoui, Y. LE Gall and M. Amann-Liess, J. Appl. Phys. Vol.97, pp.104330-, 2005
 [7] W. K. Choi, L. W. Teo, W. K. Cjim, V. Ho, Y. Kei and E. A. Fitzgerald, Appl. Phys. Lett. Vol.83, pp.3639-, 2002
 [8] Y. C. King, T. J. King and C. Hu, IEEE Trans. Electron Devices Vol.48, pp.696-, 2001
 [9] X. B. Lu, P. F. Lee and J. Y. Dai, Appl. Phys. Lett. Vol.86, pp.696-, 2005
 [10] E. S. Marstein, A. E. Gunnas, U. Serinca, S. Jorgensen, A. Olsen, T. Turan and T. G. Finstad, Nucl. Instrum. Methods Phys. Res. B Vol.207, pp.424-, 2003
 [11] D. H. Zhang, D. E. Brodie, Thin Solid Films, Vol.261, pp.334, 1995

저 자 소 개

박 병 준 (학생회원)



2004년 : 고려대학교 전기전자전파 공학부 졸업 (공학사)
 2004년 3월~현재 : 고려대학교 전기공학과 석·박사통합과정 재학 중
 <주관심분야>
 금속 및 반도체 나노입자를 이용한 비휘발성 메모리 소자

최 삼 중 (학생회원)



1998년 : 수원대학교 전기공학과
졸업 (공학사)
2005년 3월~현재 : 고려대학교 대
학원 전기공학과 재학
<주관심분야>
반도체 나노입자를 이용한
비휘발성 메모리 소자

조 경 아 (정회원)



1993년 : 성신여자대학교 화학과
졸업 (이학사)
1995년 : 성신여자대학교 대학원
화학과 졸업 (이학석사)
2000년 동경대 대학원 화학과 졸
업 (이학박사)
2002년 1월 ~ 현재 : 고려대학교
전기공학과 연구교수
<주관심분야>
나노입자를 이용한 전자소자

김 상 식 (정회원)



1996 : Columbia University,
Ph. D (반도체 물리)
1996 ~ 1998 : University of
Illinois at Urbana-Champaign
박사후연구원
1998.7.~1999.2 : University of
Illinois at Urbana-Champaign
전문연구원

1999.3.~현재 : 고려대학교 전기전자전파공학부
부교수

<주관심분야>

나노입자 및 나노선을 이용한 전자소자