

차세대 반도체를 위한 탄소 나노튜브 (Carbon Nanotube) 기술

여인석, 윤홍식, 이선우, 최영문, 이문숙, 정우인, 문주태(삼성전자 반도체총괄 반도체연구소 공정개발팀)

1. 서론

반도체 산업의 발전은 새로운 특성을 갖는 신물질/신기술의 도입에 의해 획기적인 발전을 이루어 왔는데, 70년대의 poly silicon gate, 80년대의 이온 주입기술, 90년대의 chemical mechanical polishing, 그리고 현재 집중 개발되고 있는 high-k gate dielectrics가 그 발전의 맥을 이루고 있다고 할 수 있다. 이러한 관점에서 반도체 산업을 또 한번 도약시킬 수 있는 후보군의 하나로 주목 받고 있는 기술이 바로 Carbon Nanotube(CNT)이다. CNT는 매우 우수한 특성-구리보다 좋은 전기 전도도, 다이아몬드보다 뛰어난 열 전도도, 실리콘보다 좋은 전하이동도, 우수한 기계적 강도-을 갖고 있는데, 이러한 특성 때문에 많은 관심을 받아오며, 이에 대한 연구가 끊임없이 이루어져 오고 있다. 표 1에 CNT가 갖고 있는 물성을 해당 항목에서 가장 뛰어난 특성을 갖는 기존 물질과 비교하였다.

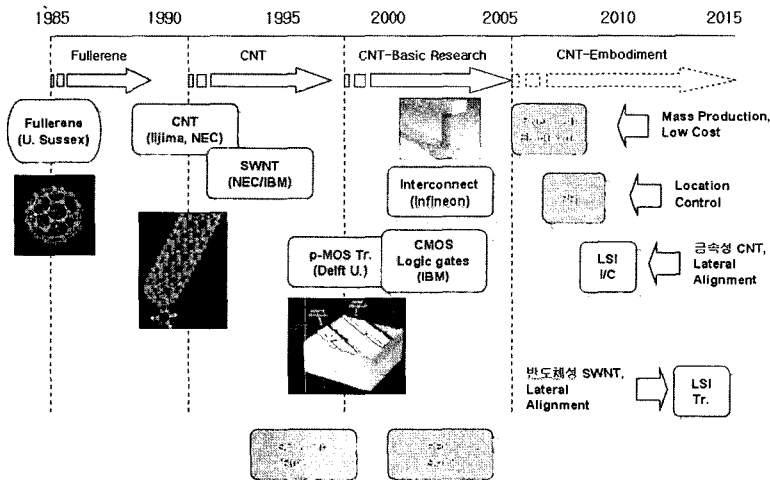
그러나 CNT는 여러 가지 관점에서 지금까지의 반도체 기술과 큰 차이를 가지고 있는데, 바로 막막형태로 형성되는 것이 아니고 처음부터 1차원 도선(nanowire)의 형태로 형성된다는 것

과, 구조에 따라 반도체의 특성을 가질 수도, 도체의 특성을 가질 수도 있다는 것이다. CNT의 이러한 특징 때문에 이를 반도체 소자에 응용하기 위해서는 기존의 방법과는 매우 다른 접근 방법을 필요로 한다. 1차원 도선형태의 구조를 반도체 소자에 적용하기 위해서는 기존의 photolithography-etch 방식의 top-down 방식보다는 이미 형성된 나노 구조체를 self-assembly 방식으로 형성하는 bottom-up 방식이 적합하다. 또 CNT 구조에 따라 반도체도 될 수 있고 도체도 될 수 있다는 사실은 반도체, 도체, 절연체의 역할이 명확히 구분되어 있는 전자소자의 응용을 위해서는 원자 수준의 구조 조절을 통한 반도체/도체 특성의 정확한 조절을 요구한다. 이런 관점에서 CNT의 연구는 전자소자의 응용을 위한 여러 가지 도전 과제를 제시하고, 이는 곧 CNT의 매우 우수한 특성들을 이용하는 새로운 개념의 공정 및 소자 개발을 위한 기회가 된다고 할 수 있다.

그림 1에 C60 및 CNT의 발견 이후 중요한 연구 성과 및 향후 CNT의 사용이 가능한 중요 응용처 및 각 경우에 요구되는 공정능력을 나타내었다. 아직까지 CNT를 대량으로 사용하는 응

〈표 1〉 CNT의 물성 및 응용 가능성. 참고문헌 [1]에서 발췌

항목	특성	응용 가능성	특성 비교
크기	직경 0.8~10nm		~50nm Photolithography
비저항	~1 $\mu\Omega \cdot \text{cm}$	배선 (Cu 대체)	Cu: 2.2 $\mu\Omega \cdot \text{cm}$
전류밀도	1GA/cm ²	배선 (Cu 대체)	Cu: 10MA/cm ²
전하이동도	1000~10000cm ² /V · s Hole	Transistor	Si: 1400 cm ² /V · s
전자방출	1~3V/ μm (저 전압 동작)	FE-Display	Mo: 50~100V/ μm
열전도도	6000W/m · K	Heat Pipe	Diamond: 3320W/m · K
인장강도	45 GPa	기계 재료	Steel: 2 GPa



〈그림 1〉 CNT의 발견과 중요 연구 결과. 향후 CNT의 응용 가능성을 응용이 쉬운 순으로 정리함.

용처는 없는 상태이며 낮은 단가의 CNT 대량 생산이 필요한 연료전지 관련 개발, 특정 부위에만 CNT를 정확히 위치시키는 기술이 필요한 field emission display 개발, 금속성 CNT를 주로 사용하며 수직방향/수평방향의 배열이 필요한 LSI 배선 응용, 그리고 가장 어려운 기술로서 반도체성 단결 CNT만을 사용하며 동시에 정확한 배열 능력을 필요로 하는 LSI transistor 기술의 순으로 응용처의 개발이 이루어질 것으로 예상되고 있다²⁾. 특히 반도체 공정에서의 이용은 현

재의 반도체 소자가 정확한 위치에 정확한 모양으로 형성하는(top-down 기술의 특징)것을 핵심으로 한다는 점을 고려할 때, 이러한 top-down 기술과 호환성이 있는 기술의 개발에 대한 필요성이 다른 어떤 분야보다 높다.

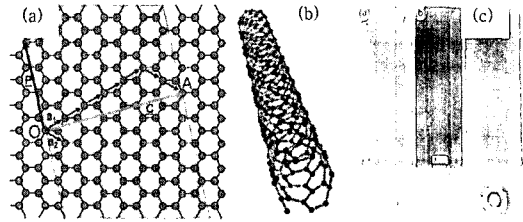
CNT와 관련하여서는 이미 많은 review paper에 자체의 물성 및 단위 소자의 관점에서 잘 정리되어 되어있다³⁾. 그러므로, 본 논문에서는 산업체에서 CNT를 반도체 소자에 직접 적용하는 관점에서 중요하다고 생각되는 분야를 정리하

는데 중점을 두었다. 이를 위해 우선 CNT의 구조 및 물리적 특성을 간단히 살펴보고, CNT 형성 Mechanism 및 성장 방법, 반도체 배선 및 소자로의 응용, 그리고 nano mechanical switch 개념을 이용한 새로운 방식의 소자에 대해 기술하였으며, 단순히 CNT의 우수한 특성을 이용하는 단위소자 특성의 관점보다는 집적화 관점에서 발생하는 문제점과 이를 해결하기 위한 노력을 소개함으로써 CNT의 향후 연구방향에 도움이 되도록 하였다.

II. CNT의 구조 및 전기적 특성

1. CNT의 구조

Carbon nanotube(CNT)는 2차원 평면인 흑연 판(graphene sheet)이 매듭 없이 말린 튜브형태로 설명할 수 있다. 이때 흑연판 튜브(shell)의 수가 한 개로 이루어진 것을 통상 단벽 탄소나노튜브(single wall nanotube, SWNT), 둘 이상으로 이루어진 것을 다벽 탄소나노튜브(multi wall nanotube, MWNT)라고 부른다. 이 때, SWNT의 특정한 구조는 그림 2(a)처럼 graphene 격자 위의 chiral 벡터 C 로 고유하게 대표 될 수 있다. 그림 2(a)의 선분 OA로 표시된 벡터 C 에서 선분의 두 끝점이 만나도록 실린더형태로 매듭 없이 말리면, 그림 2(b)와 같이 벡터 C 에 해당하는 고유한 SWNT 구조를 얻을 수 있고, unit cell은 튜브의 축 방향인 translation 벡터 P 와 그와 직교하는 chiral 벡터 C 로 표시되는 직사각형이 된다. 한편 C 벡터는 6각형 graphene 격자의 두 unit 벡터 a_1 및 a_2 로 표시될 수 있는데, $C = na_1 + ma_2 = (n, m)$ 와 같이 표현되고, 결국 SWNT의 모든 구조는 (n, m) 의 정수 쌍으로 나타낼 수

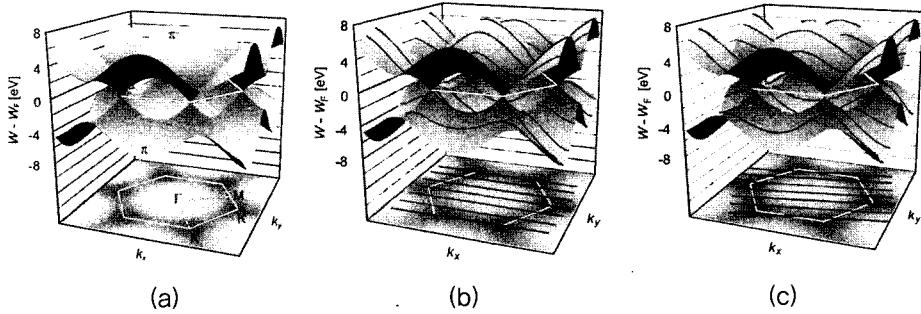


〈그림 2〉 (a)graphene 구조 와 (b)graphene에서의 회색 영역이 매듭 없이 말렸을 때의 탄소나노튜브 구조^[4], 그리고 (c)MWNT의 HRTEM 이미지^[5]

있다^[4]. 그림 2(a)와 (b)는 (5,2) 구조의 SWNT를 예로 나타낸다. CNT의 실제 모습은 1991년 Iijima 에 의해서 실험적으로 처음으로 관찰되었으며, 그림 2(c)는 HRTEM에 의해 관찰된 MWNT의 모습을 보여준다^[5].

2. CNT의 전기적 특성

SWNT의 전기적 특성은 앞에서 언급된 graphene 구조의 전자구조로부터 예측될 수 있는데, 이 graphene의 독특한 에너지 밴드에 기인하여 반도체성과 금속성의 다양한 전기적 특성을 나타낸다^[6,7]. 그림 3(a)에 graphene의 first Brillouin zone과 함께 energy band 구조가 표시되어 있는데, Fermi level 선상에 놓여 있는 6개의 K point 가 Fermi point 로서 valence band(ϕ)와 conduction band(ϕ^*)가 접촉되어 있는 zero-gap 반도체(또는 semi-metal)의 양상을 나타낸다. CNT는 graphene 밴드구조가 CNT 원주방향의 boundary 조건에 의하여 양자화 되어 있는데, chirality에 따라 적어도 하나의 양자화된 band slice가 K point를 통과하는 경우는 금속성 CNT가 되고(그림 3(b)), 어느 것도 K



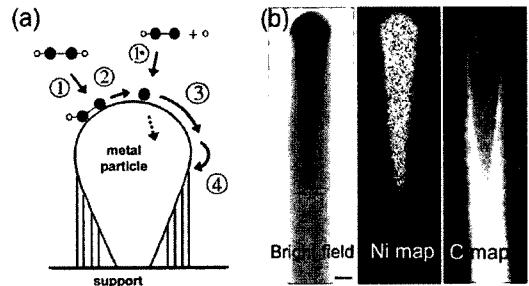
〈그림 3〉 (a)graphene의 first Brillouin zone 과 밴드구조, (b)(3,3) CNT의 first Brillouin zone 과 밴드 slices, (c)(4, 2) CNT의 first Brillouin zone 과 밴드 slices^[4]

point 를 통과하지 않는 경우는 band gap을 갖는 반도체성 CNT가 된다(그림 3(c)). 이 때, Chirality (n,m)을 갖는 CNT 경우, n m이 3의 배수이면 금속성 CNT, 3의 배수가 아니면 반도체성 CNT가 되며, 또한 반도체성 CNT의 경우 에너지 밴드 갭은 CNT의 직경에 반비례하는 것으로 알려져 있다^[7].

III. Carbon Nanotube의 성장

1. CNT의 성장기구

CNT를 포함하는 나노와이어의 성장기구로써 널리 알려진 VLS(Vapor-Liquid-Solid) 성장 기구에 따르면 그림 4(a)와 같이 carbon을 포함하는 원료가스가 액체상태의 나노촉매에 녹아 들고 carbon이 과포화되면 고체상태 carbon이 석출되며 CNT를 형성하는 것으로 요약된다^[8]. 이 때, 탄소의 나노촉매로의 확산계수는 촉매 표면의 결정면에 의해 결정되기 때문에, 초기의 액체화는 동일하게 일어나지 않으며 우선되는 방향을 따라 액상 채널이나 층이 형성되는데, 이렇게 형성된 액상 층은 고체상태로 퍼져 나가서 나



〈그림 4〉 (a)Carbon whiskers, carbon nanofibers, CNT 등의 탄소나노물질의 성장모식도 (b)TEM image와 electron energy loss spectroscopy 사진. Ni L edge (854 eV)와 carbon K edge (284 eV)를 각각 사용. Scale bar: 20nm

노촉매를 완전히 감싸게 된다. 이러한 과정이 진행되면, 액상 나노촉매는 많은 양의 탄소와 결합하여 과포화된 상태의 촉매-carbide cluster를 형성하게 되고, 나노촉매의 표면에서 탄소 원자의 석출이 일어나면서 CNT를 형성하게 되는 것이다. 이 과정과 동시에, 나노촉매 내부에서는 비교적 안정한 Fe-C이 천천히 형성되는데, 탄소의 비율이 액화온도를 성장온도보다 높은 값으로 증가시키면 용융된 나노촉매는 다시 고체화되

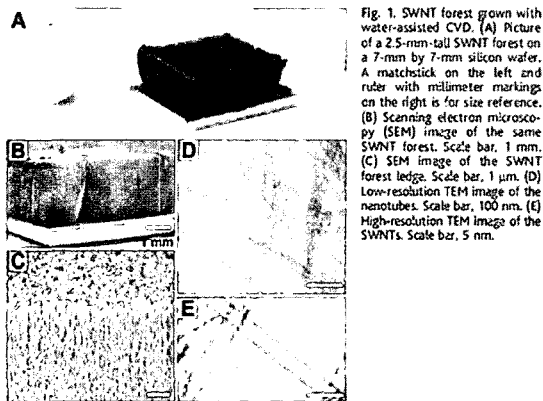


Fig. 1. SWNT forest grown with water-assisted CVD. (A) Picture of a 2.5-mm-tall SWNT forest on a 7-mm by 7-mm silicon wafer. A matchstick on the left and ruler with millimeter markings on the right is for size reference. (B) Scanning electron microscopy (SEM) image of the same SWNT forest. Scale bar, 1 mm. (C) SEM image of the SWNT forest ledge. Scale bar, 1 μ m. (D) Low-resolution TEM image of the nanotubes. Scale bar, 100 nm. (E) High-resolution TEM image of the SWNTs. Scale bar, 5 nm.

〈그림 5〉 Water-assisted CVD 방식을 사용하여 SWCNT forest 를 성장한 결과

고, 이러한 거동은 탄소원자의 확산율을 낮추어, 결과적으로는 CNT의 성장이 멈추게 되는 것이다. 또한, 이러한 과정은 나노촉매 주변에서 촉매의 역할을 나쁘게 하는 비정질탄소나 흑연층의 형성과 동시에 진행된다.

CNT의 성장에서 나노촉매는 CNT의 성장에 필요한 carbon을 지속적으로 공급하는 역할을 하게 되는데, 촉매를 비정질 탄소가 완전히 포위하여 촉매와 carbon source gas가 직접적인 접촉을 못하면, 촉매는 더 이상 탄소를 공급하지 못하여 CNT의 성장을 방해하는 요소로 작용하게 된다. 그러므로, 촉매의 효율 향상을 위한 활성화 방법으로 CNT의 성장 과정 동안에 NH_3 등의 가스를 공급하여 촉매주위의 비정질 탄소를 천천히 Etch하는 방법이 도움이 된다. 특히 최근에는 이를 위해 H_2O 를 공급함으로써 CNT 수율(촉매에 대한 성장된 CNT의 중량비)이 기존의 100-800%에서 50,000%까지 증가되는 것이 보고되었다¹⁰⁾. 이 방법에 의해 성장된 CNT의 결과를 그림 5에 나타낸다.

2. CNT의 합성

CNT의 합성방법은 원하는 특성과 응용처에 따라 달라진다. 결정성이 우수하여 소규모 연구용으로 사용되는 합성방법으로는 아크방전법과 레이저 어블레이션법이 있으며, 비교적 결정성은 낮지만 저온성장과 패턴 상 성장이 가능하여 나노 디바이스나 평면 디스플레이 등의 응용에 유용한 방법으로는 화학 기상 증착법 등이 있다. 또한, 대량 생산을 목적으로는 탄화수소를 열분해하는 방법 등이 알려져 있다. 아래에 지금까지의 CNT 합성 방법과 현재의 연구동향에 대해 요약 하였다.

아크방전법(Arc-discharge) - 최초의 CNT 합성법이기도 한 아크방전법은 본래는 C60을 만들기 위한 방법을 약간 개조한 방법이다¹⁰⁾. 이는 아크방전을 위해 사용되는 두개의 탄소봉 사이를 일정한 간격으로 유지하면서 아크를 발생 시키면 되는데, 반응관의 바깥쪽은 항상 냉각할 수 있는 구조로 만들며, 이 냉각속도가 CNT의 생성에 중요한 역할을 한다. 냉각속도가 느리면 CNT보다는 탄소나노물질의 생성이 많아지게 된다. 이 때, 전극으로 탄소봉만을 사용하면 다층 CNT가 생성되며, 탄소봉에 전이금속을 섞어주면 단층 CNT가 생성된다. 아크방전을 이용한 CNT의 합성은 다른 방법에 비해 순도가 낮은 단점을 가지기 때문에, 이를 개선하는 방법과 함께 만들어진 CNT의 정제방법의 연구가 동시에 진행되고 있다.

레이저 어블레이션법(Laser ablation) - 레이저 어블레이션법으로 CNT를 합성하면 다른 방법에 비해 순도가 높은 단층 CNT만이 만들어지기 때문에, 나노소자의 실험에 많이 사용된다. 레이저는 다른 기화장치에 비해 에너지밀도가 매우 높기 때문에, 탄소와 같은 높은 용점을 가

진 물질에 적합하다. 이러한 특성의 레이저를 이용하여 반응관 안쪽에 전이금속과 흑연가루를 일정한 비율로 섞어 만든 시편을 기화하여 CNT를 합성하게 된다. 이 때에도 전이금속은 순도를 높이고 만들어지는 CNT의 직경도 달라지게 하는 것으로 알려져 있다¹¹⁾.

화학 기상 증착법 (Chemical vapor deposition, CVD) - 화학 기상 증착법에 의해 만들어진 CNT는 비교적 결정성은 낮지만 저온 성장과 패턴에서의 성장이 가능하여 나노 디바이스나 평면 디스플레이 등에 응용할 수 있다. 이 방법에서는 탄소를 포함하고 있는 가스(C_2H_2 , CH_4 , C_2H_4 , CO 등)를 원료가스로 하고, 촉매로는 니켈, 코발트, 철 등의 전이금속이 사용되는데, 이는 원료가스를 분해하는 촉매역할과 동시에, CNT의 핵 형성을 위한 시드(Seed) 역할을 한다¹²⁾. 화학 기상 증착법은 원료가스를 분해하는 방법에 따라 Thermal CVD, Plasma enhanced CVD, Hot filament PECVD 등으로 분류할 수 있다.

열분해법(Pyrolysis of hydrocarbon) - 열분해법은 액상 또는 기상의 탄화수소를 전이금속과 함께 가열된 반응관 안으로 공급하여 탄화수소를 분해시켜 기상상태에서 CNT를 합성하는 방법이다¹³⁾. 이는 연속적인 탄화수소의 공급이 가능하기 때문에 CNT의 대량생산이 가능한 방법이 된다. 촉매로는 ferrocene, pentacarbonyl, metallocene, xylene 등이 사용되며, 대표적인 방법으로 Smalley 그룹에서 제안한 HiPCO Process¹⁴⁾는 단층 CNT를 대량생산할 수 있게 된다.

이렇게 CNT를 합성하는 방법은 여러가지가 개발되어 있으며, 이중 응용목적에 따라서 각각의 합성법이 가지는 장점과 단점을 잘 파악하여 적당한 방법을 선택해야 할 것이다.

IV. CNT Interconnection

1. 연구배경

반도체 소자 제조에 사용되는 금속배선 기술은 design rule의 감소에 따라 다음과 같이 많은 문제점이 예상되고 있다. 첫째, design rule이 작아짐에 따라 금속배선의 비저항은 지수함수적으로 증가한다는 것이고, 둘째, electromigration에 의한 hillock의 발생이나 단선의 문제가 있으며, 셋째, 높은 aspect ratio에 기인한 filling 문제가 그것이다. 특히 구리를 사용하는 경우 구리의 확산문제를 해결하기 위한 확산방지막의 사용으로 상기 문제가 scale down에 따라 더욱 악화된다. 이러한 문제점을 해결하기 위한 대체 재료로써 최근 CNT가 큰 주목을 받고 있다. 기존의 구리 배선은 $\sim 10^6$ A/cm²의 수송전류밀도를 가지지만, CNT는 ballistic transport 특성을 가지기 때문에 이론적인 계산으로는 10^9 - 10^{10} A/cm²의 수송전류밀도를 가지며, electromigration에 대한 저항성 또한 크다고 보고되어 있다¹⁵⁾.

1차원 도선으로서의 금속성 SWNT의 전기 전도의 특성은 2단자 conductance 의 Landauer formula로 설명할 수 있는데, 이는 어떠한 scattering도 없는 ballistic transport 하에서는 conductance $G=2e^2/h*(\text{sum of all transmission})$ 이 된다는 것이다. 이에 따르면, 이상적 금속성 SWNT에서는 Fermi 에너지 근처에 2개의 channel이 있으므로 $R(=1/G)$ 은 $h/4e^2$ 이 되며, 이는 대략 6.5kohm이 된다¹⁶⁾. 이러한 양자저항의 기원은 macroscopic 한 metal lead에 반하여 양자화된 SWNT에서의 유한 개로 한정되어 있는 전도 채널간의 contact에서의 mismatch로 설명된다. 그러나 실제의 경우, 이러한 양자역학적

인 contact 저항뿐 아니라, 금속과 나노튜브간의 계면 barrier에 의한 contact 저항, lead 와 나노튜브간의 coupling 에 의한 contact 저항 성분 등이 추가적으로 큰 비율을 차지하게 된다¹⁶⁾. 그러므로, 이처럼 큰 접촉저항을 낮추는 것이 CNT를 배선으로 직접 응용하기 위한 핵심 연구과제가 되는데, 이를 위해서 CNT와 일함수가 비슷한 금속(예 Pd)을 사용하여 Schottky barrier의 형성을 막는 방법¹⁷⁾과 CNT와 전도성 카바이드를 형성하는 금속을 사용하여 접촉저항을 작게 하는 방법¹⁸⁾ 등이 제안되어 오고 있다.

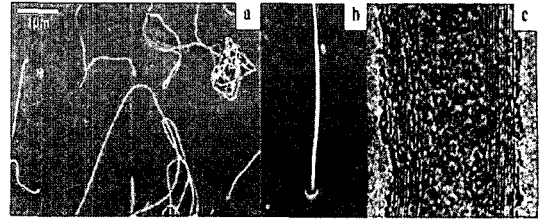
2. 연구동향

CNT를 반도체 배선기술에 사용하고자 하는 연구는 Infineon, Fujitsu, 삼성전자 및 NASA 등의 산업체에 의해 중심으로 진행되고 있는데, 각 연구그룹의 특징적인 연구성과에 대해 간략하게 설명하면 다음과 같다.

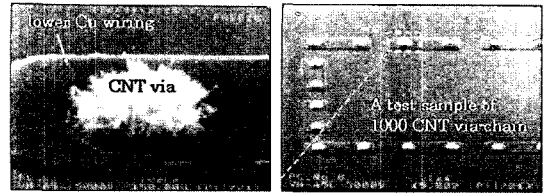
Infineon에서는 그림 6와 같이 30nm의 Multi-layer 촉매 층을 가진 Via hole을 Ion beam lithography 기술로 형성하고 15nm 직경의 CNT를 성장시키는 데 성공하였으며¹⁹⁾, 하나의 Via hole에서 1 Mohm의 매우 높은 저항을 얻었으나 열처리 후 8 kohm의 낮은 저항을 얻었다.

그림 7와 같이, Fujitsu의 연구그룹에서는 PR Strip에 의한 Lift-off 방식을 사용하여 2micron의 큰 Via hole에서 CNT를 성장시켜서 5 ohm의 저항을 얻었다¹⁸⁾. 특이한 사항으로 CNT와 금속 전극 사이의 접촉저항을 작게 하기 위해 Ti layer를 삽입하여 CNT의 성장 과정에서 탄소와 Ti가 반응하여 TiC를 형성하도록 하였다.

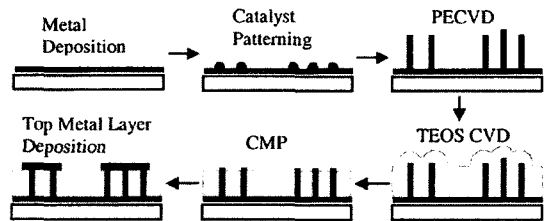
NASA의 연구그룹은 다른 연구그룹의 방식과는 다른 접근방식을 택하여 연구를 진행하였다.



〈그림 6〉 (a)Fe/Ta multilayer 촉매를 사용하여 30nm 직경의 via에 MWCNT를 성장한 모습 (b)직경 15nm의 MWCNT가 성장한 결과를 확대한 사진 (c)상기의 조건에서 성장한 MWCNT의 TEM image



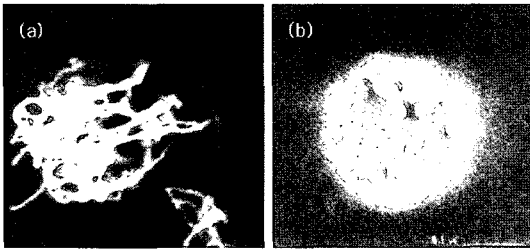
〈그림 7〉 Fabrication of 1000 CNT via chain



〈그림 8〉 NASA의 수직 배선 형성 공정 순서도

촉매를 미리 Patterning하여 CNT를 선택적으로 성장시킨 후, 절연막을 증착하고 평탄화하여 수직 배선을 형성하였으며, 하나의 via에서 5.2 kohm의 저항을 얻었다. 이 그룹에서 사용한 공정순서를 그림 8에 나타내었다²⁰⁾.

삼성전자의 연구그룹은 반도체의 기준 공정을 이용하여 반도체 공정과 정합성이 우수한 방식으로 연구를 진행하고 있다. 그림 9는 촉매 층이 embed된 240nm의 via hole을 형성하고 CNT를



〈그림 9〉 직경 240nm via hole에 CNT를 성장한 모습 (SEM). (a)CMP 전, (b)CMP 후. Scale bar. 100nm(to be published)

성장시킨 후, CMP(chemical Mechanical Polishing) 공정을 이용하여 평탄화 한 전후의 결과를 나타낸다. CMP 공정 후의 결과에서 밝은 점이 바로 CNT이다. 또한, 전자의 수송에 직접적인 역할을 하는 CNT의 밀도를 향상시킬 목적으로 나노파티클 촉매를 이용한 연구도 진행하고 있는데, 이 때 나노파티클 촉매가 via hole의 바닥에만 존재하는 것이 바람직하게 된다. 이를 위해 적절한 표면처리를 하여 CNT를 Via hole의 바닥에서만 성장시키는 것에 성공하였다^[21].

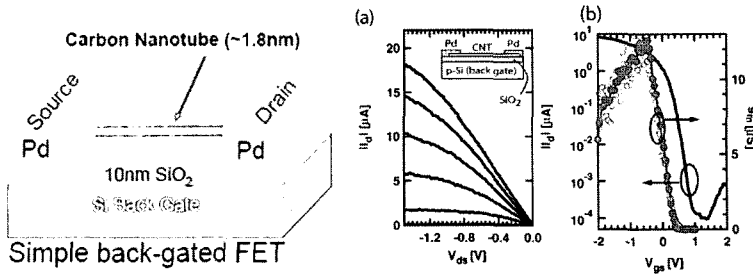
그런데, 위에서 제시된 CNT의 via 저항을 살펴보면, 2 μm 정도의 via 크기에서 $\sim 50\text{ohm}$, 30nm 정도의 via 크기에서 $\sim 8000\text{ohm}$ 정도로 Cu 배선의 현 수준인 100nm via에서 1-2ohm에 비해 매우 큼을 알 수 있다. 이러한 via 저항은 직접적으로 RC delay 시간에 기여하므로 가능한 최소화 해야 할 필요가 있다. 이를 위해 앞서 강조했듯이 CNT와 다른 금속 배선과의 contact 저항을 감소시키기 위해 주변 금속의 최적화는 물론이고, via 자체의 저항을 감소시키기 위해 via hole 내부의 CNT 밀도를 올리는 방법이나, CNT wall 수의 최적화등에 대한 연구 또한 뒷받침 되어야 할 것이다.

V. 반도체성 CNT의 응용 : electronics and optoelectronics

CNT의 반도체 소자 응용 가능성 중 또 하나의 중요한 분야는 바로 반도체성 CNT의 높은 전하 이동도 및 구조적 안정성을 이용한 위한 CNT FET의 개발이라 할 수 있는데, 이는 CNT는 dangling bond 가 없어서 SiO₂등의 다양한 gate 절연막과 정합성이 좋고, 직경 1nm 수준으로 fully depletion 가능한 thin body channel 이면서도 mobility degradation 이 없다는 장점을 갖고 있기 때문이다. 또한 CNT가 direct band gap을 갖고 있다는 점에서 광전자소자로의 응용에도 용이하다^[22].

CNT-FET의 제조 및 성능 분석은 학계 및 IBM 그룹에 의해 연구가 주도되어 왔는데, gate 전극 형성 방법에 따라 크게 back gate FET와 top gate FET의 구조로 구분 된다. Back gate CNT-FET의 제조 방법은 도핑 된 실리콘기판을 back gate로 유지한 채, 그 상부에 gate 절연 막을 형성한 후 CNT가 위치하여 channel로 작용하는 구조인데, 이 때 S/D 전극은 CNT 위치 전이나 후에 형성 되게 된다. IBM은 후자의 방법을 이용하여 1.8nm의 CNT channel 직경 및 gate length 600nm 인 back gate CNT FET을 제작하여 12.5 μS 의 transconductance와 19ps/ μm 의 단위 gate length 당의 gate delay를 얻는데 성공하였는데, 이는 현재까지 알려진 CNT-FET중 가장 좋은 성능에 해당된다^[23]. 그림 10에 이 back gate CNT-FET 구조 및 출력특성, 그리고 전달 특성을 차례대로 나타내었다.

Top gate CNT-FET는 절연막 위에 CNT로 채널을 먼저 형성한 후 S/D 영역을 정의한 뒤 gate 절연막과 top gate 를 순차적으로 형성하는



(그림 10) (왼쪽) FET 구조, (오른쪽) FET 출력특성 및 전달 특성 (IBM 자료 발췌 및^[23])

방법으로 통상의 Si MOSFET 제조 공정과 유사한데, 보다 더 좋은 FET 특성을 보이는 것으로 알려져 있다.

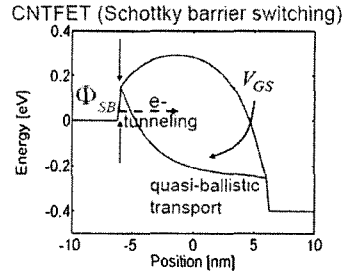
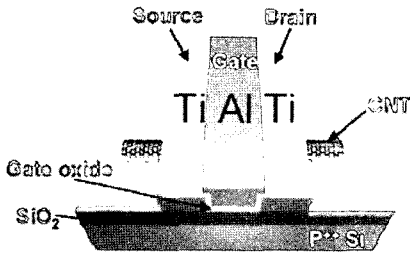
CNT-FET을 구현하기 위한 또 다른 방법으로는 그림 11에 나타난 것과 같이 channel 영역의 modulation 대신 CNT 특성 및 금속과 디바이스 구조 등에 따른 contact 영역의 Schottky barrier(SB)를 이용하는 것이 가능하다^[22]. SB CNT-FET에 대한 근거는 여러 문헌에서 실험 및 이론적으로 다루어져 왔는데, S/D 금속의 work function 을 잘 조절하여, 금속의 Fermi level 이 conduction band edge 근처 또는 valence band edge 근처에 align 되게 하면, 각각 n type 우세 또는 p type 우세한 FET를 만들 수 있고, Fermi level을 mid gap에 align 하면, 대칭성 ambipolar FET 형성의 형성도 가능하게 된다. 하지만 SB height는 S/D 금속의 work function 뿐 아니라 계면 quality에도 의존하기 때문에, SB height를 control 하는 것은 쉽지 않으며, channel switching 방식으로 unipolar 동작을 하는 Si MOSFET 보다 control 하기가 까다롭다. 그래서 barrier free bulk switch를 위한 ohmic contact 형성 및 공정조합에 대한 연구도 진행되어 왔다^[24]. 추가로 CNT-FET의 특성을 개선하기 위한 방법으로 dual gate를 이용한

electrostatic doping이나 chemical doping을 이용하는 등 다양하게 연구가 진행되고 있다^[25,26].

최근에는 단일 FET를 넘어, 이를 논리 소자로 구현하고자 하는 연구 또한 활발하게 이어지고 있는데, IBM에서 top gate 전극의 work function 차이를 이용하여 단일 SWNT channel에서 FET polarity를 제어하여 n-type 및 p-type FET를 동시에 형성하여 CMOS 형태의 inverter 및 5 stage ring oscillator를 구현한 것이 좋은 예가 된다^[27].

앞에서 언급한 바와 같이 반도체성 CNT를 이용한 optoelectronics에의 응용 또한 중요한 관심을 끌고 있는데, 이는 direct band gap을 가지고 있으며, 전자와 hole의 effective mass 가 동일하며, 1D confinement에 의하여 e-h의 exciton 결합에너지가 크다는 특성에 기인하는 것이다. 특히 ambipolar gate에 의해서 control 되는 single SWNT는 IR light를 발광하는 특성이 있음이 이미 보고 되었는데, 이는 전기적으로 공급되어 생성된 e-h exciton 이 전이를 통해 결합하여 빛을 발하는 것이다^[22]. 이러한 optoelectronics에의 응용을 위하여 지금도 계속해서 성능 개선 및 최종적으로 집적회로에 적용하기 위하여 다양한 연구가 진행되어 오고 있다.

이러한 많은 관심에도 불구하고 CNT를 이용한 Transistor에 관한 연구는 아직까지는 초기 단



〈그림 11〉 Top gate CNT FET 구조(예) 및 SB 동작원리 (IBM 자료 발췌)

게이고, 주로 단위 소자를 제작하는 수준에서 이루어지고 있는 것이 사실이다. 특히 현재까지는 CNT powder를 wafer 표면에 분산하고, e-beam lithography 를 이용하여 선택된 임의의 CNT를 이용한 FET의 제작이 주요한 방법이 되고 있는데, 이는 단위 소자 특성을 평가하는 측면에서는 유리하지만 궁극적인 목표인 고집적 반도체 소자 제조에는 요원한 방법임이 사실이다. 이에 대한 대안으로 수직배선의 경우와 같이 단일 SWNT를 수직으로 성장하고 이를 이용하여 수직 transistor를 형성하는 것이 제안 되어 있는데, 이러한 방법이 현재의 반도체 공정과의 호환성 또한 분산에 의한 방법보다는 높다는 장점을 가지고 있다.

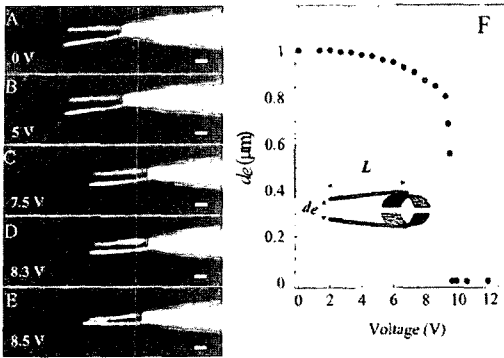
VI. 기타 소자에의 응용

CNT의 발견 이후, 전기적 성질의 우수성과 이를 이용한 전자 소자로의 응용에 대한 관심 이전부터 CNT의 기계적 성질의 우수성은 많은 주목을 받아왔다²⁸⁾. 전자소자의 경우, 노력에 비해 아직 시장을 창출할 수 있을 정도의 적당한 응용처를 찾지 못하고 있는데 반해, 초보적인 단계이기는 하지만 섬유나 운동 기구의 특성을 향상시켜 주는 재료로서 CNT가 제품에 적용되기 시작했

다는 점을 고려하면, 우수한 기계적 특성이 신 재료로서 CNT의 중요한 일면임은 상기해야 한다.

CNT의 기계적 특성의 우수성은 기본 결합 구조를 이루는 탄소의 sp² 결합의 특성에 기인한다. 이는 다이아몬드의 결합에 견줄만한 단단한 결합으로서 여타의 금속들에 비할 수 없는 견고함을 보장해 주며, 실험적으로 100~150 GPa의 압축강도와 수 T Pa의 영률을 갖고 있음이 알려져 있다. 이러한 특성을 갖추고 있으면서 속이 비어있는 튜브형태의 구조라는 점이 바로 위에서 설명한 기계적 성질의 우수성, 즉 가벼우면서도 강한 물질이라는 중요한 특성을 갖게 되는 것이다. 여기에 CNT가 지니는 또 하나의 중요한 구조적 특징인 나노미터 정도의 작은 크기라는 점과, 극단적으로 높은 종횡비를 갖는다는 점은 우수한 기계적 특성을 전자 소자로 이용하려는 시도들을 낳았다. 이러한 전자소자로의 응용은 높은 강도임에도 불구하고 속이 비어있어서 우수한 탄성과 연성이 나타낸다는 점을 이용 하려는 데서 출발한다.

기계적 성질을 이용한 접근은 처음에는 주로 전자 소자의 개념보다는 나노 펜셋(그림 12)²⁹⁾이나 actuator³⁰⁾와 같은 NEMS (Nano Electro Mechanical System)에의 적용으로 이루어 졌다. 이는 요즘에 전기 역학적 (electromechanical) 특



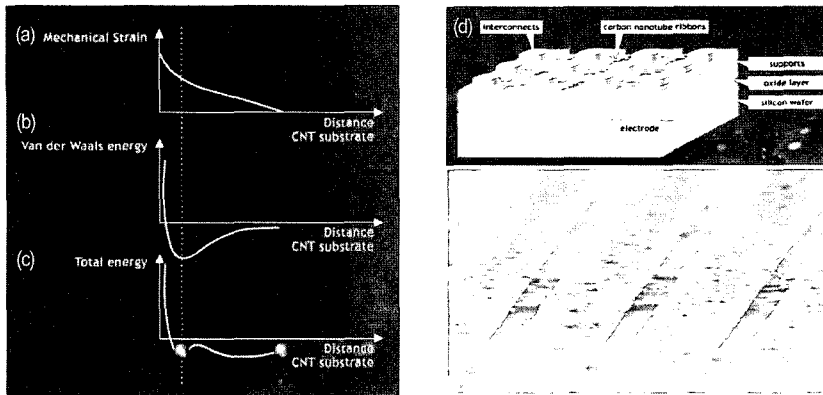
〈그림 12〉 CNT를 이용한 나노 핀셋. A~E에서 양단에 걸린 전압에 따라 CNT 끝의 간격이 변화하는 모습을 확인할 수 있다. F는 이러한 변화를 정량적으로 나타낸 그래프이다^[51]

성으로 불리며 CNT의 중요 응용처 중 하나로 주목 받고 있는 특성으로, 전기 전도성이 우수한 두 CNT 사이에 전위를 인가할 경우 이 사이에 유도된 전하에 의해 정전기력이 발생하게 되고 그 결과 CNT의 변형이 일어남을 이용하는 것이다. 여기서 또 한가지 주목할 특성은, 바로 탄소의 sp² 결합의 안정성 때문에 외부로는 쉽게 화학적 결합이 발생하지 않고 반데르발스 힘에 의한 물리적 결합만이 발생한다는 것이다. 즉, 양쪽의 전위에 의해 접촉이 발생하더라도 쉽게 - 적은 힘으로 - 원래의 상태로 되돌릴 수 있다는 것이다.

이러한 특성은 곧 나노미터 크기의 스위치의 구현이 가능하다는 의미로, 앞서 말한 나노 핀셋이 시연된 후 바로 이를 이용한 메모리의 가능성이 제안되었다^[32]. 우선 CNT의 탄성력 (그림 13(a))과 두 CNT 사이의 반데르발스 힘 (그림 13(b))은 그림 13(c)와 같은 두 CNT의 거리에 따라서 두 곳의 안정점을 갖는 에너지 곡선을 갖게 된다. 이 두 지점을 각각 “on” 및 “off” 상태로 정의함으로써 단순한 switch의 의미를 넘어

비휘발 특성을 갖는 메모리로의 응용이 가능해지게 된다. 또한, 그림 13(c)와 같은 에너지 - 거리 곡선은 외부의 전압과 초기의 - 혹은 “off” 상태의 - 거리에 따라 조절이 가능해지게 되고, 계산을 통해 crosspoint 구조로 구현될 경우 20nm 이하의 크기에서 동작이 가능한 초고집적 구현이 가능함을 보였다. 여기서 메모리의 기록은 앞서 말한 전위차로부터 유도되는 Coulomb의 정전기력을 이용하고, 읽기는 각 상태에서의 저항 변화로서 하게 된다^[32].

이와 같은 제안은 CNT의 전자소자로서의 응용 가능성을 그 전기적 특성을 기초로 한 트랜지스터로부터 시작하려던 기존의 접근 방향과는 매우 다른 시각으로 시도한 결과이다. 특히 이 소자는 CNT가 전자 소자로 응용되기 위해 넘어야 할 가장 큰 걸림돌 중 하나로 여겨졌던 반도체성과 금속성 CNT의 구분에 민감하지 않다는 것이 매우 큰 장점으로 현실화가 가장 가까운 나노 소자로서 많은 관심을 받고 있다. 물론 이 소자가 제시한 모든 장점을 갖추기 위해서는 CNT의 길이, 직경 등에 대한 기초 물성의 제어 또는 정제 기술이 확보 되어야 하는 점이나, CNT를 원하는 위치에 원하는 방향으로 위치시키는 기술 등 아직 풀지 못한 많은 문제점이 남아 있음은 사실이다. 특히, CNT를 원하는 형태로 배열하고자 하는 문제는 그 해답이 여전히 요원해 보이는 또 하나의 큰 걸림돌로서, CNT의 도체적 성질을 이용하여 외부에서 전압을 가하여 그 전기장의 방향으로 성장을 유도하는 전기장 유도 자기 조립법^[33], 유체의 흐름을 이용하여 CNT를 일정한 방향으로 배열하는 방법^[34], photolithography를 이용하여 미리 패터닝된 template에 CNT의 흡착을 유도하는 표면유도조립법^[35] 등의 다양한 시도가 있어왔으나 고집적화를 위



〈그림 13〉 두 CNT 간의 거리변화에 따른 (a)탄성력, (b)반데르발스 힘에 의한 에너지의 변화, (c)이 두가지의 합에 의한 최종적인 에너지 변화의 곡선, (d)Nantero社에서 제안한 구조의 CNT의 전기역학적 특성을 이용한 비휘발성 메모리의 개념도 및 실제 CNT를 라인 형태로 패터닝한 모습^[31]

해서 더 많은 연구가 요구된다.

고집적 메모리 소자로서 응용을 위해 해결 해야 할 또 하나의 중요한 기술로는 바로 스위칭 되는 부분의 거리의 안정적인 확보를 들 수 있다. 앞서 말했듯이 제작 초기의 CNT 간 거리는 결국 소자의 동작 전압 및 기억 한계 (retention time)와 같은 소자의 중요한 특징을 결정 짓게 된다. 그러므로, 스위칭 거리를 안정적으로 확보 하는 공정은 이 소자를 제작하는데 가장 결정적인 기술중 하나로서, 특히 CVD에 의한 CNT 성장 기술의 개발로 배열 성장이 어느 정도 가능해 진 시점에서 소자의 구현을 위해 최 우선으로 선 결해야 할 문제인 것이다. 이를 위해 제시된 방법 으로는 CVD를 이용해 패터닝된 촉매에서 CNT 가 성장하게 하거나^[36], 소자 구조 완성 후 희생 층의 제거를 이용하거나^[37], 화학적으로 식각량을 조절 하는^[38] 등으로 다양하게 시도되고 있다.

이처럼 고집적, 비휘발성, 고속 메모리라는 최종점을 위해서는 아직 해결해야 할 문제가 많기는 하지만, Nantero社에 의해 제품화가 진행되

고 있다. 동사는 일차적인 방향으로 고집적화에 필수적인 CNT의 배열 부분은 배제하고 박막 형태로 CNT를 코팅한 뒤 물리적인 식각법으로 선형 패턴을 만드는 방법을 채택하여, 이 소자의 다른 장점으로서 단순한 구조 와 간단하고 저렴한 공정, 그리고 반도체 공정의 back-end process 에 한 장의 추가 mask만 사용 함으로서 embed 가 가능한 메모리 소자라는 특징을 부각시켜 제품화에 근접한 상태이다. 최근의 동사의 발표에 따르면 200mm 웨이퍼를 이용하여 5,000만회 이상의 반복 쓰기와 1억 6천만회 이상의 읽기 동작 과 250°C에서 1주일 이상의 기억 능력을 구현하였으며, 웨이퍼 내에서의 칩의 제조 수율도 95% 를 성공했다고 발표 하였으니^[39], CNT를 이용한 최초의 메모리 소자가 시장에 등장할 날도 멀지 않은 것으로 느껴진다.

CNT의 전기-역학적 특성을 이용한 전자소자 에의 응용이란 개념은 전기적 성질에만 매달려 있던 기존의 분위기에 충분한 자극이 되었고, 유사한 개념을 확장하여 게이트 구조를 추가한

CNT를 이용한 터레이^[40], CNT가 휠 때 밴드갭의 변화와 같은 전기적 성질의 변화가 유도됨을 이용한 새로운 구조의 트랜지스터^[41] 등 다양하게 발전된 형태의 소자들이 제안되고 연구되고 있다. 뿐만 아니라 메모리 소자로서의 특성을 개선하기 위해, 더 낮은 동작 전압과 안정된 동작을 위해 지우기 전용 전극을 추가하는 구조^[39] 등의 개량 방향도 제시되고 있다. 이처럼 CNT를 이용한 비휘발성 메모리의 가능성은 그것이 제시하는 기존의 메모리 소자들이 갖는 한계를 뛰어 넘는 최종 대안의 의미 외에도, 전자 소자에 적용 가능한 새로운 특성 및 기능의 발견이라는 큰 의미를 지닌다 할 수 있다.

여기서 한가지 고찰해 볼 점은, 발견 초기부터 강조되어 온 CNT의 우수한 전기적 특성이나 크기에 의해 기대되는 초 고집적도에만 집중하는 연구는 오히려 CNT의 전자소자로서의 가능성을 더욱 어렵게 만드는 반면, CNT의 기계적 성질을 메모리 소자에 응용하는 것처럼 CNT 만이 지니는 독특한 성질을 이용하는 신개념 소자의 개발이 실용적인 돌파구를 보여 주고 있다는 점이다. 이런 점에서 CNT shell 간의 결합이 매우 약한 반데르발스 힘이라는데 착안하여 이를 배어링으로 응용하여 제안된 나노모터나 이를 응용한 메모리 소자^[42], 전자소자에의 적용에 걸림돌로 여겨지던 높은 접촉 저항을 발열체로 이용한 새로운 구조의 PRAM(Phase Random Access Memory)^[43], CNT의 높은 열전도도를 전자 회로의 배선에 이용하는^[44] 등의 연구는 주목할 필요가 있다고 생각 된다. 즉, 기존 전자소자의 한계를 극복하고 대체 하려는 접근뿐 아니라, 새로운 특성과 원리가 결합된 새로운 개념의 전자소자의 개발에 적극적으로 접근하는 것이 CNT를 더욱 경쟁력 있는 소재로 만들어 줄 수 있으며,

더 나아가서는 기존 전자소자의 장단점을 상호 보완하여 최종적인 해답을 찾아 내는 것이 결국 전체적인 반도체 산업의 발전에 이르는 길이 될 수 있을 것이다.

Ⅷ. 결론 및 제언

지금까지 우리는 CNT를 반도체 소자에 응용하는 관점에서 살펴보았다. CNT가 나타내는 우수한 전기적 특성, 기계적 특성으로 많은 연구가 되고 있지만 아직까지 전자소자 응용관점에서는 뚜렷한 성과를 얻지 못하고 있는 것이 사실이다. 이는 CNT가 근본적으로 현재 반도체 기술의 근간을 이루는 Top-down 기술 대신 아직 체계를 제대로 갖추지 못한 Bottom-up 기술에 의존하여 제작하는 과정에 기인한다고 보여진다. 또 CNT가 chirality에 따라 반도체도 될 수 있고 도체도 될 수 있는 동시에 각 경우의 물성도 차이가 날 수 있다는 사실은 개별 CNT의 구조를 원자 수준에서 직접 제어할 수 있는 기술이 필요로 한다는 것을 암시한다. 따라서 전자소자에의 응용을 위해서는 이러한 물성 차이에 상대적으로 둔감한 전자소자를 고안하는 것도 CNT의 빠른 응용을 위한 접근 방법이라고 보여진다.

CNT의 연구는 전자 소자 응용을 위한 극한의 구조/물성 제어 기술을 요구한다는 점은 분명하지만, 전자 소자에의 응용이 성공하면 CNT의 다양한 매우 우수한 특성을 이용하는 새로운 개념의 공정 및 소자가 도입될 수 있는 기회가 될 것은 분명할 것이다. 그러므로 이러한 관점에서 CNT의 연구는 기존 방법의 답습보다는 창의적인 접근방법을 요구하고 있고, 신진 연구 인력들의 많은 관심과 참여가 발전의 원동력이 될 것으로 기대된다.

참고 문헌

- [1] P. G. Collins, Ph. Avouris, "Nanotubes for Electronics," Scientific American Magazine December 2000.
- [2] "나노 튜브를 이용하여 LSI화로 가는 길이 나타났다. -우선은 센서나 배선, FED부터 실현," 일경 일렉트로닉스 Sep. 2003.
- [3] 이영희, "탄소나노튜브의 응용," 물리학과 첨단기술 Jan/Feb 2003; 이윤희, 김동호, "탄소나노튜브의 집적 디지털 논리회로 기술," 물리학과 첨단기술 March 2003.
- [4] M. S. Dresselhaus, G. Dresselhaus and P. C. Eklund, "Science of Fullerenes and Carbon Nanotubes," 1996.
- [5] S. Iijima, "Helical microtubules of graphitic carbon," Nature, vol. 354, pp. 56-58, 1991.
- [6] M. Dresselhaus, G. Dresselhaus, and Ph. Avouris, Eds., "Carbon Nanotubes," ;Berlin, Springer-Verlag, 2001.
- [7] J. W. Mintmire, B. I. Dunlap, and C. T. White, "Are fullerene tubules metallic?" Phys. Rev. Lett. vol. 68, pp. 631-634, 1992.
- [8] R. S. Wagner and W. C. Ellis, "Vapor-Liquid-Solid Mechanism OF SINGLE CRYSTAL GROWTH," Appl. Phys. Lett. Vol. 4, pp. 89-90, 1964.
- [9] K. Hata, D. N. Futaba, K. Mizuno, et al., "Water-Assisted Highly Efficient Synthesis of Impurity-Free Single-Walled Carbon Nanotubes," Science Vol. 306, pp. 1362-1364, 2004.
- [10] Y. Ando and M. Ohkohchi, "Production of ultrafine powder of β -SiC by arc discharge," J. Cryst. Growth Vol. 60, pp. 147-149, 1982.
- [11] H. Kataura, A. Kimura, et al., "Formation of Thin Single-Wall Carbon Nanotubes by Laser Vaporization of Rh/Pd-Graphite Composite Rod," Jpn. J. Appl. Phys. Vol. 37, pp. L616-L618, 1998.
- [12] W. Z. Li, S. S. Xie, L. X. Qian, et al., "Large-Scale Synthesis of Aligned Carbon Nanotubes," Science Vol. 274, pp. 1701-1703, 1996.
- [13] Y. H. Lee, D. J. Bae, K. H. An, et al., "Synthesis and Applications of Carbon Nanotubes," Carbon Sci. Vol. 2, pp. 120-141, 2001.
- [14] P. Nikolaev, M. J. Bronikowski, et al., "Gas-phase catalytic growth of single-walled carbon nanotubes from carbon monoxide," Chem. Phys. Lett. Vol. 313, pp. 91-97, 1999.
- [15] B. Q. Wei, R. Vajtai, and P. M. Ajayan, "Reliability and current carrying capacity of carbon nanotubes," Appl. Phys. Lett. Vol. 79, pp. 1172-1174, 2001.
- [16] P. Avouris, J. Appenzeller, R. Martel, and S. J. Wind, "Carbon Nanotube Electronics," in Proc. of the IEEE, vol. 91, pp. 1772-1784, 2003.
- [17] A. Javey, J. Guo, Q. Wang, M. Lundstrom, and H. Dai, "Ballistic carbon nanotube field-effect transistors," Nature Vol. 424, pp. 654-656, 2003.
- [18] Y. Awano, "Carbon nanotube technologies for future ULSI via interconnects," Proceedings of SPIE Vol. 5732, pp. 37-44, 2005.
- [19] M. Liebau, A.P. Graham, Z. Gabric, et al., "How do carbon nanotubes fit into the semiconductor roadmap?" Appl. Phys. A, Vol. 80, pp. 1141-1151, 2005.
- [20] J. Li, Q. Ye, A. Cassell, et al., "Bottom-up approach for carbon nanotube interconnects," Appl. Phys. Lett., Vol. 82, pp. 2491-2493, 2003.
- [21] 마·아, "A process for selective deposition of catalysts for the growth of nanoscale materials," 특허 출원 중 (2006).
- [22] P. Avouris, "Carbon Nanotube Electronics and Optoelectronics," MRS Bulletin, vol. 29, pp. 403-410, 2004.
- [23] Y-M. Lin, J. Appenzeller, Z. Chen, et al., "High-Performance Dual-Gate Carbon Nanotube FETs with 40-nm Gate Length," IEEE Electron Device Lett., vol. 26, pp. 823-825, 2005.
- [24] A. Javey, J. Guo, Q. Wang, M. Lundstrom, and H.

- Dai, *Nature*, vol. 424, pp. 654-657, 2003.
- [25] Y.-M. Lin, J. Appenzeller, J. Knoch, and P. Avouris, "High-performance carbon nanotube field-effect transistor with tunable polarities," *IEEE Trans. Nanotechnol.*, vol. 4, no. 5, pp. 481-489, September 2005.
- [26] J. Chen, C. Klinke, A. Afzali, and Ph. Avouris, "Self-aligned carbon nanotube transistors with charge transfer doping," *Appl. Phys. Lett.* vol. 86, pp. 123108/1-123108/3, 2005.
- [27] Z. Chen, J. Appenzeller, Y.-M. Lin, et al., "An Integrated Logic Circuit Assembled on a Single Carbon Nanotube," *Science*, vol. 311, p. 1735, MARCH, 2006.
- [28] J. Salvétat-Delmotte and A. Rubiöc, "Mechanical properties of carbon nanotubes: a fiber digest for beginners," *Carbon*, vol. 40, pp. 1729-1734, 2002.; and references therein.
- [29] P. Kim and C. M. Lieber, "Nanotube nanotweezers," *Science*, vol. 286, pp. 2148-2150, 1999.
- [30] J. Fraysse, A. I. Minett, O. Jaschinski, et al., "Carbon nanotubes acting like actuators," *Carbon*, vol. 40, pp. 1735-1739, 2002.
- [31] Nantero home page; <http://www.nantero.com>
- [32] T. Rueckes, K. Kim, E. Joselevich, G. et al., "Carbon nanotube-based nonvolatile random access memory for molecular computing," *Science*, vol. 289, pp. 94-97, 2000.
- [33] Y. Zhang, A. Chang, J. Cao, et al., "Electric-field-directed growth of aligned single-walled carbon nanotubes," *Appl. Phys. Lett.*, vol. 79, pp. 3155-3157, 2001.
- [34] Y. Huang, X. Duan, Q. Wei, and C. M. Lieber, "Directed assembly of one-dimensional nanostructures into functional networks," *Science*, vol. 291, pp. 630-633, 2001.
- [35] S. G. Rao, L. Huang, W. Setyawan, and S. Hong, "Nanotube electronics: Large-scale assembly of carbon nanotubes," *Nature*, vol. 425, pp. 36-37, 2003.
- [36] J. E. Janga, S. N. Chaa, Y. Choia, et al., "Nanoelectromechanical DRAM for ultra-large-scale integration (ULSI)," *IEDM05*, 2005.
- [37] T. Rueckes, B. M. Segal, D. K. Brock, "Methods of making electromechanical three-trace junction devices," U. S. Patent 6,784,028 B2 (2004).
- [38] 여인석, 진용완, 최영문, 김하진, 이선우, 한인택, "효과적인 홀 패턴 및 촉매 형성에 따른 탄소 나노튜브의 수직 배선 소자 제조 방법," 한국 특허 2004-0064031 (2004).
- [39] T. Rueckes, "Next generation semiconductor devices based on carbon nanotubes," *AVS 52nd Symposium*, 2005.
- [40] J. M. Kinaret, T. Nord, and S. Viefers, "A carbon-nanotube-based nanorelay," *Appl. Phys. Lett.*, vol. 82, pp. 1287-1289, 2003.
- [41] T. Tomblor, C. Zhou, L. Alexeyev, et al., "Reversible nanotube electro-mechanical characteristics under local probe manipulation," *Nature*, vol. 405, pp. 769-772, 2000.
- [42] A. M. Fennimore, T. D. Yuzvinsky, W.-Q. Han, et al., "Rotational actuators based on carbon nanotubes," *Nature*, vol. 424, pp. 408-410, 2003.
- [43] 호리이, "Carbon nanotube를 전극 plug로 이용하는 PRAM(상변화 memory)," 한국 특허, 2003-0037678 (2003).
- [44] N. Srivastava, R. V. Joshi, and K. Banerjee, "Carbon nanotube interconnects: Implications for performance, power dissipation and thermal management," *IEDM05*, 2005.

저자소개



여인석

1985년 서울대학교 무기재료공학과 학사
 1993년 University of Texas at Austin 재료공학과 석사
 1996년 University of Texas at Austin 재료공학과 박사
 1985년-1990년 금성반도체/금성일렉트론
 1996년-2002년 현대전자/하이닉스
 2003년-현 재 삼성전자 공정개발팀 미래기술 PJT
 주관심분야 미래기술 소재/공정 개발



윤홍식

1997년 연세대학교 물리학과 학사
 1999년 연세대학교 물리학과 석사
 2004년 연세대학교 물리학과 박사
 2004년-현 재 삼성전자 반도체 연구소 재직
 주관심분야 나노 소재 혹은 나노 시스템에서 나타나는 물리 현상 및 이를 응용한 디바이스

저자소개



이선우

1997년 인하대학교 전기공학과 학사
 1999년 인하대학교 전기공학과 공학석사
 2004년 동경대학 전자공학과 공학박사
 2004년-현 재 삼성전자 반도체 연구소 재직
 주관심분야 Carbon Nanotube Growth 및 Interconnects



최영문

1993년 서울대학교 물리교육과 학사
 1995년 서울대학교 물리학과 석사
 2002년 서울대학교 물리학과 박사
 1997년-1999년 한국통신 연구소 전임 연구원
 2000년-2001년 독일 막스플랑크 연구원
 2002년-현 재 삼성전자 책임연구원
 주관심분야 Carbon Nanotube Interconnects

저자소개



이 문 숙

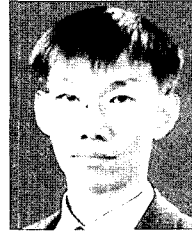
1990년 BS. 고려대학교 화학과 학사
 1997년 New York Univ. 화학과 석사
 1999년 New York Univ. 화학과 박사
 1998년-1999년 Stanford Visiting scholar
 1999년-현 재 삼성전자 반도체연구소 공정개발팀
 주관심분야 미래 메모리 기술



정 우 인

1984년 연세대학교 금속공학과 학사
 1986년 한국과학기술원 재료공학과 석사
 1990년 한국과학기술원 재료공학과 박사
 1990년-현 재 삼성전자 반도체 연구소 재직
 2001년-현 재 삼성전자 반도체 연구소 공정개발팀
 2PJT장 (상무)
 주관심분야 반도체 공정 개발 (Diffusion, Thin Film,
 New Memory 소자)

저자소개



문 주 태

1984년 서울대학교 금속공학과 학사
 1986년 한국과학기술원 재료공학과 석사
 1989년 한국과학기술원 재료공학과 박사
 1989년-현 재 삼성전자 반도체 연구소 재직
 1997년-1999년 삼성전자 반도체 연구소 공정개발
 1G장
 2000년-현 재 삼성전자 반도체 연구소 공정개발
 팀장(상무)
 주관심분야 반도체 공정 관련 전반(Photo, Etch,
 Diffusion, Thin Film, New Memory)