

## 터널링 메커니즘을 이용한 메모리 소자 연구

이 준 하<sup>†</sup>

<sup>†</sup>상명대학교 컴퓨터시스템공학과

### A Study of Memory Device based on Tunneling Mechanism

Jun Ha Lee<sup>†</sup>

<sup>†</sup>Department of Computer System Engineering, Sangmyung University

#### ABSTRACT

This paper presents of a new type of memory cell that could potentially replace both DRAM and flash memory. The proposed device cell operates by sensing the state of about 1,000 electrons trapped between unique insulating barriers in the channel region of the upper transistor. These electrons are controlled by a side gate on the transistor, and their state in turn controls the gate of the larger transistor, providing signal gain within the memory cell. It becomes faster and more reliable memory with lower operation voltage. Moreover, the use of a multiple tunnel junction (MTJ) for the vertical transistor can significantly improve the data retention and operation speed.

**Key Words :** Memory cell, Insulating barriers, Multiple tunnel junction, Vertical transistor

## 1. 서 론

현재의 반도체 메모리 소자의 대표적인 구조인 DRAM(dynamic random access memory) 을 비롯한 기존의 메모리들이 그 동작원리에 기인한 집적도와 휘발성 등의 문제에 직면하면서, 차세대의 새로운 구조의 메모리에 관한 요구가 커지고 있다. 최근의 FN-tunneling, Hot Carrier Injection 등을 주요 매커니즘으로 하는 플래쉬 메모리 또는 Spin-Polarization을 이용하는 MRAM, Ferro-electricity를 이용하는 FeRAM등에 관한 연구가 지속적으로 이루어지고 있다. 이들 각각의 소자들은 해당 소자들의 전기적 특성에 맞는 응용분야를 개척해가고 있다[1].

고속 동작이 가능하면서도 전력소모가 크지 않고, 기존의 Silicon Processing 공정들과 호환 가능한 고집적 비휘발성 메모리로서의 모든 조건들을 충족시키는 소자는 아직 개발되지 않고 있다. 최근에, 다양한 응용처에 그 기능을 모두 만족시키는 새로운 구조의 메모리의 개념으로, 기존 Silicon 공정을 이용하여  $4F^2$ 의 Unit

Cell 크기로 구현할 수 있는 PLEDM(Phase-state Low Electron-number Drive random access Memory) 구조가 영국의 캠브리지대학교 히타치제작소의 연구진에 의해 발표되었다[2]. 본 연구에서는 PLEDM 구조를 기본으로 하여 상변화의 메커니즘을 정보저장의 기본 동작으로 하는 새로운 Device의 동작 특성을 분석하였다. 제시한 구조의 단위소자는 Data-Line(D/L), Floating-Gate(F/G) 및 Control-Line(C/L)로 구성되어 프로그래밍 기능을 수행하는 Vertical Transistor와, Vertical Transistor의 하부에 위치하여 F/G에 저장된 정보를 읽어 들이는 Sensing Transistor로 구성된다. D/L에 적당한 전압을 걸어주면 접합영역을 가로질러 전하의 Direct Tunneling이 일어나고, 이로써 F/G에 전하를 넣거나 빼는 프로그래밍 동작이 수행된다. F/G에 저장된 전하들은 Sensing Transistor의 Threshold Voltage( $V_{th}$ )를 바꾸기 때문에, Sensing Transistor의 Current를 해석하여 Data의 “1”, “0” 여부를 판단할 수 있다[3].

## 2. 구조 및 동작 분석

제안된 소자는 다음과 같은 공정을 이용하여 구현될

<sup>†</sup>E-mail : junha@smu.ac.kr

수 있다. 주요 공정에 대한 흐름도는 그림 1에 나타나 있다. 구현할 수 있는 소자의 기능성은 이 소자가 기존의 CMOS를 제작하는 실리콘 공정을 이용하여 적용할 수 있다는 데 있다. 기존의 planar device와 구조상 특별한 차이점은 서로 다른 방향의 채널영역을 갖는 두 개의 영역을 만들기 위해, 일반적인 CMOS 공정과는 달리 STI(shallow trench isolation) 형성 시와 D/L Etching 시에 Self-aligned Etching 공정등을 추가로 적용해야 하는 것이다. 이 공정들은 photo-lithography 단계의 수를 줄여줄 뿐 아니라, 메모리의 집적을 더 증가시킬 수 있는 장점도 보유하고 있다[4]. 메모리의 동작속도나 데이터 유지성과 같은 특성들을 좌우하게 될 소자의 절연물질로는 10~50Å 두께의 Oxide, Nitride 막이 사용될 수 있다는 보고가 있다. 기존의 연구에서는 다중 터널 접합 물질의 형성에 열산화공정, 열질화공정 및 CVD(chemical vapor deposition) 공정을 통해 성장되었고, 각각의 터널 장벽 사이에는 200Å 정도의 도핑되지 않은 실리콘 막으로 형성된다. 각기 다른 세 개의 Barrier는 Vertical Transistor의 Source/Drain 영역의 Dopant들이 후속 열공정을 거치면서 채널영역으로 확산되는 것을 막는 역할을 하고, 가운데 Tunnel Barrier는 Side-gate에 의해 제어되어 실질적으로 Vertical Transistor의 OFF-current를 결정한다. 또한 D/L, B/L, C/L에는 각각 WSix, CoSix, TiN/W이 사용될 수 있는데, 이는 Memory Array의 고속 동작을 위해 각 Line들의 Sheet Resistance를 감소시키기 위한 것이다.

- Well, channel, gate oxide formation for Sensing Transistor
- F/G and tunnel junction formation
- Self-align STI
- D/L deposition
- Self-align etching of D/L
- S/D extension implantation
- Re-oxidation and spacer formation
- S/D implantation and Co solidation
- Spacer removal
- ILD formation and CMP planarization
- Damascene etching for C/L
- Side gate oxide and C/L depositions
- CMP and interconnection processes

Fig. 1. Process flow for the proposed device.

### 3. 전기적 특성 분석

#### 3.1. 수직 트랜지스터 특성 해석

제시한 구조를 가지는 소자의 Vertical Transistor는 프로그래밍 속도 및 Data Retention 등을 결정해주는 중요한 부분이다. 또한 본 소자의 특성 대부분은 터널링 접

합의 특성에 의해 결정된다고 판단된다. 따라서 접합장벽의 Tunneling 특성, Side-gate에 의한 Channel Potential의 Modulation 정도 등을 우선적으로 분석할 필요가 있다. 그림 2는 몇가지 Side-gate 전압(Vg)에 대한 Drain Current(Id) 대 Drain Voltage(Vd)의 특성이다. Vertical Transistor의 Id-Vd 특성은 일반적인 MOSFET에서 볼 수 있는 모양과 다른데, 이는 MOSFET의 Id가 Drift, Diffusion 매커니즘에 의한 전류임에 비해, 여기서는 MTJ의 Dielectric Barrier를 통과하는 Tunneling 전류이기 때문이다[5].

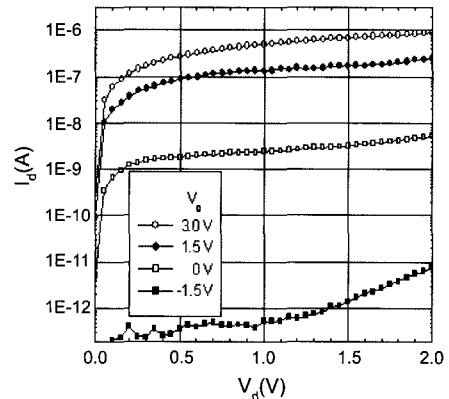


Fig. 2. Id-Vd characteristics of vertical transistor.

그림 3은 다양한 종류의 Barrier들을 가진 소자의 구조로부터 추정된 Id-Vd 곡선들이다. Barrier의 두께나 수, 종류에 따라 Id의 변화가 뚜렷함을 관찰할 수 있는데, 이는 Tunneling 특성이 Barrier의 구조에 의해 좌우되기 때문이다. ON-state일 때의 Id 크기가 클수록 프로그래밍 속도가 빨라지기 때문에, 속도 측면에서는 얇

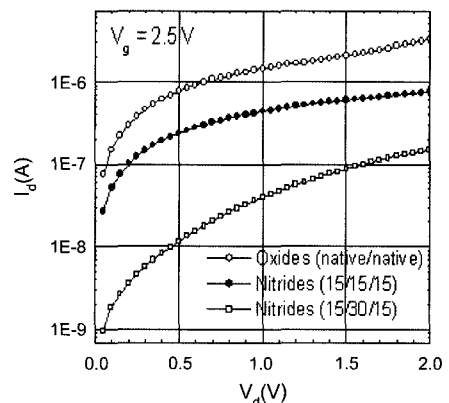


Fig. 3. The variation of Id-Vd characteristics depend on barrier thickness and materials

은 Tunnel Barrier를 사용하는 구조가 유리함을 알 수 있다. Channel Potential이 낮아져 ON-state가 되면 Tunnel Barrier가 없을 때와 유사한 크기의 Id를 얻을 수 있고, Channel Potential을 높여 OFF-state가 되면 Potential Barrier에 Tunnel Barrier의 효과가 더해져 Id를 원하는 크기만큼 줄일 수 있다[6].

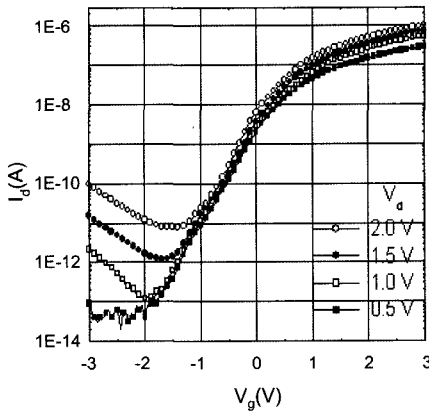


Fig. 4. Id-Vg characteristics depend as a function of drain voltage.

그림 4는 Nitride Barrier 3개로 이루어진 MTJ 구조에서 Vd가 변화할 때의 분석한 Id-Vg 그래프이다. Vertical Transistor OFF-state에서의 Id는 F/G에서 Charge가 빠져나가는 속도를 반영하기 때문에, 충분히 긴 Retention Time을 갖는 메모리 소자를 만들기 위해서 이를 가능한 한 작게 유지하는 것이 중요한 것으로 판단된다. 또한 프로그래밍 속도 측면에서 얇은 Tunnel Barrier를 사용하는 것이 유용함에도 불구하고 Barrier 두께를 어느 한도 이하로 낮출 수 없는 것은 바로 이 때문이다. 따라서 Ion/Ioff 비율을 증가시킬 수 있는 이상적인 구조를 찾는 일이 중요하다. Ion/Ioff 비율을 증가시키기 위한 방법의 하나로 Side-gate의 Channel Controllability를 높이는 방법도 있다. Ig를 작게 유지하는 범위 내에서 Side-oxide의 종류 및 두께를 최적화한다거나, Channel Thickness를 줄여 FDSOI 형태의 채널 구조를 만드는 것 등이 방법이 될 수 있다.

3.2. 단위 셀 트랜지스터 특성

연구된 새로운 동작 메커니즘의 소자가 정보를 저장하는 메모리로서의 정상적인 기능 수행이 가능한지 확인하기 위해서는 프로그래밍 조건에서 F/G 내부의 전하량에 변화가 생기는지의 여부를 우선적으로 분석할 필요가 있다. 만약 터널 접합 장벽의 Quality가 아주 낮아 Tunnel Barrier로서의 역할을 할 수 없을 경우라

면, 통상적인 MOSFET에서의 Id-Vg 곡선에서 볼 수 있듯이 Voltage Sweep 방향에 따른 Hysteresis는 나타나지 않을 것이다. 또한 기능 확인을 위해서 F/G로의 전하이동이 이루어진 Cell에 대하여 프로그래밍 전후의 Sensing 특성을 분석하여야 한다[7]. 그림 5에서는 Data “1”과 Data “0”을 기록한 후의 Isensing을 C/L Voltage의 함수로 나타내었는데, 프로그래밍을 위해 사용된 전압의 크기는 각각 VD/L=±4 V, VC/L=4 V 였고, Data Reading은 D/L Floating 상태로 주어지게 된다. 이 곡선은 F/G에 전하가 축적됨에 따라 Sensing Transistor의 Vth가 10 V 이상 변화하며, VC/L=0V에서 Date Reading이 이루어질 경우 Data “1”과 Data “0” 사이의 Sensing Current 차이가 1.0×10<sup>4</sup> 이상이 됨을 보여주고 있다. 또한 Data Writing Time을 2ms에서 2sec로 변화시킴에 따른 Vth 변화도 관찰되는데, 이는 프로그래밍 속도를 반영한 결과로 볼 수 있다. 이들 결과로부터 F/G로의 전하이동은 대부분 C/L에 의한 Vertical Channel Potential Modulation에 의해 이루어지기 때문에, C/L을 조절하여 F/G 상태에 영향을 주지 않는 범위 내에서 Data Reading 조건을 설정해 주면 F/G에 저장된 정보를 오랜 시간 유지하는 것이 가능하리라고 본다[8].

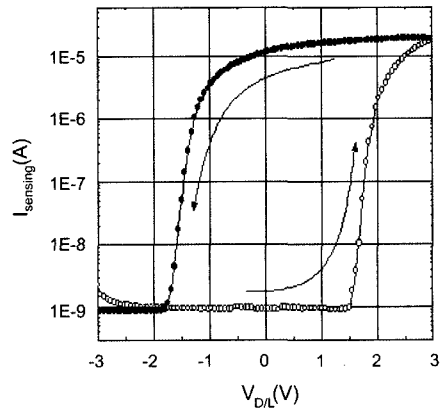


Fig. 5. Sensing current characteristics as a function of D/L voltage variation.

4. 결 론

다양하게 제시되고 있는 메모리 소자의 새로운 메커니즘에서 수직터널 구조의 트랜지스터를 이용한 터널링 메커니즘을 기본으로 한 소자에 대한 연구를 진행하였다. 이 소자의 가능성은 고속, 저전력 소비, 높은 신뢰성 및 집적도 등의 장점을 가질 수 있으며, 구조적으

로 비휘발성 메모리로서의 동작이 가능하다는 장점을 갖는다. 본 논문에서는 기존의 Silicon 공정을 적용하여 제작 가능한 소자의 특성에 대해 논의하였으며, 단위 Cell은 Data-Line, Floating-Gate 및 Side-Gate로 구성되어 프로그래밍 기능을 수행하는 Vertical Transistor와, Vertical Transistor의 하부에 위치하여 저장된 정보를 읽어내는 Sensing Transistor로 구성된다. 이 소자는 Floating-Gate에 저장되는 전하에 의해 Sensing Transistor의 Threshold Voltage Shift가 일어나는 현상을 이용하는 Gain Cell이기 때문에, S/N Ratio가 크고 단위 소자의 크기를 줄일 수 있다는 장점이 있다.

### 참고문헌

1. Kunz, V. D., Uchino, T., de Groot, Ch. H., Ashburn, P., Donaghy, D. C., Hall, S., Wang, Y. and Hemment, P. L. F., "Scaling theory for cylindrical, fully-depleted, surrounding-gate MOSFET's", IEEE Trans. Electron. Dev. 50(6), pp. 1487-1493, 2003.
2. Nakazato, K. *et al.*, "PLED-Planer Localised Electron Devices", IEDM, p.179, 1997.
3. Mizuta, H. *et al.*, "Normally-off PLED (Planar Localised Electron Device) for non-volatile memory", VLSI Symp., p.128, 1998.
4. Nakazato, K. *et al.*, "Silicon stacked tunnel transistor for high-speed and high-density random access memory gain cells", Electron. Lett., Vol. 35(10), p.848, 1999.
5. Nakazato, K. *et al.*, "Phase-stat Low Electron-number Drive Random Access Memory (PLEDM)", ISSCC, p.132, 2000.
6. Jurczak, M., Skotniki, T., Gwoziecki, R., Paoli, M., Tormen, B., Ribot, P., Dutartre, D., Monfay, S., and Galvier, J., IEEE Trans. Electron. Dev. 48(8), pp. 1770-1774, 2001.
7. Kunz, V. D., Uchino, T., de Groot, C. H., Ashburn, P., Donaghy, D. C., Hall, S., Wang, Y. and Hemment, P. L. F., IEEE Trans. Electron. Dev. 50(6), pp.1487-1493, 2003.
8. Kunz, V. D., de Groot, C. H., Hall, S., Ashburn, P., IEEE Trans. Electron. Dev. 50(6), 1480-1486, 2003.