

논문 2006-43SD-6-2

Dynamic-Voltage/Frequency-Scaling 알고리즘에서의 다중 인가 전압 조절 시스템 용 High-speed CMOS Level-Up/Down Shifter

(A Novel High-speed CMOS Level-Up/Down Shifter Design for
Dynamic-Voltage/Frequency-Scaling Algorithm)

임 지 훈*, 하 중 찬**, 위 재 경**, 문 규*

(Ji-Hoon Lim, Jong-Chan Ha, Jae-Kyung Wee, and Gyu Moon)

요 약

SoC(System-On-Chip) 시스템에서 초 저전력 시스템을 구현하기 위한 dynamic voltage and frequency scaling (DVFS) 알고리즘에 사용될 시스템 버스의 다중 코어 전압 레벨을 생성해주는 새로운 다계층(multi-level) 코어 전압용 high-speed level up/down shifter 회로를 제안한다. 이 회로는 내부 회로군과 외부 회로군 사이에서 서로 다른 전압레벨을 조정 접속하는 I/O 용 level up/down shifter interface 회로로도 동시에 사용된다. 제안하는 회로는 인터페이스 접속에서 불가피하게 발생하는 속도감쇄와 Duty Ratio 불안정 문제를 최소화하는 장점을 갖고 있다. 본 회로는 500MHz의 입력 주파수에서 0.6V~1.6V의 다중 코어 전압을 각 IP들에서 사용되는 전압레벨로, 또는 그 반대의 동작으로 서로 Up/Down 하도록 설계하였다. 그리고 제안하는 I/O 용 회로의 level up shifter는 500MHz의 입력 주파수에서 내부 코어 용 level up shifter의 출력전압인 1.6V를 I/O 전압인 1.8V, 2.5V, 3.3V로 전압레벨을 상승 하도록 설계하였으며, level down shifter는 반대의 동작으로 1Ghz의 입력 주파수에서 동작하도록 설계하였다. 시뮬레이션 및 결과는 0.35 μ m CMOS Process, 0.13 μ m IBM CMOS Process 와 65nm CMOS model 변수를 이용한 Hspice를 통하여 검증하였다. 또한, 제안하는 회로의 지연시간 및 파워소모 분석과 동작 주파수에 비례한 출력 전압의 Duty ratio 왜곡에 대한 연구도 하였다.

Abstract

We proposed a new High-speed CMOS Level Up/Down Shifter circuits that can be used with Dynamic Voltage and Frequency Scaling(DVFS) algorithm, for low power system in the SoC(System-on-Chip). This circuit used to interface between the other voltage levels in each CMOS circuit boundary, or between multiple core voltage levels in a system bus. Proposed circuit have advantage that decrease speed attenuation and duty ratio distortion problems for interface. The level up/down shifter of the proposed circuit designed that operated from multi core voltages(0.6~1.6V) to used voltage level for each IP at the 500MHz input frequency. The proposed circuit supports level up shifting from the input voltage levels, that are standard I/O voltages 1.8V, 2.5V, 3.3V, to multiple core voltage levels in between of 0.6V~1.6V, that are used internally in the system. And level down shifter reverse operated at 1Ghz input frequency for same condition. Simulations results are shown to verify the proposed function by Hspice simulation, with 0.35 μ m CMOS Process, 0.13 μ m IBM CMOS Process and 0.65nm CMOS model parameters. Moreover, it is researched delay time, power dissipation and duty ratiion distortion of the output voltage witch is proportional to the operating frequency for the proposed circuit.

Keywords : SoC, SiP, Level shifter, Multiple voltages, Core voltages

* 정희원, 한림대학교, 전자공학과
(Department of Electronic Engineering, Hallym University)

** 정희원, 숭실대학교, 정보통신전자공학부
(School of Electronic Engineering, Soongsil University)

※ 본 연구는 지방대학 혁신역량 강화사업(과제번호 : 교육부 05-가-13-04)의 지원으로 수행되었음.
접수일자: 2005년11월23일, 수정완료일: 2006년6월5일

I. 서 론

최근 모바일 멀티미디어 단말기의 사용이 급증함에 따라, 저전력 시스템을 구현하기 위해 SoC/SIP 기술들을 동반한 많은 알고리즘들이 제시되고 있다. 이중 효율적인 저전력 기법으로 Dynamic Voltage and Frequency Scaling (DVFS) 기법이 최근 선보이고 있다^{[1][2]}. DVFS 기법은 저전력 구현을 위한 알고리즘으로, IP들 각각의 연산 동작을 항상 최고 성능으로 유지시킬 필요가 없고, 동작 환경(모드)에 따라 인가전압과 동작주파수를 적절히 조정하여 전력소모를 최소화 하고자 하는 점에 착안하여 제안되었다. 즉, 인가전압과 동작 주파수를 다계층(multi-level)으로 나누고 주어진 동작(예: 멀티 인스트럭션)을 수행하기 위한 각 기능 블록 또는 칩(IP)간의 최적의 시간분배와 각각의 전압 및 동작 주파수를 작업 스케줄에 맞춰 시간에 따라 변화시키는 것이 바로 DVFS 기법이다.

본 논문에서는 이러한 DVFS 시스템을 구현하는 데 필수적으로 요구되는 CMOS High-speed Level Up/Down Shifter 회로를 설계·제안한다. 동시에, 내부 코어 전압과 I/O 전압간의 서로 다른 전압레벨을 서로 Interface해 줄 I/O 용 Level Up/Down Shifter도 제안한다.

II 장에서는 Level Up/Down Shifter의 설계 및 응용에 대해 다룬다. III 장에서는 0.35 μm CMOS Process 변수, 0.13 μm IBM Process 변수 그리고 65nm CMOS MODEL을 위한 BPTM (Berkeley Predictive Technology Model)을 이용한 Hspice 시뮬레이션 결과를 다룬다.

II. Level Up/Down Shifter 설계

그림 1.은 DVFS 시스템을 지원할 Level Up/Down Shifter의 응용 예를 나타낸 시스템 블록 다이어그램이다. 시스템버스를 통하여 다수의 IP들이 연결되어 있으며 이들은 Up/Down Shifter를 통하여 시스템 버스와의 데이터를 각기 알맞은 전압레벨로 주고받게 된다.

DVFS 시스템을 실현하기 위해 시스템 버스의 내부 인가 전압(코어 전압) 역시, 다계층으로 나누어 동작 시켜야 된다. 즉, 시스템 버스, 각 IP, 그리고 기존의 집적 회로들에서 사용되는 인가전압 값이 서로 다르기 때문에 이들을 서로 맞추어 주는 연결회로(Interface)가 필요하게 된다. 이러한 연결회로는 당연히 고속으로 동작

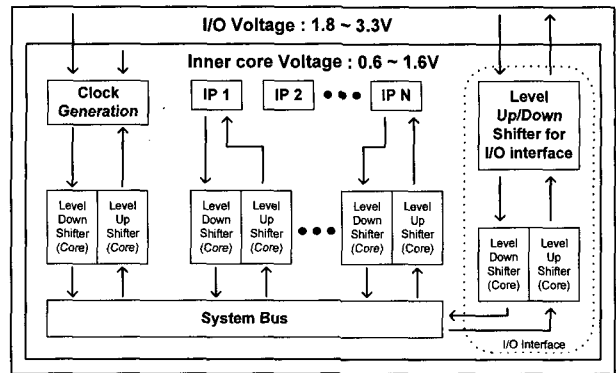


그림 1. DVFS 지원을 위한 Level Up/Down Shifter의 응용 블록다이어그램.

Fig. 1. Block diagram of Level Up/Down Shifter for supporting DVFS system.

되어야 하며 전체 시스템 성능에 지장을 주어서는 안 된다. 또한, 각 IP들마다 연결 회로가 필요하게 됨으로, Level Up/Down Shifter는 시스템의 크기에 따라 수 백 개가 요구 된다. 따라서, Level Up/Down Shifter는 최소의 면적을 가지도록 설계돼야 한다. 제안한 내부 코어 전압용 CMOS Level Up/Down Shifter의 면적은 0.13 μm IBM Process를 이용하여 설계 할 경우 10 \times 10 μm^2 이며, 0.35 μm CMOS Process를 이용하여 설계 할 경우에는 30 \times 30 μm^2 이다.

III. 본 론

1. Level Shifter 회로 동작 원리

그림 2. (a)는 기존의 Level Shifter 회로도이다. 기존의 Level Shifter는 pull-up 지연시간과 pull-down 지연시간 사이의 불균형 때문에 큰 지연시간을 소비 하며, 파워소모 또한 증가한다. 그림 2. (b) 회로는 MN1 과 MP3(MN2 와 MN4)를 이용하여 인버터의 역할을 수행하도록 하여 앞의 문제를 완화시키는 역할을 한다.

그림 2. (c)는 기존의 Level Shifter에 bypass 동작모드를 추가하여 bypass 동작모드에서는 최소의 지연시간에 데이터를 전송하도록 설계된 회로이다^[3]. 그림 2. (d)의 Level Shifter 회로는 고속 동작을 하기 위해 설계된 회로이다. 회로 동작 원리는 입력전압이 low에서 high로 변하는 경우 MN1이 turn on 되어 OUT 노드에 충전되어 있던 전류는 MN1을 통해 방전된다. 그러므로 cross-couple로 연결된 MP2는 turn on이 되고, OUT 노드에 전류가 충전 된다. MN3와 MN4는 OUT과 OUTB 노드의 충·방전을 도와주는 역할을 한다. 역시 입력전압이 low에서 high로 변하는 경우 MOS의 드레

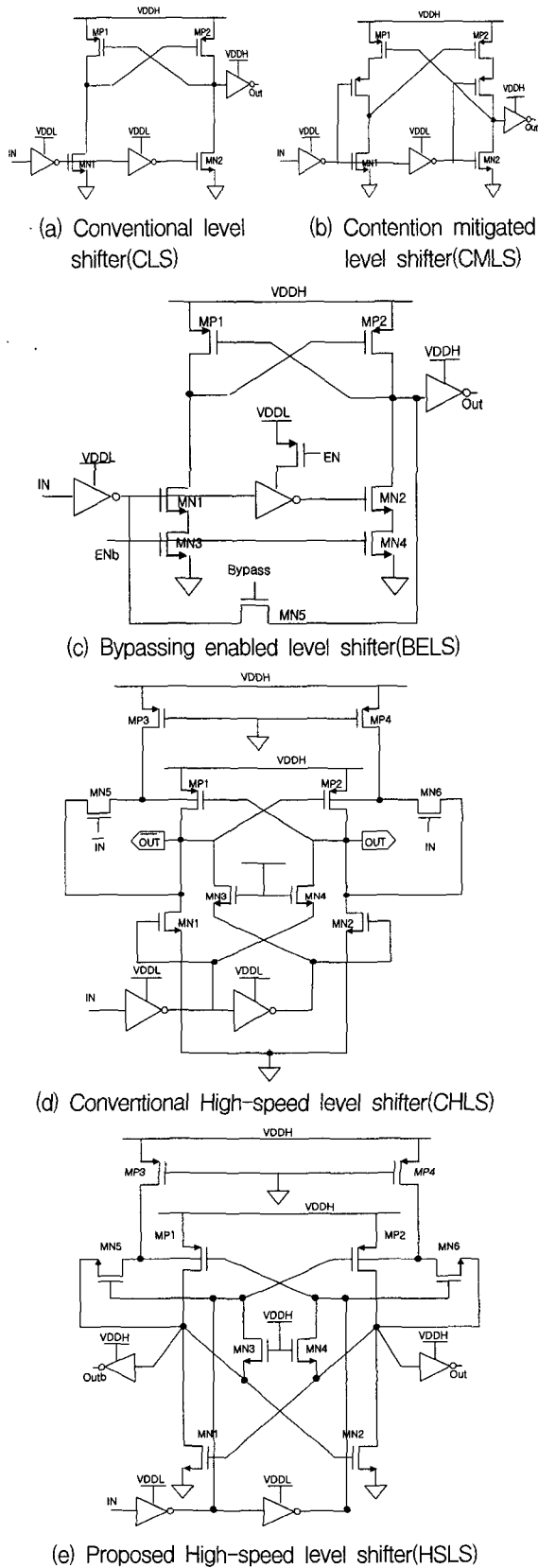


그림 2. Level Shifters (a) CLS (b) CMLS (c) BELS (d) CHLS (e) HSLs
 Fig. 2. Level Shifters. (a) CLS (b) CMLS (c) BELS (d) CHLS (e) HSLs

인과 소스의 역전 현상을 이용하여, MN3는 순간적으로 turn on이 되어, OUT 노드의 방전을 돕는 역할을 한다. 반대로 MN4는 순간적으로 turn on이 되어, OUTB 노드의 충전을 돕는 역할을 하게 된다. MN5, MN6, MP3, MP4의 각각의 NMOS와 PMOS는 MP1, MP2의 두 PMOS가 turn on을 빨리 할 수 있도록 MP1, MP2의 문턱전압을 낮춰주는 역할을 한다. 입력전압이 low에서 high로 변하는 경우 MN5는 turn off 되며, MP1의 벌크는 MP3에 의하여 원래의 전압을 유지하게 된다. 반대로 MN6는 turn on이 되며, MP4에 의하여 유지되던 벌크의 전압이 MN6에 의하여 낮아지게 된다. 그러므로 MP2는 순간적으로 문턱전압이 낮아지게 되며, 작은 입력전압에서도 좀 더 빨리 turn on 될 수 있다^[4].

그림 2.(e)는 본 논문에서 제안하는 High-speed CMOS Level Up/Down Shifter 회로도이다. 제안하는 회로에서 사용되는 MOS 소자들의 역할은 기존의 고속 Level Up Shifter (CHLS) 회로와 동일한 역할을 한다. 하지만 입력을 PMOS로 받아들임으로, Slew rate가 높아지게 되어 입력에 더 빨리 대응하도록 설계하였다. 이것은 NMOS의 이동도가 PMOS의 이동도보다 더 크기 때문이다^[5].

그림 2. a),(b),(c),(d)와 같은 기존의 Level Up Shifter 회로들은 단순히 각 로직 블록간의 전압레벨의 차이를 Interface 해줄 목적으로 설계 되었다. 하지만, 본 논문에서 제안하고 있는 회로는 SoC 시스템에서 DVFS 기법을 구현하기 위해 요구되는 회로의 조건을 만족하도록 설계하였다. 즉, 서로 다른 전압레벨을 가지는 각각의 집적회로들, 다양한 클럭 주파수, 이들을 제어할 시스템 버스의 전압레벨을 서로 Interface 해줄 회로로서 사용하기 위해 고안되었다. 그러므로, 기존의 Level Shifter들이 다루지 않고 있는 Level Down Shifter에 관한 연구도 병행하였다. 또한, 코어 전압용 Level Shifter와 I/O 전압용 Level Shifter로 나누어 각각의 목적에 맞게 설계 하였다.

제안하는 내부 다계층 코어 전압용 High-speed CMOS Level Up/Down Shifter 회로에서 사용하는 전원전압은 0.6V~1.6V이다. Level Up Shifter로 동작할 경우에는 VDDL에 낮은 입력전압(0.6V~1.2V)과 동일한 전압 레벨을 인가하고, VDDH에 전압레벨을 상승시킬 전압(1.6V)을 인가한다. 여기서, 최대 상승 전압이 1.6V인 것은 0.13 μ m IBM Process의 Regular FET의 최대 전원전압이 1.6V이기 때문이다. Level Down으로 동작할 경우에는 VDDL에 입력전압 레벨과 동일한 전압

레벨을 인가하며, VDDH는 반대로 전압레벨을 하강할 전압(0.6V~1.2V)을 인가하여 동작시킨다.

제안하는 I/O 용 회로에서 사용하는 전원전압은 1.6V~3.3V이다. Level Up Shifter로써 사용할 경우에는 VDDL에 1.6V를 인가하여 내부 다계층 코어 전압용 Level Up Shifter 회로를 통하여 Level Up 이 된 전압레벨(1.6V)을 그대로 스윙 할 수 있도록 하며, VDDH에 전압레벨을 Up할 전압(1.8V, 2.5V, 3.3V)을 인가한다. Level Down Shifter로 사용할 경우에는 VDDL에 입력 전압 레벨과 동일한 전압레벨을 인가하며, VDDH는 반대로 전압레벨을 하강할 전압을 인가하여 동작시킨다.

본 논문에서는 각각의 목적에 맞도록 Level Shifter를 설계하였다. 따라서, 내부 다계층 코어 전압용 Level Up/Down Shifter의 설계는 동작 전압레벨을 맞추기 위하여 최대 전원전압이 1.6V인 0.13 μ m IBM Process의 Regular FET으로 구성하였다. I/O 용 회로는 동일 Process에서 I/O 전압레벨에 맞는 3.3V의 전원전압이 허용되는 I/O FET33을 이용하여 설계하였다. 그러므로, 각 Level Up/Down Shifter들은 전력소비와 회로 크기가 서로 다르고 최대 동작 속도 역시 다르다.

IV. 실험 결과

1. 65nm CMOS MODEL을 이용한 실험 결과

그림 3은 그림 2. (a),(b),(e) level shifter 각각의 지연 시간을 비교한 시뮬레이션 결과를 보여준다. 그림 3의 시뮬레이션 결과는 65nm CMOS MODEL을 위한 BPTM (Berkeley Predictive Technology model)을 이용하여 수행되어졌다^[6]. 그림 3의 시뮬레이션 결과는 문턱전압 VTH는 0.1V, VDDH는 0.7V로 고정시키고 VDDL의 전압값 변화에 따른 각각의 Level Shifter들의 지연시간을 분석한 것이며, 입력전압 주파수는 100MHz이다. 비교 데이터는 참고문헌 [3]에 의하여 얻은 것이다. 제안된 Hi-speed Level Shifter(HSLS)는 기존의 CLS와 비교하여 68%, CMLS와 비교하여 지연시간이 18% 감소됨을 볼 수 있다.

그림 4는 그림 2. (a),(b),(e) level shifter들 각각의 파워소모를 비교한 시뮬레이션 결과이다. 시뮬레이션 조건은 그림 3의 시뮬레이션 조건과 동일하다. 제안된 HSLS 회로는 DVFS의 작업 스케줄에 맞춰 그 시간에 따라, 빠른 데이터 전송을 할 수 있도록 설계 하였다. 그러므로 기존의 level shifter들에 비하여, 트랜지스터의 개수가 약 40% 증가하였기 때문에, 기존의 Level

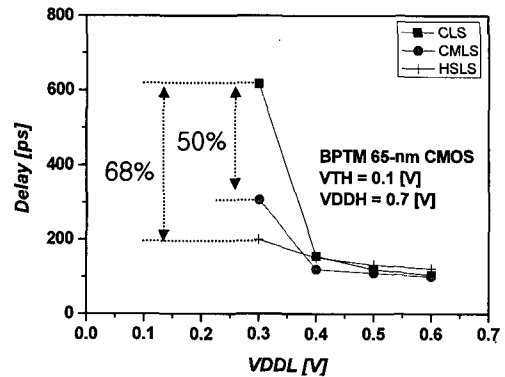


그림 3. Level Shifters 지연시간 시뮬레이션 결과
Fig. 3. Level Shifters Simulation results of delay time.

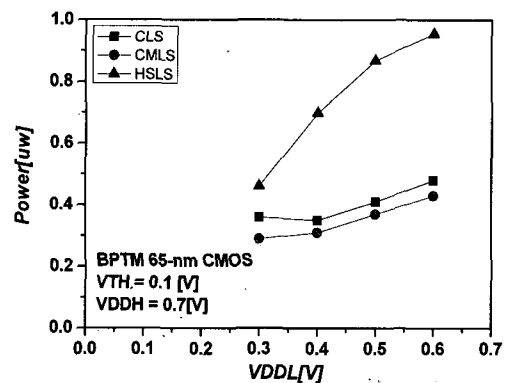


그림 4. Level Shifters 파워소모 시뮬레이션 결과
Fig. 4. Level Shifters Simulation results of power consumption.

Shifter 와 비교하여 파워소모가 많다. 하지만, 고속 CMOS Level Shifter의 고성능을 보장하기 위해 필요한 파워이다. 이에 대한 설명은 Duty ratio 왜곡 분석에서 다룬다. 또한, 제안된 HSLS는 VDDL이 0.3V일 때, leakage current는 35.98nA 이며, 이는 기존의 CMLS 회로(79nA)와 비교하여 약 45.5% 감소된 것이다.

2. 공정별 지연시간 및 파워소모 분석

그림 5는 그림 2 (a),(b),(c),(e)의 Level Shifter들을 공정에 따라 각각의 지연시간을 분석한 것이다. 시뮬레이션 조건은 그림 5에 나타내었다.

그림 5의 BELS(L)은 그림 2.(c) Bypassing enabled level shifter의 Vbypass 단자에 VDDL 전압을 인가하여, "Shift" 모드로 동작시킨 것을 의미하며, BELS(H)는 Vbypass 단자에 VDDH 전압을 인가하여, "Bypass" 동작 시킨 것을 의미한다. 본 논문에서 제안된 High-

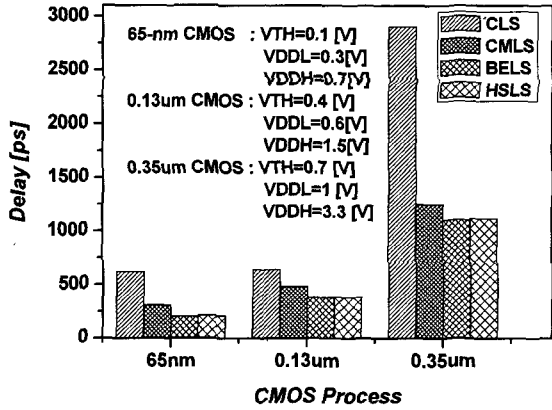
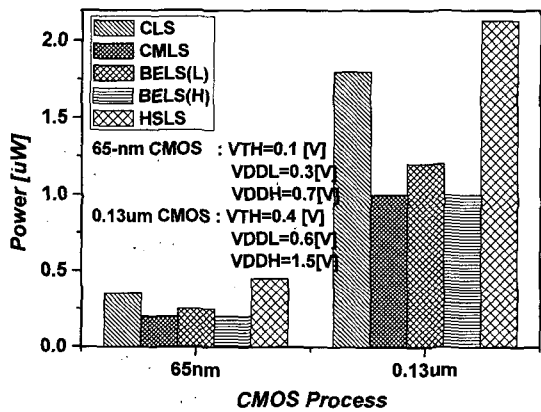
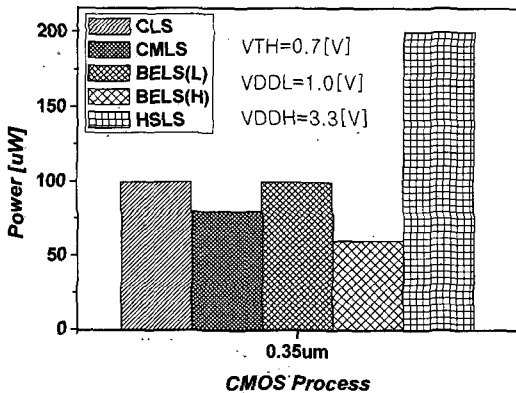


그림 5. Level Shifters 공정별 지연시간 시뮬레이션 결과

Fig. 5. Level Shifters Simulation results of delay time for each Process.



(a) 공정별 파워소모(65nm · 0.13um CMOS)



(b) 공정별 파워소모(0.35um CMOS)

그림 6. Level Shifters 공정별 파워소모 시뮬레이션 결과

Fig. 6. Level Shifters Simulation results of power consumption for each Process.

speed CMOS Level Shifter는 CLS의 지연시간과 비교하여, 65nm CMOS MODEL을 이용하였을 경우 68%, 0.13um CMOS Process를 이용하였을 경우 40%이다. 그리고 0.35um CMOS Process를 이용하였을 경우에는 약 65% 지연시간이 감소됨을 알 수 있다. 입력전압 주파수는 100MHz이다.

그림 6. (a),(b)는 그림 5와 동일한 시뮬레이션 조건에서 그림 2의 Level Shifter들을 공정에 따라 입력전압 주파수 100MHz에서 각각의 파워소모를 분석한 결과이다. 그림 2. (a)(b)(c) level shifter들에 비하여, 본 논문에서 제안한 High-speed CMOS Level Shifter의 트랜지스터의 개수가 약 40% 증가하였기 때문에, 기존의 Level Shifter 와 비교하여 상대적으로 파워소모가 많다. 하지만, High-speed CMOS Level Shifter(HSLs)의 고성능을 보장하기 위해 필요한 파워이다. 또한, 다른 공정변수를 이용한 파워소모보다 0.35um CMOS Process에서의 파워소모가 약 100배 증가한 이유는 공정 자체의 변수 차이와 그림 5의 시뮬레이션 조건이 다른 공정에 비해 입력전압(1V)과 출력전압(3.3V)이 상대적으로 훨씬 크기 때문이다. 고속 동작에 관하여서는 Duty Ratio 왜곡 분석에서 자세히 다룬다.

3. I/O 전압용 Level Up/Down Shifter

그림 7은 제안한 I/O 전압용 Level Up Shifter 와 그림 2. (d)의 회로의 지연시간 및 파워를 각 전압 레벨 변화에 따라 비교한 것이다. 비교 데이터는 기존의 논문 [4]에서 제시한 결과와의 비교이다. 그림 7에서 보는 것처럼, 제안된 구조의 Level Up Shifter가 속도면에서 더 좋은 성능을 보이며, 지연시간에서도 우수하다는 것

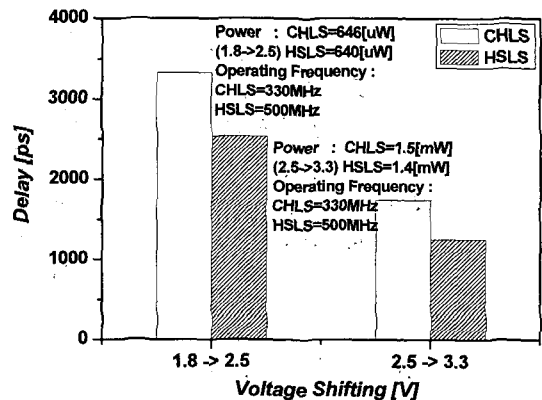


그림 7. 제안된 I/O Level Up Shifter 와 기존의 회로^[5]의 지연시간 비교

Fig. 7. Delay time comparison of I/O Level Up Shifter.

표 1. 제안된 I/O 전압용 Level Up/Down Shifter의 Simulation 결과

Table 1. Simulation Results of Proposed I/O Level Up/Down Shifter.

Level Up Shifter(500MHz)			Level Down Shifter(1Ghz)		
Variation (v)	Delay (ps)	Power (mW)	Variation (v)	Delay (ps)	Power (uW)
1.6 -> 1.8	532	0.83	3.3 -> 1.6	69.4	608
1.6 -> 2.5	548	1.35	2.5 -> 1.6	60.2	560
1.6 -> 3.3	565	1.50	1.8 -> 1.6	55.5	480

을 알 수 있다. Level Shifter의 동작 속도 결정은 Duty ratio 왜곡현상을 분석하여, Duty ratio 증·감 비율이 ±2% 이하일 경우로 결정하였다.

표 1은 0.13μm IBM Process 변수를 이용한 Hspice Simulation 결과이다. 동작 주파수 500MHz를 인가하였을 경우 제안한 Level Up shifter의 각 전압레벨의 전력 소비 및 지연시간을 비교한 결과이다. Level Down Shifter는 앞의 Level Up Shifter의 시뮬레이션 조건과 동일하다. 하지만, Level Down Shifter의 동작 주파수는 1GHz에서 측정된 실험결과이다.

4. 내부 코어 전압용 Level Up/Down Shifter 분석

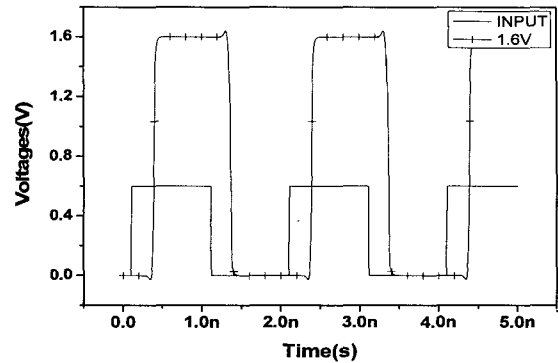
표 2는 0.13μm IBM Process 변수를 이용한 Hspice Simulation 결과이다. 동작 주파수 500MHz에서 제안한 Level Up/Down shifter의 각 전압레벨이 Up/Down 할 경우에 전력소비 및 지연시간을 비교한 결과이다.

표 2의 Level Up Shifter의 파워소모 분석이 1.92μW로 동일하게 표시된 이유는 코어전압인 0.6~1.2V에서의 파워소모가 nW단위로 변하기 때문에 출력전압인 1.6V(고정)에서 소모되는 파워가 거의 대부분이기 때문이다. 또, 하나의 이유는 Level Up/Down Shifter의 각각의 leakage current가 다르기 때문이다. 즉 Level Up Shifter의 leakage current는 1uA이며, 이 결과는

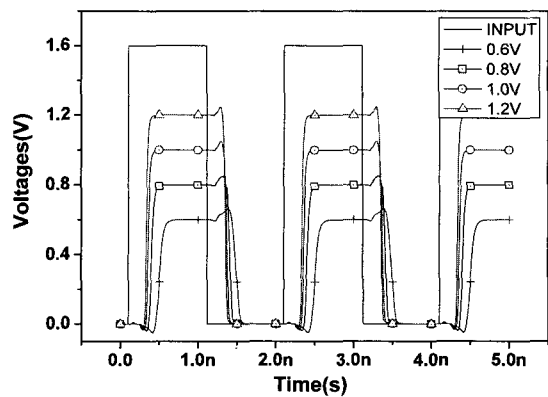
표 2. 제안된 내부 코어 전압용 Level Up/Down Shifter 회로의 Simulation 결과

Table 2. Simulation Results of Proposed Level Up/Down Shifter circuits.

Level Up Shifter			Level Down Shifter		
Variation (v)	T _{pd} (ps)	Power (uW)	Variation (v)	T _{pd} (ps)	Power (nW)
0.6 -> 1.6	258	1.92	1.6 -> 0.6	300	22.5
0.8 -> 1.6	242	1.92	-> 0.8	288.5	28.04
1.0 -> 1.6	231	1.92	-> 1.0	247.5	34.2
1.2 -> 1.6	228.5	1.92	-> 1.2	223	40.9



(a) 내부 코어 전압용 Level Up Shifter 실험결과



(b) 내부 코어 전압용 Level Down Shifter 실험결과

그림 8. 내부 코어 전압용 Level Up/Down Shifter 실험결과

Fig. 8. Simulation Results of Level Up/Down Shifter for inner core voltages.

Level Down Shifter의 leakage current(668nA)에 비하여 33.2% 더 크다. 그러므로, Level Up Shifter로 써 동작할 때, 더 많은 파워를 소모한다.

그림 8은 표 2에서 나타낸 조건에서 제안된 Level Up/Down Shifter의 시뮬레이션 결과를 보여준다. 내부 다계층 코어 전압용 Level Up Shifter는 출력이 모두 1.6V이기 때문에 본 논문에서는 가장 전압레벨 차이가 가장 많이 나는 시뮬레이션 결과(0.6 ->1.6V)를 보였다.

5. Duty Ratio 왜곡 분석

Level Shifter들의 출력 전압레벨이 고속 동작에도 각각의 IP 들에 안정성 있는 전압레벨을 공급할 수 있는지의 여부를 확인하기 위해 동작속도에 따른 Duty ratio 왜곡현상 분석은 중요하다.

그림 9는 65nm CMOS MODEL BPTM을 이용하여, 그림 2. (a),(b),(c),(e) 각각의 Level Shifter들의 주파수

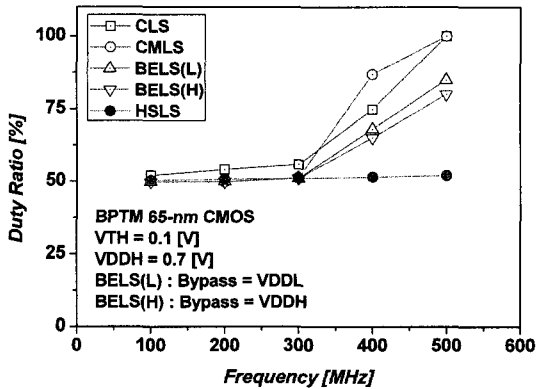


그림 9. 65nm CMOS Model 변수를 이용한 Duty ratio
Fig. 9. Duty ratio with 65nm CMOS Model parameter.

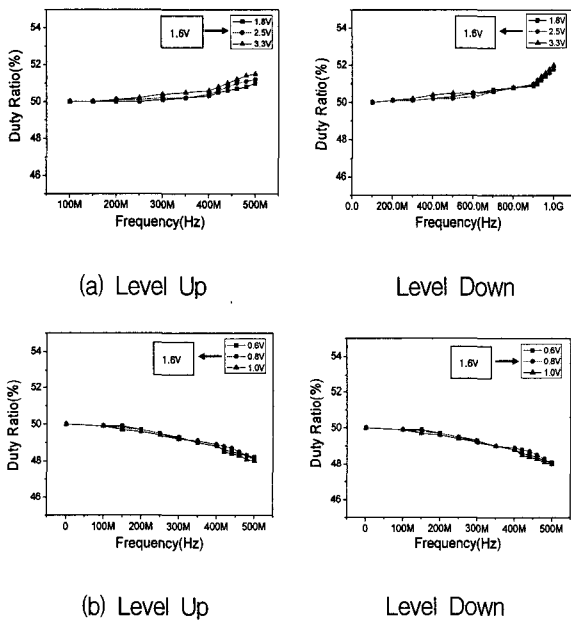


그림 10. Duty ratio (a) I/O 전압용 (b) 코어 전압용
Fig. 10. Duty ratio (a) I/O (b) Core.

변화에 따른 출력 전압레벨의 Duty Ratio를 측정하여 나타낸 것이다. 시뮬레이션 조건은 그림 9에 나타내었으며, VDDL은 0.3V로 고정하였다.

그림 9의 시뮬레이션 결과에서 알 수 있듯이 기존의 Level Shifter들은 300MHz 이상의 속도에서는 Level shifter로서의 역할을 하지 못한다는 것을 알 수 있다. 본 논문에서 제안하고 있는 High-speed CMOS Level Shifter는 100~500MHz의 입력전압 주파수 변화에서도 Duty ratio 증·감 비율이 $\pm 2\%$ 이하임을 알 수 있다. 또한, 제안한 High-speed CMOS Level Shifter는 1GHz의 동작 주파수에서도 Duty ratio 증·감 비율이 $\pm 2\%$ 이하로 동작함을 확인하였다.

그림 10은 본 논문에서 제안한 High-speed CMOS Level Up/Down Shifter 회로를 0.13 μ m IBM Process 변수를 이용하여 Duty ratio 왜곡 현상을 분석한 것이다. 그림 10. (a)는 외부 I/O 전압용 Level Up/Down Shifter의 주파수 변화에 따른 출력 전압 Duty Ratio를 측정하여 나타낸 것이다. 100~500MHz의 입력 주파수에서도 Duty ratio 증·감 비율이 $\pm 2\%$ 이하임을 알 수 있다. 그림 10. (b)는 내부 코어 전압용 Level Up/Down Shifter의 주파수 변화에 따른 출력 전압 Duty Ratio를 측정하여 나타낸 것이다. 역시, 100~500MHz의 입력 주파수에서도 Duty ratio 증·감 비율이 $\pm 2\%$ 이하임을 알 수 있다.

V. 결 론

본 논문에서는 고 집적과 초 저전력 시스템을 구현하기 위해 DVFS 저전력 기법을 이용한 SIP 시스템에서 서로 다른 동작전압을 사용하는 각 IP들과 이들을 제어할 여러 개의 주파수를 하나의 칩에서 사용하기 위한 시스템. 즉, DVFS 시스템을 구현하는 데 필수적으로 요구되는 CMOS Level Up/Down Shifter 회로를 설계, 제안하였다. 동시에, 내부 코어 전압과 I/O 전압간의 서로 다른 전압레벨을 서로 Interface해 줄 I/O 용 Level Up/Down Shifter도 제안한다.

본 논문에서는 제안한 High-speed CMOS Level Up/Down Shifter의 파워소모 및 지연시간에 관한 비교 분석을 공정별로 분석 하였다. 또한, 출력 전압 레벨이 다음단의 회로에 안정성 있는 전압레벨을 공급할 수 있는지의 여부를 확인하기 위해 동작속도에 따른 Duty Ratio 왜곡 현상에 대한 연구도 하였다. 제안한 High-speed CMOS Level Up/Down Shifter는 공정변수의 변화에 따라 동작 가능주파수 100MHz~1GHz 에서 $\pm 2\%$ 의 duty ratio 왜곡을 가짐으로 안정된 성능을 보임을 시뮬레이션을 통해 증명 하였다. 따라서, 제안하는 회로는 DVFS 시스템이나 다중 전압을 사용하는 여러 시스템에 응용할 수 있는 회로로 사용될 수 있다. 또한, 본 논문에서는 각 공정에 따른 회로의 검증을 통해 제안한 회로의 안정성 및 특성을 검증하였다.

제안한 회로의 PVT 실험결과 회로의 동작온도 범위는 내부 코어 전압용 Level Up/Down Shifter는 $-60^{\circ}\text{C} \sim 85^{\circ}\text{C}$, 외부 I/O 전압용 Level Up/Down Shifter는 $-45^{\circ}\text{C} \sim 75^{\circ}\text{C}$ 에서 duty ratio의 왜곡이 $\pm 2\%$ 로 내외로 안정되게 동작함을 확인하였다. PVT 실험결과는 0.13 μ m

IBM Process 변수를 이용하여 실험하였다. 제안한 내부 코어 전압용 CMOS Level Up/Down Shifter의 면적은 $0.13\mu\text{m}$ IBM Process를 이용하여 설계 할 경우 $10 \times 10\mu\text{m}^2$ 이며, $0.35\mu\text{m}$ CMOS Process를 이용하여 설계 할 경우에는 $30 \times 30\mu\text{m}^2$ 이다. 제안한 회로의 검증은 $0.35\mu\text{m}$ CMOS Process, $0.13\mu\text{m}$ IBM Process 변수 와 65nm CMOS Model을 위한 BPTM(Berkeley Predictive Technology model)의 변수를 이용하여 Hspice Simulation을 통해 이루어졌다.

참 고 문 헌

- [1] Kihwan Choi; Wonbok Lee; Soma, R.; Pedram, M, "Dynamic voltage and frequency scaling under a precise energy model considering variable and fixed components of the system power dissipation", Computer Aided Design, 2004. ICCAD-2004. IEEE/ACM International Conference on 7-11 Nov. 2004 pp. 29-34
- [2] Kihwan Choi; Soma, R.; Pedram, M, "Fine-grained dynamic voltage and frequency scaling for precise energy and performance tradeoff based on the ratio of off-chip access to on-chip computation times", Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on Volume 24, Issue 1, Jan. 2005 pp. 18-28
- [3] Tran, C.Q.; Kawaguchi, H.; Sakurai, T.; "Low-power High-speed Level Shifter Design for Block-level Dynamic Voltage Scaling Environment", Integrated Circuit Design and Technology, 2005. International Conference on 9-11 May 2005 pp. 229-232
- [4] Hwang-Cherng Chow; Chi-Shun Hsu, "New voltage level shifting circuits for low power CMOS interface applications", Circuits and Systems, 2004. MWSCAS '04. The 2004 47th Midwest Symposium on Volume 1, 25-28 July 2004 pp. 533-536.
- [5] B. Razavi, "Design of Analog CMOS Integrated Circuits", International Edition Reading, 2001. pp. 326-334.
- [6] <http://www-device.eecs.berkeley.edu/~ptm/>

저 자 소 개



임 지 훈(학생회원)
 2004년 한림대학교
 전자공학과 학사 졸업.
 2006년~현재 한림대학교
 전자공학과 석사 재학.
 <주관심분야 : CMOS High
 speed DLL/PLL and Low power
 circuit design>



하 중 찬(학생회원)
 2002년 한림대학교
 전자공학과 학사 졸업.
 2004년 한림대학교
 전자공학과 석사 졸업.
 2005년 숭실대학교
 전자공학과 박사 과정.
 <주관심분야 : CMOS High speed Clocking and
 I/O interface circuit design >



위 재 경(정회원)
 1998년 연세대학교
 물리학과 학사 졸업.
 1990년 서울대학교
 물리학과 석사 졸업.
 1998년 서울대학교
 전자공학과 박사 졸업.
 1990년~2002년 하이닉스 메모리 연구소 근무
 2002년~2004년 한림대학교 정보통신공학부
 조교수
 2004년~현재 숭실대학교 정보통신전자공학부
 조교수
 <주관심분야 : System-in-Package 설계 및 고속
 SoC, high speed I/O interface, DLL/PLL, Mixed
 Mode 설계>



문 규(정회원)
 1982년 서울대학교 제어계측
 공학과 학사 졸업.
 1990년 조지워싱턴대학교
 전기 및 컴퓨터공학과
 석사 졸업.
 1993년 조지워싱턴대학교 전기 및
 컴퓨터공학과 박사 졸업.
 1982년~1988년 한국전자통신연구소 연구원
 1983년~1984년 미국 실리콘 벨리내 VLSI
 Technology Inc. 교환연구원
 1990년~1993년 조지워싱턴대학교 공과대학
 연구원 (Reseach Scholar)
 1993년~1994년 미국 과학재단 반도체 과제
 연구심사위원
 1996년~1996년 서호주대학(Western Australia
 Univ.) 방문교수
 1997년~1999년 미 오하이오 주립대학 교환교수
 IEEE Trans. Circuit and Systems 논문
 심사위원
 IEEE ISCAS(국제회로 및 시스템 학술
 대회) 97,98 논문심사위원
 1997년~1999년 Micrys Inc., Columbus,
 OH, USA
 General Manager in ASIC Design
 1993년~현재 한림대학교 전자공학부 조교수,
 부교수, 정교수
 <주관심분야 : Analog I.C 설계 및 Mixed Mode
 설계>