

논문 2006-43SD-6-5

BIST 환경에서의 천이 억제 스캔 셀 구조

(Transition Repression Architecture for scan CELL (TRACE) in a BIST environment)

김 인 철*, 송 동 섭*, 김 유 빈*, 김 기 철*, 강 성 호**

(Incheol Kim, Dongsup Song, Youbean Kim, Kicheol Kim, and Sungho Kang)

요 약

본 논문은 테스트 수행 중 발생하는 전력 소모를 줄이기 위한 변경된 스캔 셀 구조를 제안하고 있다. 이는 스캔 이동 중에 조합 회로 부분에서 발생하는 천이를 억제할 뿐 아니라 동시에 스캔 체인 내에서 발생하는 천이도 감소시킨다. 뿐만 아니라 캡처 사이클에서 발생하는 천이 또한 제한시킨다. 제안하는 방식은 test-per-scan BIST 구조에 적합하고 싱글 스캔 구조 뿐 아니라 멀티 스캔 구조에도 적용 가능하다. 실험 결과는 제안하는 방법이 기존의 방법들과 비슷한 수준의 고장 검출율을 가지면서 보다 적은 전력을 소모한다는 것을 보여준다.

Abstract

This paper presents a modified scan cell architecture to reduce the power dissipation during testing. It not only eliminates switching activities in the combinational logic during scan shifting but also reduces switching activities in the scan chain during the time. Furthermore, it limits the transitions on capture cycles. It can be made for test-per-scan BIST and employed in both single scan style and multiple scan style. Experimental results demonstrate that the proposed structure achieves the same fault coverage with lower power consumption compared to other existing BIST schemes.

Keywords : Low Power, Built-in Self-Test(BIST), Switching Activity, Scan Chain

I. 서 론

최근 반도체 공정 기술의 발전으로 회로를 디자인하는 기술이 빠르게 발전하여 가고 있다. 오늘날의 복잡한 디지털 회로를 설계하고 테스트 하는 데 있어 기존의 틀과 방법들로는 한계에 부딪힐 수밖에 없다. 갈수록 복잡해져 가는 회로들을 기존의 방법으로 테스트 하는 것은 점점 효율이 떨어지고 있으며 과거의 방법과는 다른 새로운 테스트 방법을 필요로 하게 되었다^[1].

BIST(Built-In-Self-Test)는 이러한 필요에 따라 새롭게 부각된 테스트 방법으로, 회로를 테스트 하는

데 있어 약간의 하드웨어를 추가함으로써 외부 장비의 필요 없이 테스트를 수행할 수 있도록 한 설계 방법이다^[2].

그러나 테스트 과정에서 발생하는 과도한 전력 소모 문제에 대해서는 BIST도 해결책을 제시해 주지 못하였다. 최근에 각종 휴대용 기기들이 출시되면서 저전력 소모에 대한 중요성이 부각되기 시작하였다. 또한 회로의 집적도가 점점 높아지면서 좁은 면적에 많은 디바이스들이 들어 있는 VLSI 회로 등에서도 전력 소모 문제는 중요한 이슈가 되었다.

디지털 시스템에서는 정상 동작 모드에 비해 테스트 모드에서 전력과 에너지 소모가 더 크게 나타난다^[3]. 일반적으로 CMOS 회로에서의 전력 소모는 회로 내에서의 스위칭 동작과 직접적인 연관이 있는데, 정상 동작 모드에서는 입력들 간에 밀접한 연관성이 존재하는 데 비해 테스트 모드에서는 그렇지 않기 때문이다. 이는

* 학생회원, ** 정회원, 연세대학교 전기전자공학과

(Department of Electrical and Electronic Engineering, Yonsei University)

※ 본 논문은 IDEC(IC Design Education Center)의 CAD tool 지원을 받은 것임.

접수일자: 2006년1월11일, 수정완료일: 2006년6월1일

회로에서의 스위칭 동작을 증가시키게 되고, 곧 전력 소모를 증가시키는 결과를 가져온다. 따라서 회로 내 각 노드들에서의 스위칭 동작을 줄여주는 것이 전력 소모를 줄이는 방법이 된다.

일반적으로 전력 소모는 average power 소모와 peak power 소모의 두 가지 측면에서 살펴보게 된다. average power 소모가 크면 배터리를 사용하는 기기에서 사용 시간의 단축을 가져오므로 치명적일 수 있다. peak power 소모는 회로의 열적, 전기적 한계를 결정하는 중요한 요소 중 하나이다. 테스트 모드에서는 정상 동작 모드에 비해 과도한 스위칭 동작으로 인하여 높은 열이 발생하게 되고, 이는 회로에 영구적인 손상을 줄 수 있다^[4]. 이는 회로의 신뢰성을 떨어뜨리며, 회로의 수율을 낮추게 되고, 추가적인 냉각 장치를 필요로 하게 될 경우 비용 측면에서도 문제가 될 수 있다. 그러므로 테스트 모드에서 전력 소모를 줄이는 것은 반드시 고려되어야 할 중요한 항목이다.

천이에 의한 전력 소모 문제와 관련하여 기존에 많은 연구들이 있었는데^[5,6,7,8,9,10], 그 중에서 LT-RTPG (low-transition random TPG)는 k-input AND 게이트와 T 플립플롭을 사용하여 스캔 입력에서 이전 입력과의 연관성을 높여 스캔 이동이 일어나는 동안 발생하는 천이를 줄이는 방법이다^[5].

그리고 MUX를 이용해 스캔 셀의 구조를 변경한 방법이 있다^[6]. 이는 스캔 셀에 MUX를 추가하여 스캔 이동이 일어나는 동안에는 조합 회로 부분으로 값이 전달되지 않고 캡처 사이클에만 값이 전달되도록 스캔 셀의 구조를 변경한 방법이다.

본 논문에서 제안하는 방법은 [5]의 방법과 유사하게 스캔 입력들 간의 연관성을 높여 주어 스캔 이동 과정에서 발생하는 천이를 줄여줄 뿐 아니라 캡처 사이클에서 조합 회로 부분으로 값이 인가될 때 이전 값과의 연관성 또한 높여줌으로써 조합 회로 내에서 발생하는 천이의 수도 감소시키는 효과를 얻을 수 있었다. 조합 회로 부분으로 인가되는 패턴들의 연관성을 높여주기 위해 [6]의 방법과 유사하게 MUX를 사용하였으며 이에 따라 추가되는 하드웨어 오버헤드와 전체 천이 수와의 trade-off 관계에 대해서도 본문에서 언급 하도록 하겠다.

II장에서는 제안하는 방법을 적용한 전체적인 BIST 구조에 대하여 소개하고, III장에서는 구체적으로 제안하는 스캔 셀의 구조에 대해 살펴본다. IV장에서는 하드웨어 오버헤드를 줄이기 위해 취할 수 있는 옵션에 대해

언급하며 제안하는 방법을 멀티 스캔 구조에서도 적용 가능함을 V장에서 설명하고, VI장에서는 ISCAS'89 회로에 대한 여러 가지 비교 실험 결과를 제시, 분석한다. 마지막으로 VII장에서 결과를 정리하고 결론을 맺도록 하겠다.

II. 전체적인 BIST 구조

그림 1은 본 논문에서 제안하는 BIST 구조의 전체적인 블록 다이어그램이다.

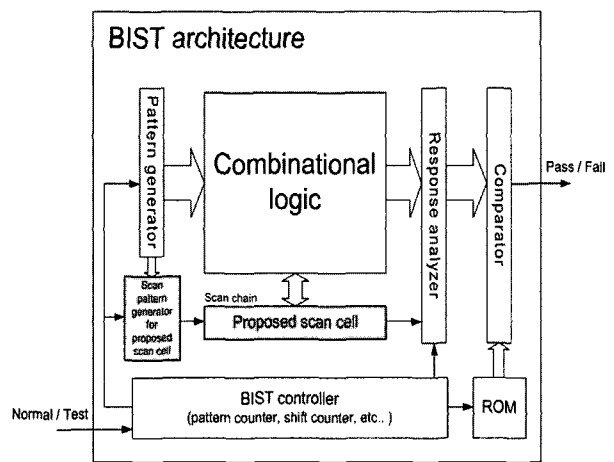


그림 1. 제안하는 BIST 구조
Fig. 1. Proposed BIST architecture.

제안하는 BIST 구조는 전체적으로 일반적인 BIST 구조와 크게 다르지 않으며 회색으로 음영 처리된 블록이 천이 수를 줄이기 위해 본 논문에서 제안하는 방법을 통해 바뀌게 되는 부분이다. 스캔 셀과 스캔 패턴 생성기의 구체적인 구조 및 천이 수를 줄이게 되는 원리에 대해서는 이어지는 III장에서 다루도록 하겠다.

III. 제안하는 스캔 셀 구조

기존의 일반적인 스캔 셀은 다음 스캔 셀로 값을 전달하는 노드와 조합 회로 부분으로 값을 전달하는 노드가 공유되어 있다. 따라서 스캔 이동이 일어나는 동안 조합 회로 부분으로 값이 계속해서 전달되게 되고, 이는 조합 회로 내의 천이를 유발하게 된다. 스캔 이동이 일어나는 동안 조합 회로 부분으로 값이 전달되지 않게 한다면 조합 회로 부분의 천이 전달을 막을 수 있어 전체적으로 전력 소모를 크게 줄이는 효과를 얻을 수 있다^[6].

하지만 캡처 사이클에서 플립플롭에 저장되어 있던

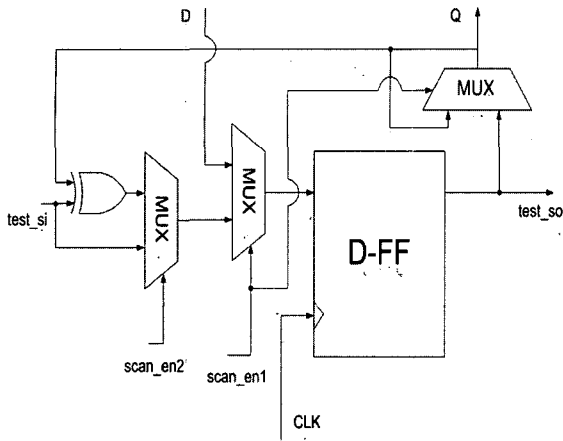


그림 2. 제안하는 스캔 셀 구조 - TRACE
Fig. 2. Proposed scan cell architecture - TRACE.

값들이 조합 회로 부분으로 전달될 때 만약 대부분의 비트에서 천이가 일어난다면 average power뿐만 아니라 peak power 측면에서 심각한 문제가 발생할 수가 있다. 순간적으로 회로의 많은 부분에서 천이가 동시에 일어난다면 peak power의 허용치를 넘게 되어 회로에 손상을 입힐 수도 있는 것이다.

따라서 스캔 체인에서 조합 회로 부분으로 전달되는 값들 간의 연관성을 높여준다면 단순히 스캔 이동이 일어나는 동안 값을 막아 주기만 하는 방법보다 더 높은 효과를 얻을 수 있게 된다.

그림 2는 제안하는 스캔 셀의 구조 (TRACE : Transition Repression Architecture for scan Cell)를 나타낸다. 위와 같이 스캔 셀을 구성하고, 추가적으로 하나의 콘트롤 신호(scan_en2)를 생성한다. 이 신호는 회로의 캡처 사이클을 구별해주는 콘트롤 신호(scan_en1)보다 한 클럭 앞서 활성화되어야 한다. 이는 BIST 콘트롤러의 쉬프트 카운터 값으로 구별하여 어렵지 않게 생성해 낼 수 있다. scan_en2 신호를 입력으로 받는 MUX의 역할은 다음 스캔 셀로 전달하여야 하는 신호와 조합 회로 부분으로 전달하여야 하는 신호를 구분해 주는 역할이다. 스캔 이동이 일어나는 동안에는 이전 스캔 셀에서 전달된 값(test_si)이 첫 번째 MUX와 두 번째 MUX를 통과한 뒤 D-플립플롭을 통과하여 다음 스캔 셀로 전달되게 된다(test_so). 스캔 이동이 일어나는 마지막 클럭 - 캡처 사이클의 한 클럭 이전 -에는 조합 회로 부분으로 전달되어야 할 값들이 각 스캔 셀로 들어오게 된다. 이 때 이전에 조합 회로 부분으로 전달되었던 값(Q)과 스캔 셀로 전달된 값(test_si)을 XOR 연산을 해주어 MUX를 통과시킨다. 다음 클럭(캡

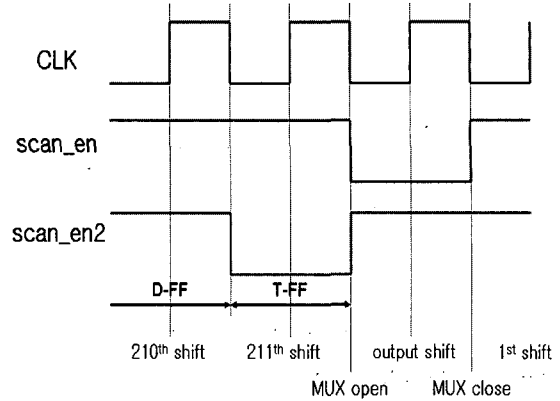


그림 3. 클럭 신호와 콘트롤 신호의 타이밍 (s9234)
Fig. 3. Timing of clock and control signals (s9234).

처 사이클)에 이 값이 플립플롭을 통과하여 조합 회로 부분으로 전달되는 것이다.

여기서 스캔 체인을 통과하는 test_si의 값에 따른 동작을 생각해보자. test_si로 스캔 셀에 전달된 값은 이전 Q값과의 XOR 연산을 통해 조합 회로 부분으로 전달되어진다. 만약 전달된 test_si값이 '0'이라면 이전 Q값과 동일한 값이 조합 회로 부분으로 전달되어지고, test_si값이 '1'이라면 천이가 발생하여 이전 Q값과 다른 값이 조합 회로 부분으로 전달되게 된다. 플립플롭이 211개 포함되어 있는 s9234 회로를 하나의 스캔 체인으로 엮었다고 가정했을 때 콘트롤 신호의 파형은 그림 3과 같다.

위의 그림에서와 같이 210번째 클럭까지는 D-플립플롭과 같이 입력받은 값을 그대로 전달해주는 역할을 수행하게 되고, 211번째 클럭에서 이전 Q값과 XOR 연산을 하여 마치 T-플립플롭과 같은 동작을 수행하게 된다. 그리고 그 다음 클럭에 조합 회로 부분으로 이 값이 전달되게 된다.

이와 같은 구조에서 천이 수를 줄이기 위해 test_si 신호를 어떻게 구성하여야 하는지는 자명하다. test_si 신호에서의 '1'의 값은 캡처 사이클에서의 천이를 의미하므로 스캔 체인으로 입력되는 값들은 '0'의 값이 '1'의 값보다 많아야 할 것이다.

표 1에서 볼 수 있듯이 test_si에서 '1'의 값이 차지하는 비율을 조절함에 따라 이전 패턴과의 연관성을 크게 높여줄 수 있다. 이는 [5]에서와 유사하게 LFSR과 k-input AND 게이트를 이용하여 생성해 낼 수 있다.

AND 게이트에 연결하는 입력의 수(k값)에 따라 test_si 패턴에서의 '1'의 비율을 조절할 수 있다. k값이 너무 크면 생성되는 패턴의 유사성이 너무 높아져 고장

표 1. 기존의 방법과 TRACE로 생성한 패턴의 비교 (밑줄로 표시된 부분은 이전 패턴과 달라 천이가 일어남을 의미)

Table 1. Comparison of patterns between standard method and TRACE (Underline means a transition occurred).

일반적인 LFSR로 생성된 패턴의 일부	TRACE로 생성된 패턴의 일부
11100100011111100101001	10011101101010011000100
10010100101101101011010	10011101101010011010100
10101101000101101110100	10011101101010001010100
1011101000100001000101010	10011101101010001010101
01000101000110100101001	10010101101010111010101
10010100101100101000001	10010101101010111010101
10100000100101111000110	10010101001010111010101
11100011000000001010000	10000101001010111010101
00101000000111001111011	10000101001010111010100
0011101111001100000001	00100101001010111010100
1000000011001111010000	00100101001010011010100

검출율이 떨어지게 되고 k값이 너무 작으면 천이가 많이 일어나게 되어 원하는 저전력 효과를 얻지 못하게 될 수 있다. 이와 같이 생성된 test_si 패턴은 '0'의 비율이 높고 '1'의 비율이 낮은 패턴이 되므로 스캔 이동이 일어나는 동안 스캔 체인 내에서 발생하는 천이의 수도 크게 줄일 수 있게 된다.

IV. 하드웨어 오버헤드의 감소를 위한 구조

TRACE에서 스캔 이동이 일어나는 동안 스캔 체인 내에서 일어나는 천이의 수를 크게 줄일 수 있고, 동시에 조합 회로 부분에서 일어나는 천이도 억제할 수 있다. 또한 스캔 체인에서 조합 회로 부분으로 가해지는 패턴들 간의 연관성도 매우 높으므로 average power 뿐 아니라 peak power 측면으로도 뛰어난 천이 감소 효과를 얻을 수 있다. 고장 검출율도 실험 결과에 따르면 기존의 방법들과 비슷한 수준을 얻을 수 있음을 볼 수 있었다.

그렇지만 TRACE를 구현하기 위해서는 일반적인 스캔 셀의 구조에 MUX 2개와 XOR 게이트 1개가 추가되어야 하는데, 모든 스캔 셀에 이들을 추가한다면 하드웨어의 크기가 커질 수밖에 없다. 따라서 구조의 수정이 불가피하여, TRACE를 부분적으로 적용하여 하드웨어 오버헤드를 줄일 수 있었다.

그림 4에서와 같이 수정된 구조에서 스캔 체인 내의

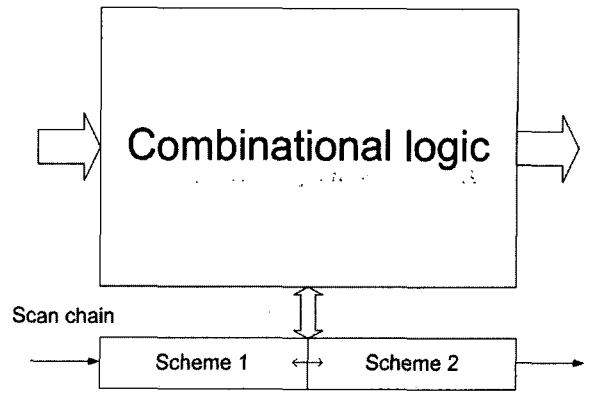


그림 4. TRACE - 수정된 구조
Fig. 4. TRACE - modified structure.

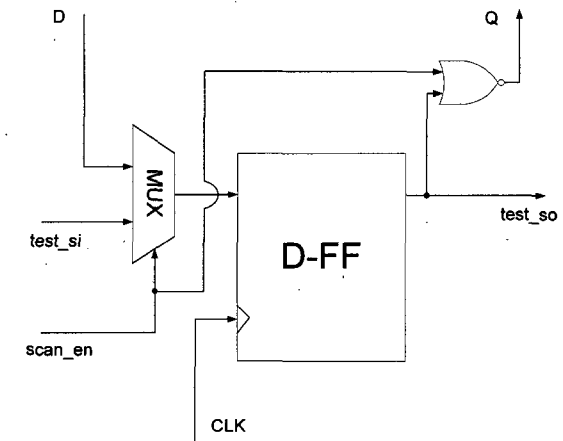


그림 5. 스캔 셀의 첫 번째 타입 (scheme 1)
Fig. 5. First type of the scan cell (scheme 1).

스캔 셀들은 두 가지 타입으로 나뉘게 된다. 첫 번째 (scheme 1)는 하드웨어 오버헤드 증가폭을 줄이기 위해 TRACE 대신 그림 5와 같이 조합 회로 부분으로 값이 출력되는 부분의 천이를 억제하는 구조를 선택하였다.

이러한 구조를 택할 경우 스캔 셀에서 스캔 이동이 일어나는 동안 조합 회로 부분으로 빠져나가는 값은 '0'으로 고정되게 된다(스캔 이동이 일어나는 동안의 scan_en 신호의 값은 '1'로 유지되는 구조를 가정). MUX를 사용하는 대신에 NOR 게이트를 사용함으로써 하드웨어 오버헤드의 증가폭을 비교적 줄일 수 있게 된다.

두 번째(scheme 2)는 III장에서 언급하였던 TRACE를 적용한다. TRACE를 뒤쪽에 배치하는 이유는 TRACE에 적합하게 생성된 패턴들은 '0'의 값이 대부분이고 '1'의 값이 적은, pseudo-random 패턴에 비해 값들 간의 연관성이 높은 패턴들이기 때문에 앞쪽에 배치하는 것보다 뒤쪽에 배치하는 것이 스캔 이동 과정 중

표 2. 각 타입에 따른 스캔 패턴
Table 2. Scan patterns for each scheme.

벡터	scheme 1	scheme 2
v1	10111111000	00001000001
v2	00010011111	00100000000
v3	10000011101	00000000010
v4	01011111111	00000000000
v5	11100010011	00000001100
v6	00010000010	01000000010
v7	11101011101	00010010000
v8	00011000000	00000001000
v9	01001101111	10000000000
v10	00101000011	00000000001

표 3. 스캔 셀 타입의 비율에 따른 실험 결과
Table 3. Experimental results for portion of scan cell types.

	고장 검출율	하드웨어 오버헤드	천이 수 비율
표준 BIST	86.30	6433	1
LT-RTPG [5]	85.72	6441.5	0.613
MUX [6]	86.30	6749.5	0.230
TRACE1	83.90	7598	0.124
TRACE2	85.71	7121	0.160
TRACE3	86.07	6963.5	0.181
TRACE4	85.49	6882.5	0.191

에 스캔 체인 내에서 발생하는 천이의 수를 줄일 수 있게 된다.

스캔 체인을 이와 같이 두 가지 구조로 구성할 경우 생성되는 스캔 패턴은 다음과 같은 형태를 가지게 된다.

오른쪽에 위치한 패턴들이 TRACE(scheme 2)에 해당하는 패턴들이고 오른쪽에 있는 비트들부터 순서대로 스캔 체인에 입력되게 된다.

scheme 1과 scheme 2에 해당하는 스캔 셀 수의 비율에 따라서 하드웨어 오버헤드와 천이 수 간의 trade-off 관계가 있게 된다. 표 3은 s9234 회로를 예로 들어 스캔 셀 타입의 비율에 따른 하드웨어 오버헤드와 천이 수의 관계를 나타낸 것이다. [5]과 [6]은 논문의 내용을 토대로 BIST를 직접 구성하여 실험을 수행

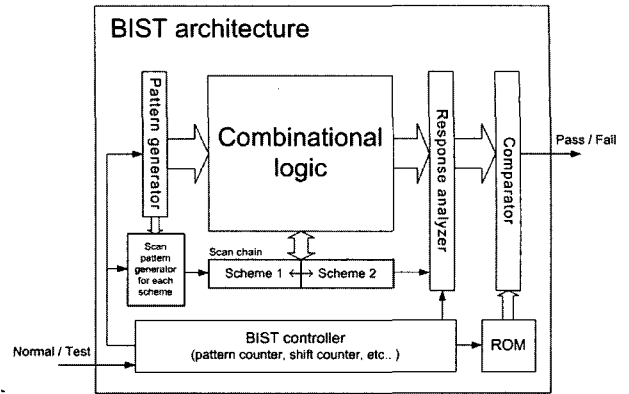


그림 6. TRACE를 수정 적용한 BIST 구조
Fig. 6. The BIST architecture with modified TRACE application.

하였다.

표 3에서 TRACE1은 모든 스캔 셀에 제안하는 방법 (scheme 2)을 적용한 것이고, TRACE2는 제안하는 방법을 적용한 스캔 셀이 1/2, TRACE3과 TRACE4는 각각 1/3, 1/4의 비율을 차지하도록 하였다. TRACE를 적용한 스캔 셀의 비율이 높을수록 천이 수는 감소하지만 하드웨어 오버헤드는 증가하게 된다. 따라서 설계자는 하드웨어 오버헤드와 천이 수 중에 우선순위가 높은 항목에 중점을 두어 스캔 셀 타입의 비율을 조절할 수 있다. 본 논문에서 s9234 이외의 회로들에 대해서는 천이 수 감소폭과 고장 검출율이 최적화된 TRACE3의 구조로 실험을 수행하였다.

하드웨어 오버헤드를 고려하여 TRACE를 수정 적용한 BIST의 전체 구조는 그림 6과 같다.

V. 멀티 스캔 구조에의 적용

TRACE는 스캔 체인의 수가 1개인 싱글 스캔 체인

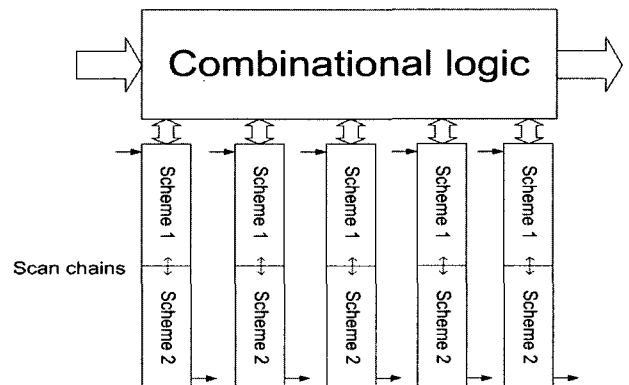


그림 7. TRACE - 멀티 스캔 구조에의 적용
Fig. 7. TRACE - multiple scan structure.

구조 뿐 아니라 스캔 체인의 수가 여러 개인 멀티 스캔 체인 구조에도 적용 가능하다. 그림 7과 같이 각 스캔 체인에 대해서도 4장에서 언급한 것과 같이 스캔 셀 타입의 비율을 조절할 수 있다.

표 4는 s9234 회로를 예로 들어 스캔 체인의 수를 16개로 구성하였을 때 스캔 셀 타입의 비율에 따른 하드웨어 오버헤드와 천이 수의 관계를 나타낸 것이다.

표 4에서 TRACE1부터 TRACE4까지의 스캔 셀 타입

표 4. 멀티 스캔 환경에서 스캔 셀 타입의 비율에 따른 실험 결과

Table 4. Experimental results for portion of scan cell types in multiple scan structure.

	고장 검출율	하드웨어 오버헤드	천이 수 비율
표준 BIST	83.35	6485	1
LT-RTPG [5]	71.49	6621	0.567
MUX [6]	83.35	6801.5	0.369
TRACE1	72.20	7650	0.139
TRACE2	84.73	7132.5	0.299
TRACE3	83.48	6988.5	0.311
TRACE4	83.23	6916.5	0.345

표 5. ISCAS'89 회로에 대한 실험 결과 및 비교

Table 5. Experimental results and comparisons for ISCAS'89 circuits.

circuit	LT-RTPG [5]			MUX [6]			TRACE		
	FC	HO	trans	FC	HO	trans	FC	HO	trans
s641	98.50	892.5	1	98.29	912.5	0.597	98.29	934.5	0.498
s713	92.25	916	1	92.08	936	0.595	92.08	958	0.498
s953	86.38	962.5	1	99.91	997.5	0.880	99.91	1028	0.681
s1196	99.28	1043.5	1	99.19	1062	0.930	99.19	1084.5	0.856
s1238	94.17	1073	1	94.17	1091.5	0.909	94.17	1114	0.841
s1423	98.02	1448.5	1	98.81	1551	0.543	99.01	1626.5	0.428
s5378	91.79	3866	1	98.67	4126	0.470	98.76	4306.5	0.362
s9234	85.72	6441.5	1	86.30	6749.5	0.375	86.13	6963.5	0.295
s13207	93.15	11368	1	94.85	12316.5	0.510	94.82	12956	0.387
s15850	95.45	12407	1	92.09	13199.5	0.421	92.36	13738	0.316
s38417	93.25	28248	1	94.12	30693.5	0.594	94.10	32332.5	0.425
s38584	92.99	30637.5	1	95.09	32768	0.332	94.89	34197	0.251

입의 비율은 표 2에서의 그것과 동일하다. 결과에서 볼 수 있듯이 멀티 스캔 구조에서도 상당한 천이 수 감소 효과를 가져오는 것을 볼 수 있다.

또한 TRACE는 조합 회로 부분으로 직접 들어가는 입력을 플립플롭으로 엮은 wrapper 구조에 대해서도 적용이 가능하다. 이 경우 역시 마찬가지로 싱글 스캔 체인 구조와 멀티 스캔 체인 구조 모두에 대해 TRACE를 적용할 수 있고 스캔 셀 타입의 비율도 조절할 수 있다.

VI. 실험 결과

표 5는 ISCAS'89 회로에 대하여 TRACE를 [5]와 [6]에 비교하여 실험한 결과를 나타낸 것이다. [5]의 논문이 싱글 스캔 체인 구조를 기반으로 하였으므로 비교를 위해 각 회로의 스캔 체인의 수는 1개로 구성하였고 3장에서 언급한 것과 같은 이유로 스캔 셀 타입의 비율은 1/3로 하는 TRACE3의 방법으로 실험을 하였다. 패턴을 생성해주는 LFSR의 스테이지 수는 각 회로의 조합 회로 부분으로 들어오는 입력의 수를 고려하여 16, 32, 64 스테이지 중 하나를 선택하여 구성하였다.

본 논문에서 제안하는 방법에 따라 패턴을 생성하여 시뮬레이션에 사용하였으며, 고장 검출율은 ATPG 기반의 시뮬레이터를 이용하여 계산하였고 천이 수 계산은 Synopsys사의 VCS 프로그램을 사용하였다.

표 5에서 FC는 고장 검출율, HO는 하드웨어 오버헤드, trans는 LT-RTPG를 기준으로 한 천이 수의 비율을 나타낸다. LT-RTPG의 경우 하드웨어 오버헤드는 가장 작지만 고장 검출율이나 천이 감소 효과 측면에서는 MUX를 사용한 방법이나 TRACE에 비해 성능이 떨어지는 것을 확인할 수 있다. TRACE를 사용할 경우 다른 저전력 기법을 사용한 방법에 비해 고장 검출율이 떨어지지 않으면서 LT-RTPG 방법에 비해 최대 74.9%까지 천이 수를 줄일 수 있게 된다. MUX를 사용한 방법과 비교하였을 때에도 최대 28.5%까지 천이 수를 줄일 수 있으며, 표준 BIST 방법과 비교한다면 천이 수의 감소폭은 더욱 커지게 된다.

TRACE를 적용한 스캔 셀의 비율을 줄이면 하드웨어 오버헤드를 줄일 수 있고, TRACE를 적용한 스캔 셀의 비율을 늘리면 천이 수를 더욱 감소시킬 수 있으므로 다양한 결과를 얻을 수 있게 된다.

VII. 결 론

본 논문을 통해 테스트가 수행되는 동안 발생하는 천이의 수를 줄일 수 있는 새로운 BIST 구조를 제안하였다. 테스트 모드에서 전력 소모가 정상 동작 모드에 비해 큰 이유는 대상 회로로 인가되는 입력들 사이에 연관성이 적기 때문인데, 본 논문에 제시된 방법은 이러한 테스트 입력들 간의 연관성을 높여 주어 테스트가 수행되는 동안 발생하는 천이의 수를 감소시켰다. 또한 스캔 체인 내에서 스캔 이동이 일어나는 동안 불필요하게 조합 회로 부분에서 천이가 일어나는 것을 막음으로써 천이 감소 효과를 극대화 할 수 있었다.

제안하는 BIST 구조는 세 가지 원리를 통해 천이 수를 감소시키게 된다. 첫 번째로 그림 1과 같이 수정된 스캔 셀 구조인 TRACE를 사용함으로써 스캔 체인에서 조합 회로 부분으로 인가되는 값들 간의 연관성을 크게 향상시킨다. 두 번째로 TRACE를 사용하게 되면 생성되어야 하는 스캔 벡터는 '0' 값의 비율이 더 높게 되어 일반적인 pseudo-random 패턴에 비해 연관성이 높게 되고, 이는 스캔 체인에서 스캔 이동이 일어날 때 발생하는 천이 수를 감소시키게 된다. 세 번째로 스캔 체인에서 스캔 이동이 일어날 때 조합 회로 부분으로 인가되는 천이를 억제함으로써 천이 수를 감소시키고, 위의 두 가지 천이 감소 효과를 극대화 시켜주게 된다.

또한 TRACE는 싱글 스캔 체인 및 멀티 스캔 체인 구조에 모두 적용 가능하고, wrapper 구조에도 적용 가

능하다. 제안하는 방법으로 BIST를 구성하였을 때 고장 검출율의 손실 없이 기존 방법보다 최대 74.9%까지 천이 수를 감소시키며 저전력 테스트를 구현할 수 있음을 실험 결과를 통해 확인할 수 있었다.

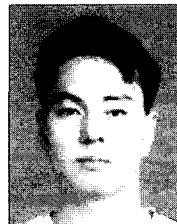
참 고 문 헌

- [1] Y. Zorian, "Testing the monster chip", IEEE Spectrum, Vol. 36, pp. 54-60, 1999.
- [2] S. Pateras, "Achieving at-speed structural test", IEEE Design & Test of Computers, Vol. 20, pp. 26-33, 2003.
- [3] P. Girard, "Survey of Low-Power Testing of VLSI Circuits", IEEE Design & Test of Computers, Vol. 19, No. 3, pp. 82-92, 2002.
- [4] N.Z. Basturkmen, S.M. Reddy and I. Pomeranz, "A low power pseudo-random BIST technique", Proc. of IEEE Int. Conf. on Computer Design: VLSI in Computers and Processors, pp. 468-473, 2002.
- [5] S. Wang and S.K. Gupta, "LT-RTPG: a new test-per-scan BIST TPG for low heat dissipation", Proc. of IEEE Int. Test Conf., pp. 85-94, 1999.
- [6] Xiaodong Zhang and K. Roy, "Power reduction in test-per-scan BIST", Proc. of 6th IEEE International, pp. 133-138, 2000.
- [7] Kicheol Kim, Dongsup Song, Incheol Kim, Sungho Kang, "A New Low Power Test Pattern Generator for BIST Architecture", IEICE Transactions on Electronics, Vol. E88-C, No. 10, pp. 2037-2038, 2005.
- [8] N. Ahmed, M.H. Tehranipour, M. Nourani, "Low power pattern generation for BIST architecture", Proc. of the 2004 International Symposium on Circuits and Systems, Vol. 2, pp. 689-692, 2004.
- [9] K.M. Butler, J. Saxena, A. Jain, T. Fryars, J. Lewis, G. Hetherington, "Minimizing power consumption in scan testing: pattern generation and DFT techniques", Proc. of IEEE Int. Test Conf., pp. 355-364, 2004.
- [10] S. Bhunia, H. Mahmoodi, D. Ghosh, S. Mukhopadhyay, K. Roy, "Low-power scan design using first-level supply gating", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 13, Issue 3, pp. 384-395, 2005.

저 자 소 개



김 인 철(학생회원)
 2005년 연세대학교 전기전자
 공학과 학사 졸업.
 2006년 현재 연세대학교 전기전자
 공학과 석사 과정.
 <주관심분야 : BIST, DFT, SoC
 Test>



송 동 섭(학생회원)
 2000년 건국대학교 전기공학과
 학사 졸업.
 2002년 연세대학교 전기전자
 공학과 석사 졸업.
 2005년 현재 연세대학교 전기전자
 공학과 박사 과정.
 <주관심분야 : DFT, SoC Testing, CAD>



김 유 빈(학생회원)
 2002년 서강대학교 컴퓨터학과
 학사 졸업.
 2004년 서강대학교 컴퓨터학과
 석사 졸업.
 2006년 현재 연세대학교 전기전자
 공학과 박사 과정.
 <주관심분야 : BIST, DFT, SoC Test>



김 기 철(학생회원)
 2003년 연세대학교 기계전자
 공학부 학사 졸업.
 2005년 연세대학교 전기전자
 공학과 석사 졸업.
 2006년 현재 연세대학교 전기전자
 공학과 박사 과정.
 <주관심분야 : BIST, DFT, SoC Test>



강 성 호(정회원)
 1986년 서울대학교 제어계측
 공학과 학사 졸업.
 1988년 The University of Texas,
 Austin 전기 및 컴퓨터
 공학과 석사 졸업.
 1992년 The University of Texas,
 Austin 전기 및 컴퓨터
 공학과 박사 졸업

1992년 미국 Schlumberger Inc. 연구원
 1994년 Motorola Inc. 선임 연구원
 2006년 현재 연세대학교 전기전자공학과 교수
 <주관심분야 : SoC 설계 및 SoC 테스트>