

논문 2006-43SD-6-7

130nm 이하의 초미세 공정을 위한 저전력 32비트×32비트 곱셈기 설계

(Low-Power 32bit×32bit Multiplier Design
for Deep Submicron Technologies beyond 130nm)

장 용 주*, 이 성 수**

(Yong-Ju Jang and Seongsoo Lee)

요 약

본 논문에서는 130nm 이하의 초미세 공정을 위한 저전력 32비트×32비트 곱셈기를 제안한다. 공정이 미세화 되어감에 따라 누설 전류에 의한 정적 전력이 급격하게 증가하여 동적 전력에 비해 무시하지 못할 수준에까지 이르게 된다. 최근 들어 동적 전력과 정적 전력을 동시에 줄일 수 있는 방법으로 MTCMOS에 기반하는 전원 차단 방법이 널리 쓰이고 있지만, 대규모 블록의 전원이 복귀될 때 심각한 전원 잡음이 발생하는 단점이 있다. 따라서 제안하는 곱셈기는 파이프라인 스테이지를 따라 순차적으로 전원을 차단하고 복귀함으로써 전원 잡음을 완화시킨다. 0.35 μ m 공정에서 칩 제작 후 측정하고 130nm 및 90nm 공정에서 게이트-트랜지션 수준 모의실험을 실시한 결과 유휴 상태에서의 전력 소모는 0.35 μ m, 130nm 및 90nm 공정에서 각각 66 μ W, 13 μ W, 6 μ W이었으며 동작 시 전력 소모의 0.04~0.08%에 불과하였다. 기존의 클럭 게이팅 기법은 공정이 미세화되어감에 따라 전력 감소 효율이 떨어지지만 제안하는 곱셈기에서는 이러한 문제점이 발생하지 않았다.

Abstract

This paper proposes a novel low-power 32bit×32bit multiplier for deep submicron technologies beyond 130nm. As technology becomes small, static power due to leakage current significantly increases, and it becomes comparable to dynamic power. Recently, shutdown method based on MTCMOS is widely used to reduce both dynamic and static power. However, it suffers from severe power line noise when restoring whole large-size functional block. Therefore, the proposed multiplier mitigates this noise by shutting down and waking up sequentially along with pipeline stage. Fabricated chip measurement results in 0.35 μ m technology and gate-transition-level simulation results in 130nm and 90nm technologies show that it consumes 66 μ W, 13 μ W and 6 μ W in idle mode, respectively, and it reduces power consumption to 0.04%~0.08% of active mode. As technology becomes small, power reduction efficiency degrades in the conventional clock gating scheme, but the proposed multiplier does not.

Keywords : low-power multiplier, leakage power suppression, MTCMOS, block-wise shutdown

I. 서 론

최근 들어 디지털 멀티미디어 방송 (DMB), 휴대 멀티미디어 플레이어 (PMP), MP3 플레이어 (MP3P) 등

다양한 멀티미디어 휴대 단말기의 발달에 따라 시스템 온 칩 (SoC)의 전력 소비가 중요한 문제로 대두되고 있다. 기존의 공정에서는 누설 전류 (leakage current)에 의한 정적 전력 (static power)이 게이트의 스위칭에 의한 동적 전력 (dynamic power)에 비해 매우 작아 무시할 만한 수준이지만, 130nm 이하의 초미세 공정 (deep sub-micron technology)에서는 누설 전류가 기하급수적으로 증가함에 따라 정적 전력이 급격하게 증가한다. 특히 동적 전력은 회로가 동작 상태일 때만 소비되는데 반해 정적 전력은 유휴 상태에서도 소비되기 때문에 전

* 학생회원, ** 평생회원, 숭실대학교 정보통신전자공학부

(School of Electronic Engineering, Soongsil University)

※ 본 논문은 숭실대학교 교내 연구비 지원으로 이루어졌음.

접수일자: 2005년11월7일, 수정완료일: 2006년6월1일

체 시간 동안 소비되는 전력은 정적 전력이 동적 전력을 능가할 것으로 예측된다^[1].

일반적으로 SoC 칩 내부에는 여러 개의 대규모 기능 블록 (megablock)이 존재하며, 이들 블록이 유휴 상태 일 때 공급 전원을 차단하는 블록 단위 전원 차단 기법 (block-wise shutdown)은 동적 전력과 정적 전력을 동시에 줄이는 효과적인 방법으로 각광받고 있다. 이 기법은 시스템 측면에서 블록의 유휴 상태를 예측하여 전원을 차단하는 시점을 결정하는 예측적 차단 기법 (predictive shutdown)^[2]을 사용하고, 회로 측면에서 차단 스위치 (cut-off switch)를 사용하여 다중 문턱 전압 기법 (multi-threshold voltage CMOS: MTCMOS)^[3]을 사용한다. 그러나 차단된 전원을 복구하는 과정에서 많은 로직 게이트들이 동시에 켜지기 때문에 매우 큰 전류가 전원선을 통해서 흘러 전원선 잡음이 발생한다. 이러한 전원선 잡음은 블록 동작에 심각한 영향을 미치며 때때로 비정상적인 동작을 유발한다^[4]. 이러한 문제점을 해결하기 위하여 파이프라인 블록 단위 전원 차단 기법 (pipelined block-wise shutdown)^[4]이 제안되었다. 곱셈기와 같은 대규모 기능 블록은 대부분 고속 동작을 위해 파이프라인 구조로 설계된다. 이때 파이프라인 스테이지에 따라 순차적으로 전원을 복구한다면 동시에 켜지는 로직 게이트의 숫자를 크게 줄임으로서 전원선 잡음을 크게 완화시킬 수 있다.

본 논문에서는 파이프라인 블록 단위 전력 차단 기법을 사용한 저전력 32비트×32비트 곱셈기를 설계하여 Verilog HDL으로 기술한 후 0.35 μ m 공정으로 제작하였으며 누설 전류에 의한 정적 전력이 크게 감소하는 것을 확인하였다. 130nm 이하의 초미세 공정은 현재 국내에서 제작이 어렵기 때문에 모의실험을 통하여 정적 전력이 크게 감소하는 것을 확인하였다.

II. 설계 및 구현

제안하는 저전력 32비트×32비트 곱셈기의 구조는 그림 1과 같다. 제안하는 저전력 곱셈기는 수정된 Booth 알고리즘 (modified Booth algorithm)을 채택하였고, 3 스테이지의 파이프라인 구조를 가지고 있다. 동적 전력과 정적 전력을 줄이면서 동시에 전원선 잡음을 완화시키기 위해서 파이프라인 블록 단위 전원 차단 기법을 사용하였다. 파이프라인 스테이지 안에 있는 로직 게이트의 숫자가 클수록 전원선 잡음이 증가하므로 가능한 각 파이프라인 스테이지가 비슷한 숫자의 로직 게이

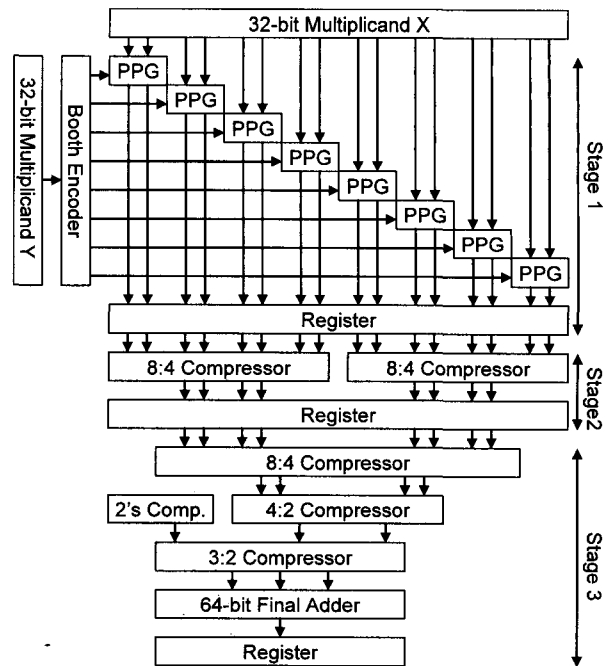


그림 1. 제안하는 저전력 곱셈기의 구조

Fig. 1. Architecture of the proposed low-power multiplier.

트를 가지도록 분할하였다. 제안하는 저전력 곱셈기는 Verilog HDL로 기술하여 0.35 μ m 표준 셀 라이브러리 공정으로 제작 되었다. 각 파이프라인 스테이지의 게이트 수는 각각 9800, 7800, 4800 게이트였다.

기존의 블록 단위 전원 차단 기법에서는 MTCMOS를 사용하는데, 이때 각 단의 파이프라인 레지스터는 전원이 차단되지 않는다. 따라서 블록의 전원이 차단될 때에도 각 스테이지의 중간 계산 결과는 레지스터에 저장되고 전원이 복구될 때 저장된 값을 이용하여 차단 이전의 상태로 신속하게 복구가 가능하다. 그러나 이러한 방법은 전체 게이트 수의 약 40%에 달하는 파이프라인 레지스터가 정적 전력을 계속 소모하기 때문에 전력 효율 면에서는 불리하다. 제안하는 저전력 곱셈기의 경우 곱셈기 내부의 파이프라인 레지스터에 저장된 값은 곱셈기의 출력을 얻기 위한 중간값에 불과하며, 곱셈기가 파이프라인 스테이지를 따라 전원이 완전히 차단되는 시점에 곱셈기의 출력은 이미 나온 상태이기 때문에 중간값을 저장할 필요가 없다. 따라서 본 논문에서는 그림 2와 같이 모든 파이프라인 레지스터를 전원이 차단되는 블록에 포함시켰다. 이에 따라 전원이 차단되는 동안 모든 로직 게이트와 파이프라인 레지스터는 전력을 소모하지 않으며 차단 제어기 (cut-off controller)와 차단 스위치 (cut-off switch)만 전력을 소모하게 된다. 각 파이프라인 스테이지는 자체적인 파워

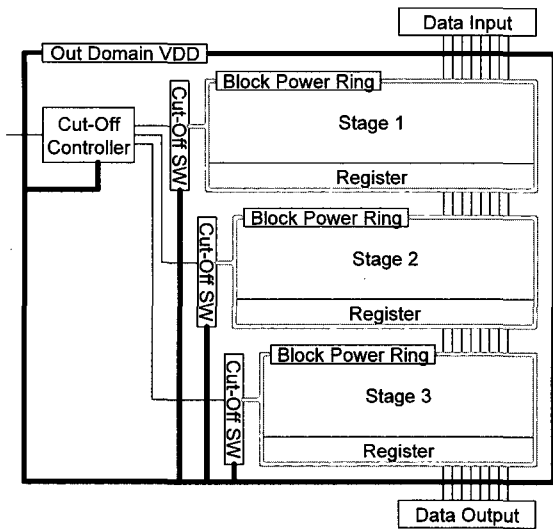


그림 2. 제안하는 저전력 곱셈기의 전원선 구조
 Fig. 2. Power line architecture of the proposed low-power multiplier.

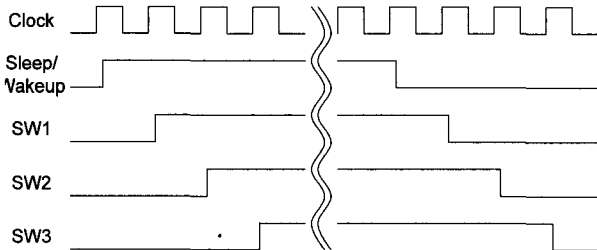


그림 3. 차단 스위치의 제어 신호
 Fig. 3. Control signals of cut-off switches.

링을 갖고 있고, 모든 로직 게이트와 파이프라인 레지스터들은 그 파워링에 연결된다. 전원 공급은 “외부 전원선 -> 차단 스위치 -> 파이프라인 스테이지의 파워링 -> 로직 게이트와 파이프라인 레지스터” 순서로 이루어진다. 차단 제어기는 그림 3과 같이 각 파이프라인 스테이지에 연결된 차단 스위치에 1 클럭 간격으로 제어 신호를 인가하여 전원을 차단하거나 복귀시킨다.

제안하는 저전력 곱셈기를 표준 셀 라이브러리에서 구현하기 위해서는 각 파이프라인 스테이지를 매크로셀로 만들어서 placement & routing (P&R) 과정에서 디자인 라이브러리에 등록해야 된다. 만약에 이 과정을 생략하고 P&R 과정을 진행하면, 세 개의 파이프라인 스테이지가 자동으로 하나의 매크로셀로 인식되어 하나의 전원선에 연결된다. 차단 스위치는 디지털 회로가 아니라 아날로그 회로이기 때문에 수동으로 설계한 후 P&R 결과 위에 중첩시킨다. 제안하는 저전력 곱셈기의 동작을 확인하기 위해 0.35 μm 1폴리 4메탈 공정으로 구현하였다. 자세한 설계 과정은 다음과 같다.

각각의 파이프라인 스테이지는 독립된 형태의

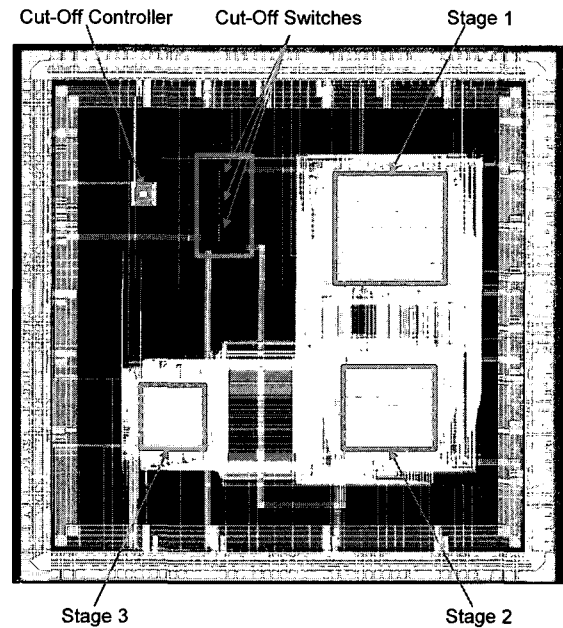


그림 4. 제안하는 저전력 곱셈기의 레이아웃
 Fig. 4. Layout of the proposed low-power multiplier.

Verilog HDL 모듈로 기술하고, 이들을 하위 모듈로 하여 차단 스위치, 차단 제어기를 포함한 최상위 모듈을 별도의 Verilog HDL 모듈로 기술한다. 각각의 파이프라인 스테이지를 개별적으로 합성한 후, 생성된 게이트 수준의 Verilog HDL 넷리스트들을 P&R 과정에서 개별 매크로 블록으로 설계하여 디자인 라이브러리에 등록시킨다. 이렇게 등록된 세 개의 매크로셀을 서로간의 연결정보가 들어 있는 최상위 Verilog HDL 모듈을 기반으로 만들어낸 최상위 셀에 불러들인다. 디자인 라이브러리에서 불러들여진 각 매크로셀들을 최상의 셀의 실리콘 공간에서 수동으로 배치를 시킨다. 이때 각각의 매크로셀 사이의 연결 길이를 최소화하고 열 분산이 효과적으로 될 수 있도록 배치한다. 그런 다음 최상위 셀에서 자동 라우팅 과정을 거치면 P&R 과정이 끝난다.

제안하는 저전력 곱셈기는 거의 대부분의 블록을 Verilog HDL로 기술한 후 합성 및 P&R 과정을 거쳐서 레이아웃을 자동으로 생성하지만 차단 스위치는 아날로그 회로이기 때문에 레이아웃 에디터를 사용하여 수동으로 레이아웃을 그린 후 그 결과를 GDS-II 파일로 저장한다. 또한 차단 스위치를 제외한 전체 곱셈기의 P&R DB 파일을 GDS-II 파일로 변환한 후, 차단 스위치의 GDS-II 파일과 중첩한다. 그 후 차단 스위치와 차단 제어기, 파워링 사이를 메탈1과 메탈2를 사용하여 수동으로 연결한 후, 최종 결과를 하나의 GDS-II 파일

로 통합하여 칩을 제작한다. 제안하는 저전력 곱셈기의 최종 레이아웃은 그림 4와 같다.

제안하는 저전력 곱셈기는 두 종류의 VDD 전원선이 필요하다. 하나는 전역 VDD 전원선으로 외부 VDD 전원선과 차단 스위치 사이를 연결한다. 다른 하나는 3개의 스테이지 VDD 전원선으로 차단 스위치와 파이프라인 스테이지의 파워링 사이를 연결하며, 차단 제어기에 의해서 차단 스위치가 켜지고 꺼짐에 따라 해당 스테이지의 VDD 전원이 차단되고 복구된다. GND 전원선은 차단 스위치의 숫자를 줄이기 위해서 칩 전체가 단일 전원선을 공통으로 사용한다. 차단 스위치는 넓은 채널 폭을 가진 MOS 트랜지스터를 사용하며, 채널 폭을 넓히기 위해 핑거 형태로 설계되었다. VDD 전원만이 차단 또는 복구되므로 전압 강하가 없는 PMOS 트랜지스터를 사용하였다.

III. 모의실험 및 측정

제안하는 저전력 곱셈기는 원래 130nm 이하 초미세 공정에서 동적 전력과 정적 전력을 모두 줄이기 위해 설계되었으나, 아직까지 국내에서는 130nm 및 90nm 공정의 칩 제작이 어렵기 때문에 본 논문에서는 먼저 0.35 μ m 공정으로 테스트 칩을 제작하여 정적 전력이 감소하는지를 측정한다. 다음에, 130nm 및 90nm 공정은 게이트-트랜지션 수준 모의실험을 통하여 전력 소모를 정밀하게 계산하였다. 정적 전력과 동적 전력을 따로 따로 측정하고 모의실험을 수행하기 위해서 두 가지의 저전력 기법, 즉 클럭 게이팅 기법^[5]과 파이프라인 블록 단위 전원 차단 기법^[4]을 구현하고 이들의 전력 소모를 비교하였다. 클럭 게이팅 기법은 클럭 분배 네트워크의 클럭 드라이버 안에 클럭 콘트롤 회로를 삽입하고, 블록이 유휴 상태일 때 클럭 신호를 비활성화 한다. 이 경우 동적 전력은 거의 대부분 줄일 수 있지만 로직 게이트와 파이프라인 레지스터의 정적 전력은 줄일 수 없다. 이에 반하여 파이프라인 블록 단위 전원 차단 기법은 동적 전력과 정적 전력을 거의 대부분 줄일 수 있다.

그림 5는 0.35 μ m 공정으로 제작된 칩의 측정 결과이다. 동작 주파수는 80MHz, 공급 전압은 3.3V이다. 난수 발생으로 얻은 두 개의 32비트 값을 패턴 제너레이터를 이용하여 칩의 입력으로 인가한 후 로직 애널라이저를 사용하여 칩의 출력을 측정하여 칩이 정상적으로 동작하는 것을 확인하였으며, 칩에 공급되는 전원 전류를 전류계로 측정하여 전력 소모를 측정하였다. 동작 상태

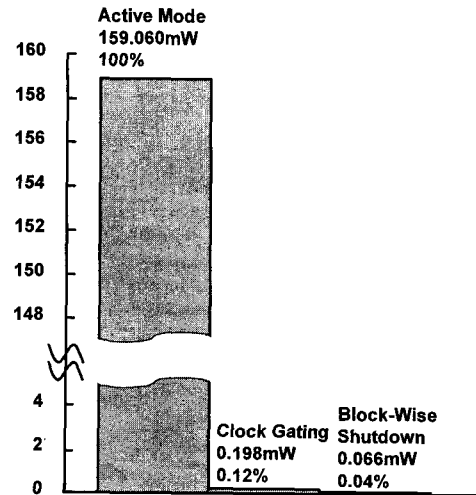


그림 5. 0.35 μ m 공정으로 제작된 칩의 전력 측정 결과
Fig. 5. Power measurement results of fabricated chip in 0.35 μ m technology.

에서의 측정 전류와 유휴 상태에서 클럭 게이팅 기법을 사용할 때의 측정 전류, 유휴 상태에서 파이프라인 블록 단위 전원 차단 기법을 사용할 때의 측정 전류는 각각 48.2mA, 0.06mA, 0.02mA였으며, 이때의 전력 소모는 각각 159.060mW (100%), 0.198mW (0.12%), 0.066mW (0.04%)였다. 유휴 상태에서 클럭 게이팅 기법을 사용할 때의 전력 소모는 칩의 정적 전력에 해당하며, 이 값이 전체 전력 소모의 0.12%에 불과하므로 0.35 μ m 공정에서는 누설 전류에 의한 정적 전력이 무시할만한 수준임을 알 수 있다. 유휴 상태에서 파이프라인 블록 단위 전원 차단 기법을 사용할 때의 전력 소모는 칩에서 정적 전력을 최소로 줄였을 때에 해당하며, 파이프라인 블록 단위 전원 차단 기법을 사용하면 정적 전력이 1/3로 감소하는 것을 알 수 있다.

모의실험에서는 설계된 저전력 곱셈기의 Verilog HDL 파일을 Synopsys Design Compiler를 사용하여 130nm 및 90nm 공정으로 재합성하였다. 이들 표준 셀 라이브러리는 동적 전력뿐만 아니라 정적 전력도 함께 계산할 수 있도록 필요한 정보를 제공한다. 동적 전력과 정적 전력이 실제 곱셈기의 동작을 반영하도록 Mentor Graphics Modelsim에서 두 개의 32비트 입력 벡터를 임의 생성하여 곱셈기의 입력에 가하고, 곱셈기 내부에 있는 모든 신호의 트랜지션을 VCD (value change dump) 파일로 추출하였다. 전력 소모는 Synopsys Prime Power를 이용하여 계산하였다. Synopsys Prime Power는 표준 셀 라이브러리에서 전력 소모에 관련된 정보를 읽고, 게이트 수준 넷리스트에 의한 Verilog HDL 파일,

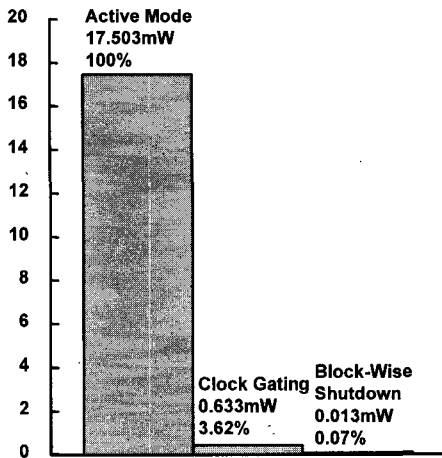


그림 6. 130nm 공정에서의 전력 모의실험 결과
 Fig. 6. Power simulation results in 130nm technology.

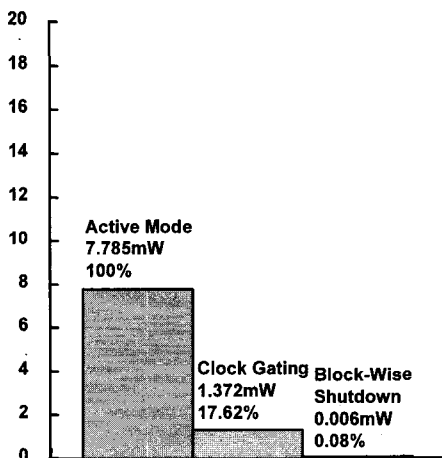


그림 7. 90nm 공정에서의 칩의 전력 모의실험 결과
 Fig. 7. Power simulation results in 90nm technology.

지연 시간 정보를 가진 SDF (standard delay file) 파일, VCD 파일을 읽어서 실제 칩셋이 동작할 때의 전력 소모를 계산하였다.

그림 6과 7은 130nm 및 90nm 공정에서의 모의실험 결과이다. 동작 주파수는 333MHz 이며 공급 전압은 130nm 공정이 1.08V, 90nm 공정이 0.9V이다. 130nm 공정에서 동작 상태, 유휴 상태에서 클록 게이팅 기법을 사용할 때, 유휴 상태에서 파이프라인 블록 단위 전원 차단 기법을 사용할 때의 전력 소모는 각각 17.503mW (100%), 0.633mW (3.62%), 0.013mW (0.07%)였으며, 90nm 공정에서는 각각 7.785mW (100%), 1.372mW (17.62%), 0.006mW (0.08%)였다.

유휴 상태에서 클록 게이팅 기법을 사용할 때의 전력 소모는 칩의 정적 전력에 해당하며, 130nm 공정에서는

이 값이 전체 전력 소모의 3.62%에 불과하다. 그러나 동적 전력은 동작 상태에서만 소모되지만 정적 전력은 전원이 인가되어 있는 동안 내내 소모되기 때문에, 동작 상태에 머물러있는 시간과 유휴 상태에 머물러 있는 시간의 비가 1:25.6일 때 전체 시간 동안 소모되는 정적 전력은 동적 전력과 같아진다. 최근 연구에 따르면 센서 네트워크와 같은 저전력 어플리케이션의 경우 동작 상태와 유휴 상태의 시간 비는 1:36~1:200에 달하기 때문에^[6], 130nm 공정에서도 누설 전류에 의한 정적 전력은 큰 문제가 됨을 알 수 있다. 90nm 공정에서는 문제가 더욱 심각해져서, 정적 전력이 전체 전력의 17.62%에 달하게 된다. 동작 상태에 머물러있는 시간과 유휴 상태에 머물러 있는 시간의 비가 1:3.7일 때 전체 시간 동안 소모되는 정적 전력은 동적 전력과 같아지며, 이 비가 1:20이 되면 정적 전력이 동적 전력의 4배에 달하게 된다. 그림 5부터 7에서 알 수 있듯이 공정이 0.35 μ m에서 90nm로 가면서 동적 전력은 크게 감소하지만 정적 전력은 오히려 크게 증가함을 알 수 있다. 기존의 클록 게이팅 기법은 이러한 정적 전력을 효과적으로 감소시키지 못하기 때문에 공정이 미세화될수록 전력 소모가 오히려 증가하는 반면에 제안하는 저전력 칩셋기는 파이프라인 블록 단위 전원 차단 기법을 사용하기 때문에 이러한 문제점이 발생하지 않음을 알 수 있다. 또한 클록 게이팅 기법은 클록 분배 네트워크 내에 제어 게이트를 삽입함으로써 클록 신호의 지연 및 스쿠가 증가하기 때문에 클록 게이팅 기법보다는 파이프라인 블록 단위 전원 차단 기법이 훨씬 효과적임을 알 수 있다. 파이프라인 블록 단위 전원 차단 기법을 사용하였을 때에도 전력 소모가 완전히 0이 되지는 않는데, 그 이유는 (1) 차단 스위치와 차단 제어기에서 추가로 전력이 소모되며, (2) 입력 벡터가 변화함에 따라 이 신호를 받아들이는 로직 게이트들의 게이트 캐패시턴스가 충전되어 전력이 소모되기 때문이다.

IV. 결 론

본 논문에서는 130nm 이하의 초미세 공정에서 동적 전력과 정적 전력을 동시에 효과적으로 감소시키는 저전력 32비트×32비트 칩셋기를 제안하였다. 제안하는 저전력 칩셋기는 유휴 상태에서 전원을 차단하여 누설 전류를 차단하고, 파이프라인 스테이지를 따라 차례로 전원을 복구함으로써 전원선 잡음을 크게 줄인다. 0.35 μ m 공정으로 제작된 칩의 전력 소모 측정 결과 클록 게이

팅을 사용하여 동적 전력만 줄인 경우의 전력 소모는 0.198mW였으나 파이프라인 블록 단위 전원 차단 기법을 사용하여 정적 전력까지 줄인 경우의 전력 소모는 0.066mW에 불과하였다. 90nm 및 130nm 공정은 게이트-트랜지션 수준 모의실험을 통해 정밀하게 계산하였는데 130nm 및 90nm 공정에서 클록 게이팅을 사용하여 동적 전력만 줄인 경우의 전력 소모는 각각 0.633mW와 1.372mW였으나 파이프라인 블록 단위 전원 차단 기법을 사용하여 정적 전력까지 줄인 경우의 전력 소모는 각각 0.013mW와 0.006mW에 불과하였다. 측정 및 모의실험 결과 기존의 클록 게이팅 기법은 클록의 지연 및 스큐가 발생하고 공정이 미세화되어감에 따라 누설 전류로 인해 전력 소모가 증가하지만, 파이프라인 블록 단위 전원 차단 기법은 이러한 문제점이 발생하지 않음을 알 수 있었다.

참고 문헌

- [1] T. Sakurai, "Perspectives on Power-Aware Electronics", Technical Digest of International Solid-State Circuit Conference", pp. 26-29, 2003.
- [2] M. Srivastava, A. Chandrakasan, and R. Brodersen, "Predictive System Shutdown and Other Architectural Techniques for Energy Efficient Programmable Computation", IEEE Transactions on VLSI Systems, vol. 4, no. 1, pp. 42-55, 1996.
- [3] S. Mutoh, S. Shigematsu, Y. Gotoh, and S. Konaka, "Design Method of MTCMOS Power Switch for Low-Voltage High-Speed LSIs", Proceedings of Asia South Pacific Design Automation Conference, pp. 113-116, 1999.
- [4] J. Choi, Y. Kim, J. Wee, and S. Lee, "Pipelined Wake-Up Scheme to Reduce Power line Noise for Block-Wise Shutdown of Low-Power VLSI Systems", IEICE Transactions on Electronics, vol. 87, no. 4, pp. 629-633, 2004.
- [5] L. Benini, P. Siegel, and G. De Micheli, "Saving Power by Synthesizing Gated Clocks for Sequential Circuits", IEEE Design & Test of Computers, vol. 11 no. 4, pp. 32-41, 1994.
- [6] J. Hill and D. Culler, "Mica: A Wireless Platform for Deeply Embedded Networks", IEEE Micro, vol. 22, no. 6, pp. 12-24, 2002.

[1] T. Sakurai, "Perspectives on Power-Aware Electronics", Technical Digest of International

저 자 소 개



장용주(학생회원)

2003년 남서울대학교 멀티미디어학과 학사

2005년 송실대학교 정보통신전자공학부 석사

현재 송실대학교 정보통신전자공학부 박사과정 재학중

<주관심분야 : 저전력 SoC 설계, 저전력System BUS구조 설계, MPEG4/H.264 SoC 설계>



이성수(평생회원)

1991년 서울대학교 전자공학과 학사

1993년 서울대학교 전자공학과 석사

1998년 서울대학교 전기공학부 박사

1998년~2000년 University of Tokyo
Research Associate

2000년~2002년 이화여자대학교 정보통신학과
연구교수

2002년~현재 송실대학교 정보통신전자공학부
조교수

<주관심분야 : 저전력 SoC 설계, 저전력 멀티미디어 신호 처리, MPEG4/H.264 SoC 설계>