

논문 2006-43SD-7-3

광PCB용 CMOS 광수신기 설계

(A CMOS Optical Receiver Design for Optical Printed Circuit Board)

김 영*, 강 진 구**

(Young Kim and Jin-Ku Kang)

요 약

5Gb/s대역 크로스커플 구조의 트랜스임피던스 증폭기 및 제한증폭기가 연결된 광 수신기를 광 PCB에 응용하기 위해 설계하였다. 회로는 0.18 μ m CMOS 공정으로 구현되었다. 광 수신기는 0.5pF 광 다이오드 기생 캐패시턴스에서 92.8dB Ω 임피던스 이득과 5Gbps 의 주파수 대역을 갖는다. 그리고 1.8V, 2.4V 공급전압에서 9.74mV의 전력소모를 보인다. 입력단의 임피던스는 50 Ω 이다. 회로를 광 PCB기판에 올려 광신호 송신 실험하여 5Gb/s 데이터의 수신을 확인하였다.

Abstract

A 5Gb/s cross coupled transimpedance amplifier (TIA) & limiting amp(LA), regulated cascode(RGC) is realized in a 0.18 μ m CMOS technology for optical printed circuit board applications. The optical receiver demonstrates 92.8dB Ω transimpedance and limiting amplifier gain, 5Gb/s bandwidth for 0.5pF photodiode capacitance, and 9.74mW power dissipation from 1.8V, 2.4V supply. Input stage impedance is 50 Ω . The circuit was implemented on an optical PCB, and the 5Gb/s data output signal was measured with a good data eye opening.

Keywords : TIA, LA, RGC, Impedance matching, OPCB

I. 서 론

SYSTEM-ON-CHIP (SoC) 은 고속의 아날로그 및 디지털 회로를 하나의 칩으로 만드는 것이다. 하지만 이것은 높은 가격과 전력소모의 문제점을 안고 있다. 그 중 에서도 SoC chip의 가장 큰 문제점은 아날로그 회로와 디지털 회로가 혼합됨으로 인한 잡음문제 이다. 통신 기술의 비약적인 발전으로 전송속도의 증가는 이러한 잡음으로부터 더욱 민감해 진다. 따라서 현재 이러한 잡음을 줄이고, 원하는 신호의 전송은 빠르게 하

기 위한 연구가 활발히 진행되고 있다. 이 논문에서 보여주는 광PCB(optical printed circuit board- OPCB)가 그에 해당 되는 예로 볼 수 있다.

이 논문에서 설계된 광수신기는 특징하게 광 PCB에 활용하기 위해 연구 되었다. 따라서 원거리 광통신이 아닌 근거리 광통신이기 때문에 자동으로 이득을 제어하는 부분이 제외되어 고속동작이 가능하도록 설계 하였다. 그림 1은 제안된 광 수신기의 블록 도를 나타낸다.

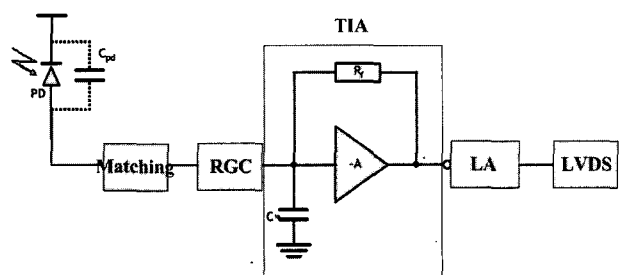


그림 1. 광 PCB용 광수신기 블록 다이어그램
Fig. 1. Optical Receiver block diagram for Optical PCB.

* 정회원, 현대자동차 기술연구원
(R & D Center, Hyundai Motor Company)

** 정회원, 인하대학교 전자전기공학부
(School of Electronic and Electrical Engineering, Inha University)

※ This work was supported by KOSEF through OPERA(R11-2003-022). And Authors also thank the IDEC program for its hardware and software assistance for the layout and simulation.

접수일자: 2005년11월11일, 수정완료일: 2006년7월3일

광 전단 증폭기 회로를 CMOS로 설계 하여 동작 대역폭을 올리기 가장 힘든 이유 중에 하나는 MOSFET에 기생하는 커패시터, 저항, 인덕터 성분 및 photo detector(PD)가 가지는 기생 커패시터 성분 일 것이다. 또한 동작속도가 초고주파 대역이기 때문에 임피던스 매칭(impedance matching)문제도 고려해야 할 것이다.

이러한 기생 성분을 줄이면서 동작 대역폭을 올리기 위한 연구가 활발히 진행되고 있다.^{[1]-[5]} 이들 참고 문헌에 나와 있듯이 인덕티브, 커패시터 피킹을 이용하는 방법, 그리고 PD의 커패시터 성분의 영향을 최소화 하는 입력단의 여러 가지 회로 설계기법이 있다. 이 논문에서는 가장 특성이 좋은 RGC(Regulated Cascode) 입력단을 적용하였다.^[5]

II. 본 론

1. 광 PCB (Optical Printed Circuit Board)

광PCB (Optical Printed Circuit Board) 는 기존의 전기 기판 베이스의 PCB(Electrical Printed Circuit Board) 의 단점을 보완하기 위해 연구 되고 있다. 초고속신호의 송수신에 기존 PCB 의 경우에는 주변 신호의 잡음간섭으로 인해 신호가 왜곡되어 초고속으로 송수신 하는데 한계에 도달하게 된다. 이에 광 PCB를 활

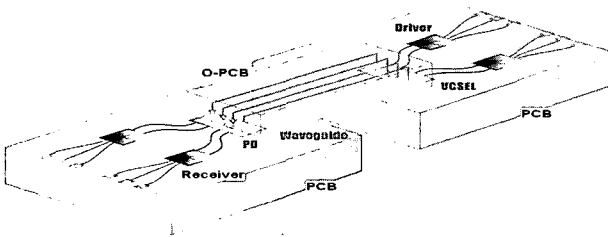


그림 2. 광 PCB를 이용한 송수신 블록도
Fig. 2. Block diagram for Optical PCB.

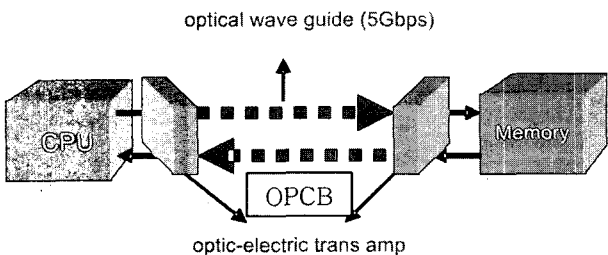


그림 3. 광 PCB를 이용한 데이터 송수신 개념도
Fig. 3. The concept diagram for Optical PCB application.

용하여 정보를 전달하는 경우에는 전송매체로 광도파로 (Optical wave guide)를 이용하기 때문에 상호잡음이 적어 고속의 신호를 깨끗한 신호 상태로 전달할 수 있다. 이를 바탕으로 광 PCB의 제작 및 활용성에 대한 연구가 활발히 진행중이다. 그림 2는 기존 PCB 기판과 연결된 광PCB(OPCB) 모형을 보였다. 광-전 접속부에는 광구동장치인 VCSEL과 구동회로(Driver) 그리고 광수신단에는 PD가 수신기(Receiver) 필요하다.

그림 3는 CPU 와 메모리간의 데이터 송수신에 광 PCB를 활용하는 가상의 개념도를 보여준다. 광 PCB의 경우 광도파로를 통해 광 신호를 송수신하지만 전자 소자와의 접속부에는 PCB용용에 적합한 광대역의 고성능의 광-전 변환 수신기가 필요하다.

2. 광 수신기 입력단 설계

광 PCB용 수신기 설계는 수 Gb/s의 데이터를 전송 수신하므로 이러한 특성에 적합한 광 수신기 설계에 초점을 맞추었다. 무엇보다 고속 동작을 보장하기 위해 입력 기생커패시터 효과를 최소화 하는 입력단이 필요하다. 그리고 광 신호의 송수신이 짧은 거리에서 일어나므로 자동이득제어와 같은 피드백회로를 피하여 고속 동작이 가능한 단순한 회로 구조를 가져야 하겠다. PD의 기생 커패시터성분을 차단하여 대역폭을 넓히기 위한 방법으로 입력 단을 공통게이트(common gate) 회로를 구성하여 설계한다. 하지만, 공통게이트 회로입력단 다음의 트랜스임피던스 증폭단의 높은 R_f 저항으로 소신호 전류가 전달되기 위해 R_d 저항을 매우 큰 값을 사용하게 된다. 결국, 공통게이트증폭기의 MOS FET의 크기(Width)가 작아지고, 따라서 g_m 값이 작아지게 된다. 왜냐하면 트랜스임피던스증폭기는 작은 전류에 민감한 회로 여야 하므로, R_{inp} (입력 단에서 보이는 저항)은 작아야 하는데, 이는 수식(1) 과 같이 입력 저항과 g_m 값은 역수 관계에 있기 때문이다. 이러한 단점은 레귤레이티드 캐스코우드 (Regulated cascode-RGC) 을 사용하면 해결 될 수 있다. 그림4 은 RGC 회로 및 등가 회로를 나타내고 있다.

$$R_{inp} \cong \frac{1}{g_m} \tag{1}$$

그림 4의 등가의 등가 회로를 분석해보면 입력 저항에 관한수식(2)을 얻을 수 있다. 이 식에서 주목할 만한 점은 기존의 작은 g_{m1} 의 값에 $1 + R_B \cdot g_{mB}$ 배 만

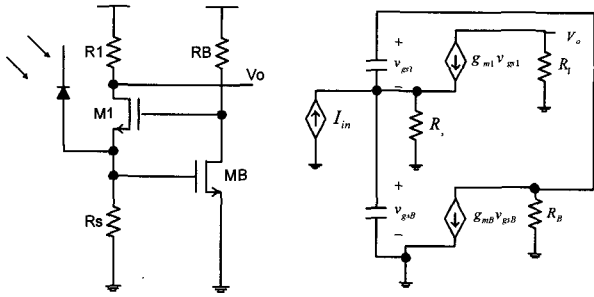


그림 4. RGC 구조 및 등가회로
Fig. 4. RGC schematic, equivalent circuit.

크기 분모 항이 커진다는 것을 알 수 있다. 결국, 입력 저항이 기존의 CG 입력 단에 비해 커진다는 것이다. 제안된 TIA 회로의 $R_f = 2k\Omega$ 이기 때문에 R_f 을 그보다 큰 $3k\Omega$ 을 사용하여 RGC 회로를 구성하였다. ($R_B = 500\Omega$) 시뮬레이션 결과 $g_{m1} = 0.8mA/V$, $g_{m2} = 8mA/V$ 값을 얻어 내었고 수식 (3)에서와 같이 R_{inp} 은 약 250Ω 정도였다.

$$I_{inp} + g_{m1} \cdot v_{gs1} = \frac{v_{gsB}}{R_s}$$

$$v_{gs1} + v_{gsB} = -R_B \cdot g_{mB} \cdot v_{gsB}$$

$$\therefore R_{inp} = \frac{V_{inp}}{I_{inp}} = \frac{1}{\frac{1}{R_s} + g_{m1} + g_{m1}R_B g_{mB}} \quad (2)$$

$$\cong \frac{1}{g_{m1} + g_{m1} \cdot R_B \cdot g_{mB}}$$

$$R_{inp} \cong \frac{1}{0.8 \times 10^{-3} (1 + 500 \times 8 \times 10^{-3})} \quad (3)$$

$$= \frac{10^3}{4} \cong 250\Omega$$

RGC 회로는 일반적인 CG 회로에 피드백을 넣었기 때문에 회로의 안정성을 고려해야 한다. 또한 회로가 입력 패드와 직접적으로 맞닿는 입력 단이기 때문에 임피던스 매칭문제도 고려해야 한다. 먼저 피드백 안정성을 보기 위해 S-파라미터 분석을 이용하였고, 그 결과는 그림 5와 같다. 회로의 K 값을 주파수에 따라 분석하게 되고, Kf 값이 사용되는 주파수 대역에서 1보다 크면 안정된 회로로 볼 수 있다. 다음으로 임피던스 매칭을 위해서 그림 6의 왼쪽과 같이 인덕터와 커패시터를 추가하여 회로를 설계하였다.

먼저 C_s 값을 $0 \sim 1pF$ 까지 sweep 하면서 S 파라미터를 분석을 통해 스미스차트상에서 50Ω line 의 값을 구하면 대략 $420fF$ 정도가 되고, 주파수에 무관한 임피

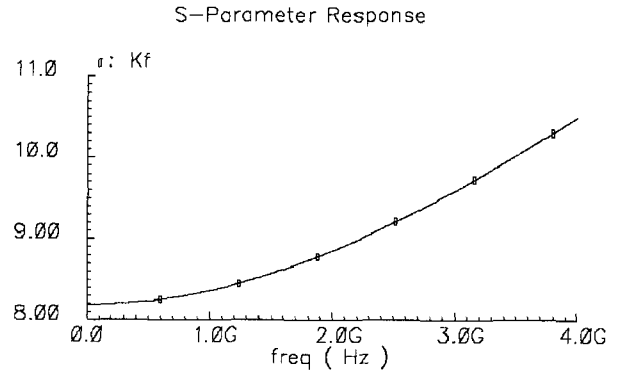


그림 5. RGC 회로의 K 값 결과
Fig. 5. RGC circuit K factor value result.

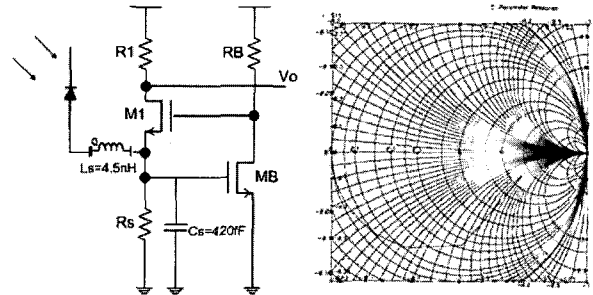


그림 6. RGC 회로의 임피던스 매칭
Fig. 6. RGC circuit with impedance matching.

던스를 설계하기 위해 복소 성분을 상쇄 시킨다. 복소 성분의 상쇄는 Ls 값을 변화시키면서 적당한 값을 정한다. $4.5nH$ 에서 정확히 50Ω 이 되는 것을 확인 할 수 있다.

3. 크로스 커플구조의 트랜스 임피던스 증폭단

트랜스 임피던스 증폭단은 논문 [6]을 참고하여 설계되었다. 기존에 나와 있는 TIA 회로는 대부분 로드 다이오드형식을 취하고 있다. 로드 다이오드 차동 구조의 TIA는 전원 잡음 유입을 차단할 수 있으며, 자기 바이

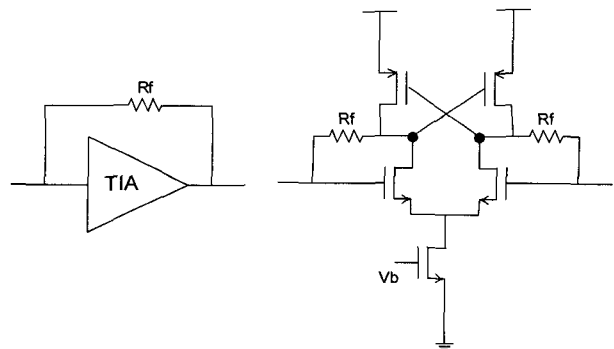


그림 7. 크로스 커플 구조의 TIA
Fig. 7. Cross coupled TIA schematic.

어싱이 가능하고, 저 전력 회로로 설계 하는데 매우 유용하다. 하지만, 일반적인 로드 바이어스 트랜지스터를 사용하는 것 보다 이득이 낮다는 단점이 있다. 따라서 이러한 단점을 보완하기 위해 제안된 회로가 크로스 커플구조의 TIA(그림 7)이다. 입력부의 transistor의 size을 크게 키우지 않고도 gain을 늘릴 수 있는 장점이 있다.^[6]

4.제한 증폭기(Limiting amplifier-LA)

TIA 에서 출력되는 신호는 작게는 수십mV에서 100mV 이내의 피크-피크 전압을 가지게 된다. 이러한 신호는 디지털 신호처리에는 너무 미약한 신호이다. 결국 디지털신호로 변화시키기 위해 제한 증폭기(LA)가 필요하다. 제안된 TIA에서 나오는 신호의 크기는 약 70mV(p-p)정도이다. 이 신호가 LVDS(Low Voltage Differential Signaling) 레벨의 신호로 변화되기 위해서

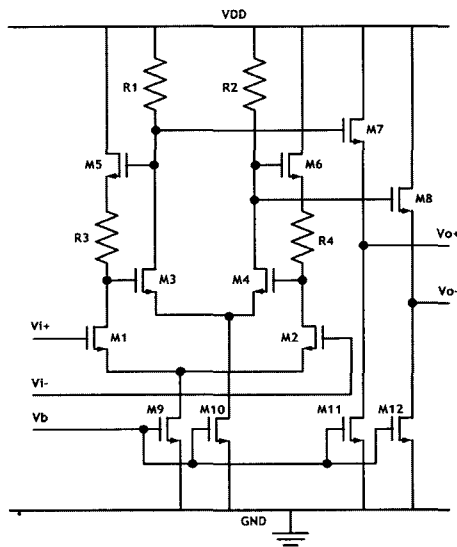


그림 8. 제한 증폭기의 구조
Fig. 8. Limiting amplifier schematic.

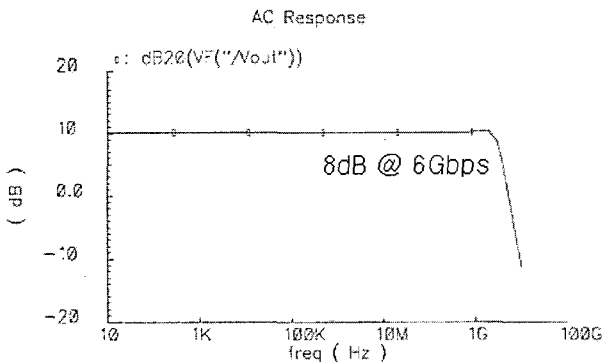


그림 9. 제한 증폭기의 AC 응답
Fig. 9. Limiting amplifier AC response.

는 최종출력 신호는 200mV - 400mV정도로 올려야 한다. 따라서 10dB이상의 LA가 필요하다. 증폭기의 공급전원으로는 2.4V 전원을 사용하였다.

그림 8은 제안된 제한증폭기의 구조를 나타내고 있다 기본적으로 아날로그 고속 광대역에 응용되는 Cherry Hooper^[7,8] 회로를 응용하였다. 입력된 신호는 M1, M3의 gm에 의해 증폭되고 M5가 TIA로 작용하여 전압으로 피드백 증폭 된다. 마지막 단의 M7은 뒷단의 높은 부하를 커버하기 위한 아날로그 버퍼로 이용되었다.

제안된 제한는 11dB의 전압이득을 가지고, f(-3dB) = 6Gbps의 성능으로 설계되었다. 제한증폭기의 구조는 이득은 낮지만 고속 동작이 가능하도록 2단피드백 구조로 설계 하였다. 설계된 제한증폭기의 AC 반응 특성 시뮬레이션 결과는 그림9에 나와 있다.

5. 시뮬레이션 및 측정 결과

CMOS 0.18 μm 공정을 사용하였고, 기생효과를 최소화시키기 위해서 기판과 소스 단자를 공통화 하였다. 회로 상에서 Rf (피드백저항) = 2K Ω 을 사용하였다. 정확한 시뮬레이션을 위해서는 패드, 패키지 와이어본딩, PD의 기생 성분값들을 모두 고려 해야 한다. 그림

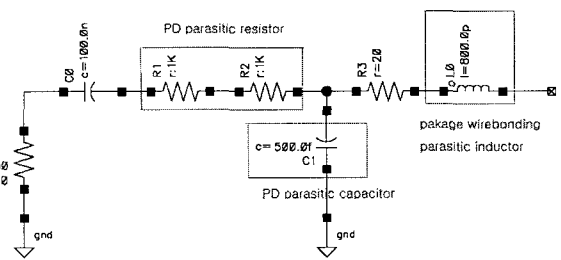


그림 10. 포토 다이오드 및 패키징 모델링
Fig. 10. PD & packaging modeling.

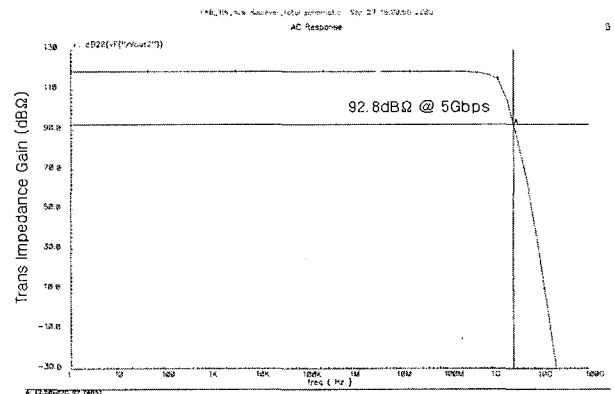


그림 11. 광 수신기의 이득 (92.8dBΩ @ 5Gbps)
Fig. 11. Optical receiver gain (92.8dBΩ @ 5Gbps).

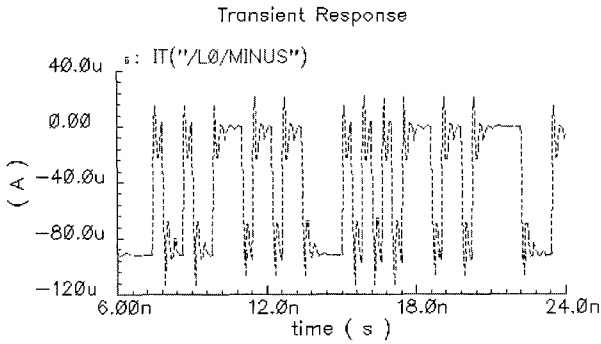
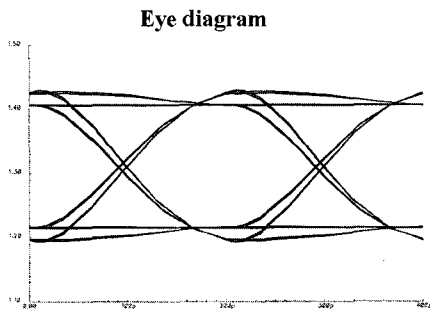


그림 12. 광 수신기의 랜덤신호 입력 전류
Fig. 12. Optical receiver PRBS input current.



- $2^{31}-1$ NRZ LVDS random signal output
- jitter 10ps @ 5Gbps, 10us transient

그림 13. 광 수신기의 랜덤신호 아이 패턴
Fig. 13. Optical receiver PRBS eye pattern.

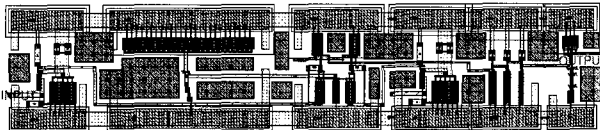


그림 14. 광 수신기 레이아웃
Fig. 14. Optical receiver layout.

10 에서와 같이 PD의 기생 성분은 $2K\Omega$ 저항, $500fF$ 커패시터, 그리고 와이어 본딩의 기생 성분 $4.3nH$ 인덕터로 가정하고 시뮬레이션 진행하였다. 위의 값들은 사용되는 소자들의 데이터 북을 참조하여 설정하였다.

최종 시뮬레이션은 PD 모델의 입력 부에 $100mV$ 전압을 가하게 되면 RGC 입력단에 약 $64\mu A(p-p)$ 정도의 전류가 광 수신단에 인가 된다. 트랜지언트 시뮬레이션은 $2.5GHz$ 에서 수행하였으며, AC 응답은 $10Hz \sim 10GHz$ 동안 분석하였다. 먼저 AC 스윙을 통해 트랜스 임피던스 이득을 살펴보았으며, 그 결과는 그림 11 과 같다. 제안된 회로는 $2.5GHz$ 주파수에서 약 $92.8dB\Omega$ 의 이득을 가지고 있으며, 그림 12 에서와 같이 입력 데이터를 PD 모델링 회로를 통과 하여 클리치가 있는 전류 신호를 인가하였을 때 최종 출력이 그림 13과 같은

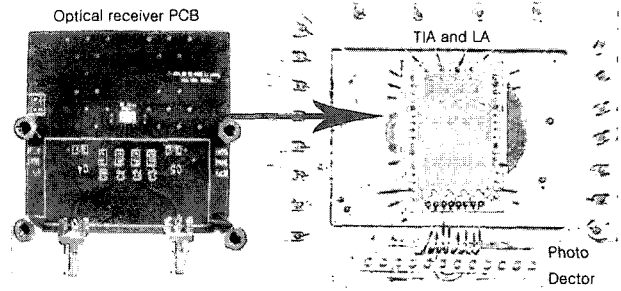


그림 15. 광 수신기의 구현
Fig. 15. Optical receiver implementation.

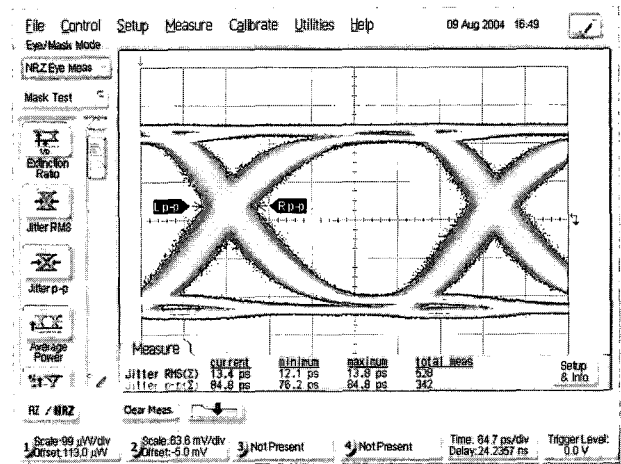


그림 16. 광 수신기의 2.5Gb/s eye diagram
Fig. 16. Optical receiver 2.5Gb/s eye diagram.

표 1. 광 수신기의 블록별 전력 소모
Table 1. power dissipation of optical receiver block

Block	RGC	TIA	LA	Buffer	Bias
Power(mW)	1.8	1.854	2.84	1.447	0.005

표 2. 광 수신기의 성능 요약
Table 2. Performance summary of optical receiver.

Supply voltage	1.8V, 2.4V
Power dissipation	9.74mW
Photodiode capacitance	0.5pF
Input current	80uA(p-p)
TIA gain	92.8dB
TIA output voltage swing	70mV (peak to peak)
Chip area	$50 \times 220 \mu m^2$ (1ch)
Technology	0.18um CMOS

아이 패턴을 볼 수 있었다.

설계한 광수신기의 레이아웃은 그림 14에 보였다. 그

리고 완성된 칩을 테스트하기 위해 테스트보드를 그림 15과 같이 설계 하였다. PCB 기판과의 50Ω 임피던스 매칭을 위해 기판의 유전율과 라인의 폭, 기판의 두께를 고려하였으며, 기판의 한쪽 면을 접지처리를 하여 마이크로스트립(microstrip) 기판을 구현하였다. 최종적으로 완성된 테스트보드를 이용하여 5Gb/s의 속도로 랜덤패턴 생성기(Pseudo Random Bit Sequence - PRBS) 광신호를 PD에 입력 시켜서 출력에서 아이 패턴을 본 결과 그림 16와 같이 지터(p-p) 84.8ps의 출력 패턴을 볼 수 있었다.

표 1은 제작된 칩의 각 블록별 전압 소모를 보여준다. 논문 [6]의 TIA회로는 0.5 μ m 공정에서 2Ghz, 2.5mW소비전력에 비해 제안된 회로는 1.854mW로 더 저 전력 회로임을 보여준다. 또한 표2는 TIA 및 LA를 포함한 제안된 광수신기의 결과를 나타낸다. 제안된 회로에서는 500fF의 PD에서 5Gbps의 동작 대역폭을 보인다.

IV. 결 론

기존 구리선 기반의 PCB의 고속 신호동작에서 신호 간섭이나 잡음, 열등의 문제를 해결할 수 있는 광 PCB는 광도파로를 이용하여 짧은 거리에서 고속신호를 광으로 송수신한다. 광PCB는 연구가 활발히 진행 중이다. 광PCB는 현재 전자 VLSI 시스템과의 접속이 필수이고 따라서 광PCB에 적합한 광 수신회로의 설계가 필요하다. 5Gb/s대역 크로스커플 구조의 트랜스임피던스 증폭기 및 제한증폭기가 연결된 광 수신기를 광 PCB에 응용하기 위해 설계하였다. 회로는 0.18 μ m CMOS 공정으로 구현되었다. 광 수신기는 0.5pF 광 다이오드 기생 캐퍼시턴스에서 92.8db Ω 임피던스 이득과 5Gbps의 주파수 대역을 갖는다. 그리고 1.8V, 2.4V 공급전압에서 9.74mV의 전력소모를 보인다. 입력단의 임피던스는 50 Ω 이다. 회로를 광 PCB기판에 올려 광신호 송신 실험하여 5Gb/s 데이터의 수신을 확인하였다.

참 고 문 헌

- [1] C.-W. Kuo, C.-C. Hsiao, S.-C. Yang, and Y.-J. Chan, "2 Gbit/s transimpedance amplifier fabricated by 0.35 μ m CMOS technologies," *Electron. Lett.*, vol. 37, no. 19, pp. 1158 - 1160, 2001.
- [2] S. S. Mohan, M. D. M. Hershenson, S. P. Boyd, and T. H. Lee, "Bandwidth extension in CMOS with optimized on-chip inductors," *IEEE J. Solid-State Circuits*, vol. 35, pp. 346 - 355, Mar. 2000.
- [3] C. Toumazou and S. M. Park, "Wideband low noise CMOS transimpedance amplifier for gigahertz operation," *Electron. Lett.*, vol. 32, no. 13, pp. 1194 - 1196, 1996.
- [4] T. Yoon and B. Jalali, "1 Gbit/s fiber channel CMOS transimpedance amplifier," *Electron. Lett.*, vol. 33, no. 7, pp. 588 - 589, 1997.
- [5] Sung Min Park and Hoi-Jun Yoo, "1.25-Gb/s Regulated Cascode CMOS Transimpedance Amplifier for Gigabit Ethernet Applications." *IEEE J. Solid-State Circuits*, vol. 39, no. 1, pp.112-121, Jan 2004.
- [6] Apsel, A.; Zhongtao Fu; Andreou, A.G, "A 2.5-mW SOS CMOS optical receiver for chip-to-chip interconnect", *Journal of Lightwave Technology*, vol. 22,no. 9, pp.2149 - 2157, Sep 2004
- [7] Rui Tao, Manfred Berroth, "10 Gb/s CMOS Limiting Amplifier for Optical links", *Solid-State Circuits Conference, 2003. ESSCIRC '03. Proceedings of the 29th European 16-18*, pp.285 - 287, Sept. 2003
- [8] E.M.Cherry, MSc, Ph.d, and D.E.Hopper, M.E.Graduates, "The Design of Wide-Band Transistor Feedback Amplifiers", *IEE Proc. VOL.110, No.2, Feb, pp375-389, 1963.*

저 자 소 개



김 영(정회원)
1997년 인하대학교
전자공학과 학사
2004년 인하대학교
전자공학과 석사
2006년~현재 현대자동차
기술연구원

<주관심분야 : 광통신 수신단, High speed interface>



강 진 구(정회원)
1983년 서울대학교 공학사.
1990년 New Jersey Institute of
Technology 전기 및 컴퓨
터공학 석사
1996년 North Carolina State
University 전기 및 컴퓨터
공학 박사.

1983년~1988년 삼성전자(반도체)

1996년~1997년 미국 INTEL Senior Design
Engineer.

1997년 3월~현재 인하대학교 전자전기공학부
교수

<주관심분야: 고속 CMOS회로설계, 혼합모드 회
로설계, PLL/DLL/CDR, High speed Interface,
Display IC>