
비트 스타핑 방식을 이용한 포인터 조정 지터의 감소 방법

최승국*

Pointer Adjustment Jitter Reduction Method Using Bit Stuffing Technique

Seung-kuk Choi*

요 약

포인터 조정 시스템에서는 동기를 위하여 근본적으로 SDH 노드 클럭이 3바이트씩 조정되므로 발생하는 지터의 크기가 크다. 포인터 조정 지터를 감소시키기 위하여, 비트 리킹 방식이 제시 되었으나, 이러한 비트 리킹 방식에서 발생하는 포인터 조정 지터는 그 크기가 충분히 작지 못하다. 본 연구에서는 비트 리킹 방식의 문제점을 분석하고 이 지터를 더욱 감소시킬 수 있는 비트 스타핑 방식을 연구한다.

ABSTRACT

In pointer adjustment systems, 3 byte SDH clocks are controlled for synchronization. Therefore large jitter is generated in that systems. Bit stuffing technique was introduced as method for reducing pointer adjustment jitter. However, the jitter generated in this systems is also not so small. In this paper, the problems in the bit leaking system are analyzed and new bit stuffing technique is introduced to reduce the jitter sufficiently.

키워드

동기, 포인터 조정 장치, 비트 스타핑 방식, 지터

I. 서 론

현재 사용되고 있는 동기식 디지털 계위(SDH: Synchronous Digital Hierarchy)의 동기식 전송망에서는 통신망내의 각 노드(node)에 있는 클럭들이 동기 되어, 이상적인 경우 각 클럭의 주파수 및 위상이 모두 같다. 그러나 각 노드 내 클럭들 자체의 위상 잡음과 클럭 동기망의 불완전한 동작으로 인하여, 각 클럭들 간의 위상은 서로 일치되지 못하여 노드 클럭들에 지터 및 원더(jitter and wander)가 존재한다. 노드 A의 클럭과 B의 클럭 간에 위상 시간(phase time) 차이가 존재하므로, 노드 B의 버퍼(buffer)에 노드 A에서 전

송되어 온 데이터를 임시로 입력시킨 후에, 다시 노드 내로 읽어 들이는 과정에서 에러가 발생할 수 있다. SDH 전송 장치에서는 이러한 위상차 변화를 위치 맞춤(justification)으로 보정 한다.

위치 맞춤은 노드 클럭을 삭제 또는 생성시켜서, 노드 클럭과 입력 클럭 간의 위상 차이를 경계치 사이에서만 변동하게 하여 주는 스타핑 동기 방식(stuffing synchronization technique)을 사용한다[1]. 이러한 위치 맞춤 과정에서 발생하는 포인터 조정 지터(또는 스타핑 지터)는 Dutweiler에 의해 이론적으로 분석되었다[2]. 포인터 조정은 근본적으로 155.52 Mbit/s의 SDH 노드 클럭이 3바이트씩 조정

되므로 발생하는 지터의 크기가 크다. 포인터 조정 지터를 감소시키기 위하여, 비트 리킹(Bit Leaking) 방식[3]이 제시되었고 스타핑 편별 경계치 변조[4]이 이용될 수 있다. 그러나 비트 리킹 방식과 스타핑 편별 경계치 변조 방식에서는 근본적으로 송신 측 동기 장치에서 바이트 단위로 클럭을 제어함으로 인해 발생하는 포인터 조정 지터는 그 크기가 충분히 작지 못하다. 본 논문에서는 이러한 방식들의 문제점을 분석하고 이 지터를 더욱 감소시킬 수 있는 방식을 연구하고자 한다.

II. 포인터 조정 장치의 지터

동기식 디지털 계위와 각 계위의 전송 속도 및 프레임 구조는 ITU 권고안 G.707, G.708과 G.709에 의해 확정 권고되었다[1]. 동기식 전송 방식에서 사용되는 다중화 단계에서, 기본 요소는 STM-1(Synchronous Transport Module level-1)으로 이의 기본 주파수는 155.52 Mbit/s이며 프레임(frame)의 반복 주파수는 8 kHz이다. STM-1에 수용되는 신호들은 가상컨테이너(VC: Virtual Container), TU(Tributary Unit) 및 AU(Administrative Unit)등의 다중 요소를 거치면서 단계적으로 STM-1 프레임 내의 페이로드(payload)에 삽입된다.

정/영/부 위치 맞춤은 버퍼에 들어있는 데이터를 읽어 내기 위하여 공급되는 노드 클럭 중, STM의 프레임 내에 있는 정 위치 맞춤 자리에 있는 클럭들을 AU-4의 경우 세 바이트씩 삭제시켜 갭(gap)이 있는 클럭을 만들어 그 자리에 더미 바이트를 삽입하거나(정 위치 맞춤), 또는 부 위치 맞춤 자리에 있는 갭 대신 그 자리에 클럭들을 세 바이트씩 생성시켜 그 자리에 데이터를 삽입하여(부 위치 맞춤), STM 프레임과 VC의 위상 차이가 상한과 하한 한계값 사이에만 변동하게 하여주는 스타핑 동기 방식이다. 이 때 STM 프레임 내에서 계속 변동되는 VC의 시작 위치는 위치 맞춤에 따라 변화되는 포인터에 의해서 표시되며, 이 과정에서 지터가 발생한다.

스타핑 제어 시 클럭이 멈추어질 수 있는 것은 프레임 내 일정한 곳에서만 가능하므로 두 클럭의 위상 차가 한 계치를 초과하는 즉시 클럭이 멈추어지는 것이 아니라 일정한 스타핑 가능한 시간 위치까지 기다려야만 멈추어질 수 있어 그로 인한 위상 보정이 가능하다. 이와 같은 이유에서 스타핑 지터는 대기 시간 지터(waiting time jitter)라

고도 한다. 이와 같은 위치 맞춤은 매 프레임마다 발생할 수 있는 것이 아니라 최대 매 4번째 프레임마다 발생할 수 있도록 ITU-T 권고안 G.709[1]에서 규정하고 있다. 따라서 발생 가능한 최대 위치 맞춤의 주파수는 2 kHz(8 kHz/4)가 된다. 동기식 통신망에서 각 노드 클럭의 주파수는 155.52 Mbit/s보다 4.6 ppm 높거나 낮을 수 있다. 이러한 노드 클럭 간의 주파수 편차는 한번에 24비트씩 보정되는 위치 맞춤으로 조정되어야 하므로 실제 위치 맞춤이 행하여지는 빈도 대 최대로 위치 맞춤이 일어날 수 있는 빈도(1초당 2000번)의 비인 스타핑비 S_r 은 +0.03에서 -0.03 사이의 값을 가진다.

그러나 클럭이 갑자기 멈추게 되면 지터 성분이 크게 되므로 평활화 PLL(smoothing Phase Locked Loop)을 사용하여 급작스럽게 크게 변동하는 위상의 움직임을 작게 되도록 평활화 시킨 후, 이 평활화된 클럭으로 데이터를 읽어내도록 한다[4]. 불연속성으로 인한 큰 크기의 지터는 PLL의 지터 전달 함수 특성에 따라 필터링(filtering)되므로 클럭에 존재하는 고주파 성분의 지터의 크기를 작게 할 수 있다. Duttwiler는 스타핑 지터의 전력 스펙트럼(power spectrum) $S_s(f)$ 를 아래 식(1)과 같이 구하였다[2].

$$S_s(f) = \text{sinc}^2 f Q(f) + \sum_{n=1}^{\infty} \left[\frac{S_r}{2\pi n} \right]^2 (\delta(f-n) + \delta(f+n)) \quad (1)$$

이때

$$Q(f) = \sum_{n=1}^{\infty} \left[\frac{1}{2\pi n} \right]^2 (\text{rep}\delta(f-S_r n) + \text{rep}\delta(f+S_r n))$$

$$\text{rep}X(f) = \sum_{k=-\infty}^{\infty} X(f-k) \quad (2)$$

$\delta(\cdot)$ 는 Dirac delta 함수이며 주파수 f 의 단위는 포인터 조정 가능 주파수이다. 이 지터는 수신 장치에 있는 평활 PLL에 의해 필터링 되는데 필터링 된 지터의 전력 스펙트럼 $S_d(f)$ 는 원래 스펙트럼에 평활 PLL의 지터 전달함수 $H(f)$ 의 크기의 자승을 곱하면 다음 식(3)과 같이 구할 수 있다.

$$S_d(f) = |H(f)|^2 S_s(f) \quad (3)$$

이후 이 스펙트럼을 모두 합하면 평활된 지터의 실효값(effective value) 또는 rms 값(root mean square value)이

구해진다. 평활 PLL로는 보통 2차 (second order) PLL이 사용되는데 전달 함수의 피킹(peaking)을 작게하기 위하여 PLL의 댐핑 계수(damping factor)를 7로 크게 선정하였다. 댐핑 계수가 7정도로 큰 경우에 전달함수는 다음 식 (4)와 같은 근사식이 된다[5].

$$H(f) = \frac{1 + j2\zeta f / f_n}{1 + j2\zeta f / f_n - (f / f_n)^2} \cong \frac{f_g}{j f + f_g} \quad (4)$$

이때

- ζ : 댐핑계수
- f_n : 공진 주파수 (resonance frequency)
- f_g : 3-dB 대역폭

포인터 프로세서를 위한 PLL의 3-dB 대역폭 f_g를 100 및 300 Hz로 각각 선정하였다. 이 대역폭 값들은 조정 가능 주파수를 단위로 할때 각각 0.05 (참고: 0.1/2), 0.15 (0.3/2)가 되며 이 값들을 식에 대입하면 시스템의 전달 함수를 구할 수 있다. 이러한 파라미터 값들을 가지는 포인터 프로세서에 나타날 이상적인 지터의 스타핑 조정비 S_r에 따른 실효치들이 계산식 (1)~(4)를 이용하여 계산되었으며, 그 rms 결과치가 그림 1에 도시되었다. 스타핑비가 0 근처의 작은 값을 가지는 이러한 경우에, 반복 주기가

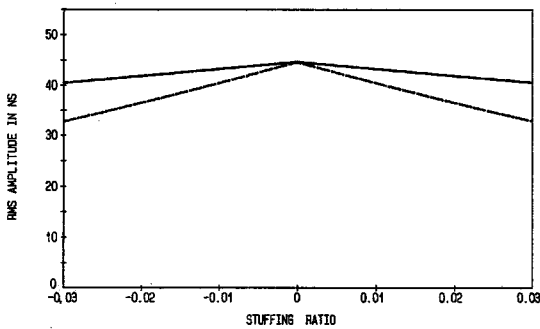


그림 1. 포인터 조정 장치에서 발생하는 필터링된 스타핑 지터의 실효치(— : PLL 3-dB 대역폭 300 Hz, - - - : 100 Hz)

Fig.1 rms value of stuffing jitter generated in pointer adjustment systems(— : PLL 3-dB bandwidth 300 Hz, - - - : 100 Hz)

큰 저주파의 지터가 발생된다. 이 저주파 지터는 대역폭이 100 Hz인 평활 PLL로도 제대로 감소되지 못하여, 그림 1에서와 같이 모든 스타핑비에 대한 평균적인 rms값의 크기가 38.4 ns인, 큰 크기의 포인터 조정 지터가 발생된다.

III. 실제 비트 리킹 방식의 지터

ITU 권고안 G.709에 따라서 송신 측 동기 장치에서 STM 프레임과 VC의 위상 차이가 상한과 하한 한계값 사이에서만 변동하게 하여 주는 포인터 조정 방식이 사용된다. 이때 포인터 조정 시 155.52Mbit/s의 클럭이 3바이트 (24비트)씩 제어되므로 그림 1에서와 같이 매우 큰 지터가 발생한다. 송신 측에서 보내온 정/영/부 포인터 조정 지시에 따라 수신 측 역동기화 장치에서 3바이트씩 클럭을 조정하는 대신, 그림 2에서와 같이 역동기화 장치에서 1비트씩 제어하는 동기 방법이 이상적인 비트 리킹 방식이다[4]. 이때 송신 측 동기화 장치에서는 역시 3바이트씩 겹이나 데이터를 삽입해서 포인터 조정을 하며 수신 측에서 만 1비트씩 제어하게 된다. 송신 및 수신 측에서 모두 3바이트씩 클럭을 제어하는 일반적인 방식에서는 정/영/부 포인터 조정 시 스타핑비가 0 근처이므로 주기적인 톱니파 자체의 반복 주파수가 2000·S_r로 낮으므로 이 지터 성분을 평활 PLL로 감소시키기가 어렵다. 그러므로 역동기화 장치에서 클럭을 제어 시에 3바이트 스타핑 시간 간격 T를 등 간격으로 나누어서 T/24 시간마다 한 비트씩 여

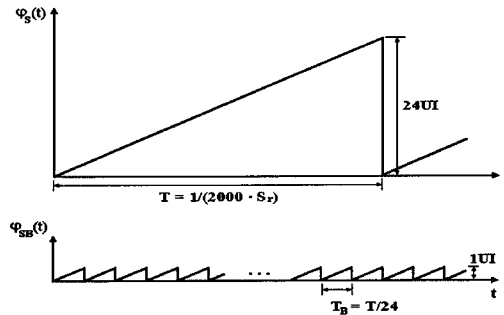


그림 2. 포인터 조정 지터 φ_S(t)와 이상적인 비트 리킹 시의 지터 파형 φ_{SB}(t)

Fig. 2 Pointer Adjustment jitter φ_S(t) and Jitter waveform φ_{SB}(t) by bit leaking

러 번 멈추게 제어하는 방식이 비트 리킹 제어방식이다. 이와 같은 이상적인 비트 리킹 방식의 포인터 조정 시스템에서 발생하는 지터는 그 크기가 우선 1/24로 작아지며 아울러 톱니파 지터 신호의 반복 주파수도 24배 높아지므로 평활 PLL로 감소가 용이해진다.

그런데 앞 절에서 설명한 대기 시간 효과 때문에 포인터 조정 장치의 경우 스타핑 지터는 반복 주파수가 $2000 \cdot Sr$ 인 톱니파 지터 성분 이외에 더욱 저주파의 대기 시간 지터 성분이 존재한다. 그림 3에 보인 것처럼 만일 스타핑비가 1/2보다 약간 작거나 크면 높이가 1/2이며 더욱 저주파인 역시 톱니파 모양의 대기 시간 지터 성분(그림의 low freq. envelope)이 역시 발생한다. 이 지터 성분의 주파수는 스타핑비가 1/2에 접근할수록 그에 비례해서 더욱 그 반복 주파수가 작아지게 되어 PLL로 감소되지 못하여 장치의 출력에 그대로 나타난다. 그림 3은 비트 스타핑 시 발생하는 대기 시간 지터를 도시하였지만 포인터 조정 시 스타핑비가 0.02보다 조금 크거나 또는 조금 작으면 역시 높이가 $24 \cdot 0.02 = 0.48UI$ (Unit Interval)인 더욱 큰 대기 시간 지터가 발생한다. 실제 장치에서는 24UI 크기의 톱니파 지터에 더불어 대기 시간 지터가 존재하므로 매 주기 T때마다 크기가 정확히 0이 되지 못한다. 송신 측 동기 장치에서 3바이트씩 포인터 조정을 행하는 비트 리킹 방식에서도 그러므로 큰 크기의 대기 시간 지터가 발생된다. 스타핑비가 이와 같이 1/2, 1/3, 2/3, ..., 1/k 등의 특별한 값 근처의 값을 가질 때 첨두치가 1/2, 1/3, 1/3, ..., 1/k인 톱니파형 저주파 지터가 발생한다. 포인터 조정 시스템에서는 스타핑 비가 0 근처의 값으로 그 크기가 매우 작다. 이와 같은 스타핑비에서 시스템이 동작할 때 발생하는 대기 시간 지터의 첨두치가 그림 4에 도시되었다. 스타핑비가 0~0.015 사이의 값들은 1/1000, 1/999, ..., 1/999, ..., 1/68, 1/67로 매우 세밀하게 나타낼 수 있으므로 이때 첨두치가 각각 1/1000, 1/999, ..., 1/68, 1/67 UI인 톱니파의 대기 시간 지터가 발생된다. 그러나 스타핑비가 예를 들면 0.0025974일 때는 그 값은 1/39보다는 2/77로 표시되며 이때 1/77 UI의 첨두치를 가지는 지터가 발생된다.

그림 5에 비트 리킹 방식을 사용한 실제의 수신 측 역 동기화 장치의 구성도가 도시되었다. 이 구성도에서와 같이 비트 리킹된 불균일한 클럭은 다시 종래의 PLL로 평활되어 지터 성분을 작게 하여준다. 그러나 송신기에 있는 포인터 조정 동기 장치에서 바이트씩 보정된 속도보다 역 동기 장치에서 비트 리킹 되는 속도가 늦게 되면 수신기

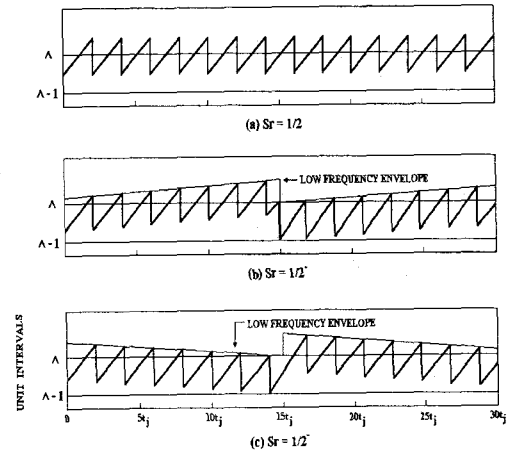


그림 3. 대기 시간 효과에 의해 발생하는 저주파의 스타핑 지터 성분
Fig. 3 Low frequency stuffing jitter generated due to waiting time effect

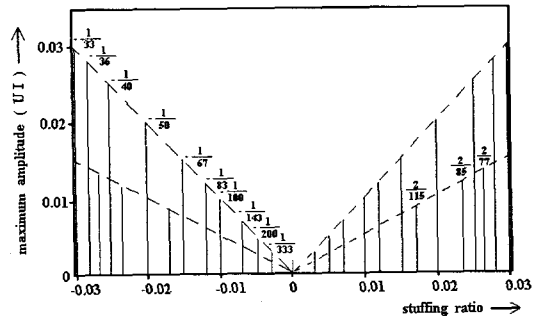


그림 4. 스타핑비가 -0.03~0.03 사이에서 발생하는 대기 시간 지터의 첨두치
Fig. 4 Peak value of waiting time jitter for -0.03~0.03 stuffing ratio

의 탄성 저장기(elastic store 또는 buffer)에 데이터가 넘치게 되어 에러가 발생한다. 그러므로 역동기화 장치에서는 지금까지의 포인터 조정 간격 시간(MTBP)을 통계적으로 계산한 후에 이 통계치에 여유를 주어서 동기화 장치에서 실행되었던 포인터 조정 시간 간격보다 더 짧은 시간 내에 24번씩 모두 비트 리킹 시켜야 하는 문제점이 존재한다. 그림 6에 비트 리킹 소요 시간이 실제 바이트 스타핑 시간의 75%에 완료될 경우에 발생하는 평활된 지터의 파형이 컴퓨터 시뮬레이션에 의한 방법으로 생성되어 도시되었다. 이 때 스타핑비는 0.01, PLL의 3-dB 대역폭은

300Hz 이다. 이 과정에서 관찰되듯이 비트 리킹에 의한 지터는 높은 주파수 성분을 갖게 되므로 PLL에 의해 그 고주파 성분이 현저하게 감소되었다. 그러나 화이트 스타핑을 실제 이상적인 경우보다 더 빨리 완료시키기 때문에 그림 6에서와 같이 큰 크기의 저주파 지터가 발생한다.

그러므로 비트 리킹 방식에서도 큰 크기의 대기 시간 지터와 여유 있는 비트 리킹에 의한 큰 크기의 지터가 발생된다. 비트 리킹이 이와 같은 조건으로 동작되는 시스템에서 발생하는 지터의 스타핑비에 따른 실효치가 시물레이션에 의해 분석되어 그림 7에 도시되었다. 평활 PLL의 3-dB 대역폭이 100Hz일 때 300Hz인 경우보다 지터가 감소되어 작아지나 스타핑비가 ± 0.03 으로 커서 유리한 경우에도 실제 화이트 대기 시간 지터 및 여유 있는 비트 리킹 때문에 그 실효치가 10~12ns인 크기의 저주파 지터가 역시 발생된다.

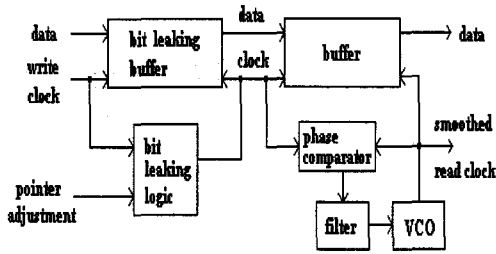


그림 5. 비트 리킹 방식을 이용한 역동기화 장치의 구성도
Fig.5 Block diagram of desynchronizer using bit leaking technique

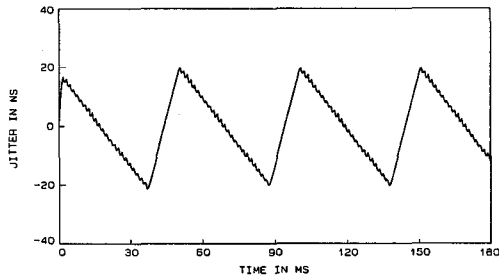


그림 6. 비트 리킹 시스템에서 발생하는 평활된 지터의 파형
Fig.6 Jitter waveform by bit leaking system

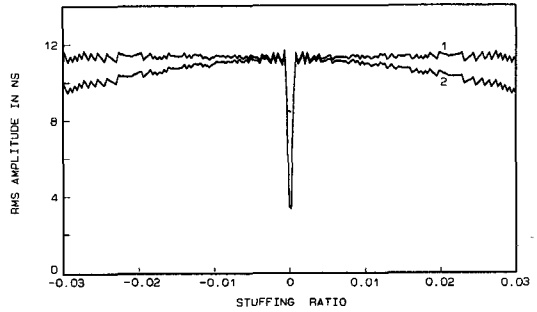


그림 7. 비트 리킹 시 발생하는 지터의 실효치(1:PLL 3-dB 대역폭 300Hz, 2: 100Hz)
Fig. 7 rms value of jitter by bit leaking system(1:PLL 3-dB bandwidth 300Hz, 2: 100Hz)

IV. 비트 스타핑 방식의 지터

ITU 권고안 G.709에 따라서 송신 측 동기 장치에서 3 바이트씩 포인터 조정을 행하고, 수신측 역동기화 장치에서 역시 3바이트씩 클럭을 제어하는 일반적인 역동기화 장치를 사용하는 경우에는 그림 1과 같이 매우 큰 크기의 지터가 발생된다. 이러한 지터를 감소시키고자 제안되었던 비트 리킹 방식에서는 3장에서 분석된 것처럼 송신 측 동기 장치에서 발생하는 바이트 크기 단위의 대기 시간 지터 성분과 수신 측 역동기 장치에서 요구되는 비트 리킹 시간 여유 때문에 그림 7과 같은 크기의 지터가 발생된다.

따라서 ITU-T에 의해서 권고되지는 않았지만 동기 제어를 위하여 종래의 비동기식 다중화 장치처럼 송신 측 동기 장치에서도 정위치 맞춤 자리에 있는 클럭들을 한 비트씩 삭제시켜 갭이 있는 클럭을 만들어 그 자리에 더미 비트를 삽입하거나, 또는 부위치 맞춤 자리에 있는 갭 대신 그 자리에 클럭을 생성시켜 그 자리에 데이터 비트를 삽입하는 비트 스타핑 동기 방식을 사용하고자 한다. 이때 수신측 역동기화 장치에서는 송신 측에서 보내온 포인터 조정 정보에 따라 한 비트씩 클럭을 삭제 또는 생성시켜 결과적으로 원래의 송신 입력 클럭과 동기를 이룬다. 송신 측에서 한 비트씩 제어되는 비트 스타핑 동기 방식을 사용하면 발생하는 대기 시간 지터의 크기가 비트 단위로 작아지게 된다. 아울러 수신 측 역동기화 장치에서도 송신 측에서 보내온 포인터 조정 정보에 따라 시간적 여유 필요 없이 그때그때 클럭을 한 비트씩 제어하므로 작은 크기의 지터가 발생할 것이다. 또한 3바이트 클럭

제어 때보다 24배 더 자주 클럭이 제어되므로 발생하는 지터의 기본 반복 주파수도 24배 더 높아지게 되어 역동기 장치에 있는 PLL로 지터가 쉽게 감소된다. 그러므로 종래의 비동기식 디지털 계위에서 사용되던 종래의 비트 스타핑 동기 방식을 새로운 동기식 계위 전송 장치에 사용하면 지터 성분이 작은 투명한 전송을 신뢰성 있게 수행할 수 있다.

각 노드 클럭의 주파수가 $155.52\text{Mbps} \pm 4.6\text{ppm}$ 씩 편차가 존재할 때 종래의 비트 스타핑 동기 방식을 이용한 AU-4 동기 장치에서 발생하는 평활된 지터의 실효치가 Duttweiler[2]에 의한 방식의 수식 (1) - (4)을 이용, 계산되어 그림 8에 도시되었다. 그림에서와 같이, 평활된 지터의 실효치는 수ns로 매우 작으며 이러한 비트 스타핑 동기 장치의 구조도 간단하다. 한편 데이터의 다중화를 취급하는 디지털 회로 부문은 바이트 제어 때 보다 더 복잡해지는 단점이 존재한다. 그러나 디지털 회로는 대규모 직접이 용이하므로, 발생하는 포인터 조정 지터의 크기가 1/40로 대폭 감소되는 비트 스타핑 제어 방식의 포인터 조정 시스템이 더 유리할 것이다.

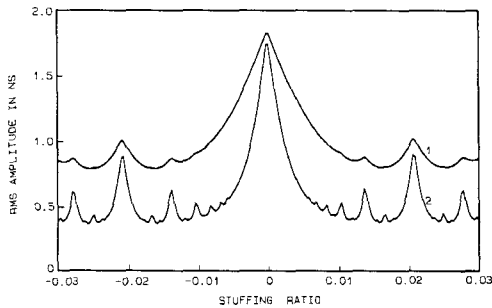


그림 8. 비트 스타핑 방식을 사용하는 포인터 조정 시스템 지터의 실효치(1: PLL 3-dB 대역폭 300 Hz, 2: 100 Hz)

Fig. 8 rms value of pointer adjustment system jitter using bit stuffing technique(1: PLL 3-dB bandwidth 300 Hz, 2: 100 Hz)

V. 결 론

SDH 동기식 전송망에서 발생하는 포인터 조정 지터에 대하여 분석하였다. 먼저 지금까지 사용되고 있는 기존의 시스템에서 발생하는 지터를 분석하였는데, 실효치가 40

ns 인 큰 크기의 지터가 발생된다. 포인터 조정 지터를 감소시키기 위하여, 비트 리킹 방식이 제시 되었으나, 이러한 비트 리킹 방식에서 발생하는 포인터 조정 지터는 그 크기가 충분히 작지 못하다. 따라서 이러한 비트 리킹 방식의 문제점을 분석하고 이 지터를 더욱 감소시킬 수 있는 비트 스타핑 방식을 제시하였다. 제시된 비트 스타핑 동기방식에서 발생하는 지터의 실효치는 1ns로 지터의 크기가 대폭 감소되는 것으로 분석되었다

참고문헌

- [1] ITU-T Rec. G.707, G.708 and G.709, 1996.
- [2] D. L. Duttweiler, "Waiting Time Jitter", Bell Syst. Tech. J., vol.51, pp.165-207, Jan. 1972.
- [3] R. G. Kusyk, W. A. Krzymien and T. E. Moore, "Analysis of Techniques for the Reduction of Jitter caused by SONET Pointer Adjustments", IEEE Trans. Commun., vol.42, no.2, pp.2036-2050, Feb. 1994.
- [4] W. D. Grover, T. E. Moore and J. A. McEachern, "Waiting Time Jitter Reduction by Synchronizer Stuff Threshold Modulation", Proc. of IEEE GLOBECOM'87, vol.1, pp.514-518, Nov. 1987.
- [5] F. M. Gardner, "Phaselock Techniques", John Wiley & Sons, 1979.

저자소개



최승국(Seung-Kuk Choi)

인천대학교 정보통신공학과 교수