

TFT-LCD 구동 IC 용 커패시터 내장형 DC-DC 변환기 설계

임규호* · 강형근* · 이재형* · 손기성** · 조기석** · 백승면* · 성관영* ·
이용진* · 박무훈* · 하판봉* · 김영희*

A DC-DC Converter Design with Internal Capacitor for TFT-LCD Driver IC

Gyu-Ho Lim* · Hyung-Geun Kang* · Jae-Hyung Lee* · Ki-Sung Sohn** · Ki-Seok Cho** · Seung-Myun
Back* · Kwan-Young Sung* · Long-Zhen Li* · Mu-Hun Park* · Pan-Bong Ha* · Young-Hee Kim*

요 약

본 논문에서는 TFT-LCD 구동 IC 모듈의 소형화 측면에서 유리한 DC-DC 변환기 회로인 펌핑 커패시터 내장형 비중첩 부스트-클럭 전하펌프(Non-overlap Boosted-Clock Charge Pump : NBCCP) 회로가 제안되었다. 2VDC 전압으로 스위칭하는 비중첩 부스트-클럭의 사용으로 기존의 펌핑 커패시터 내장형 크로스-커플드 전하펌프에 비해 펌핑 단의 수를 반으로 줄일 수 있었고, 전하 펌핑 노드의 펌핑된 전하가 입력 단으로 역류되는 현상을 방지하였다. 그 결과 제안된 펌핑 커패시터 내장형 비중첩 부스트-클럭 전하펌프 회로는 기존의 펌핑 커패시터 내장형 크로스-커플드 전하펌프에 비해 펌핑 전류가 증가하였고, 레이아웃 면적은 감소되었다. 제안된 TFT-LCD 구동 IC 용 DC-DC 변환기 회로를 0.18 μm Triple-Well CMOS 공정을 사용하여 설계하고, 테스트 칩을 제작 중에 있다.

ABSTRACT

A non-overlap boosted-clock charge pump(NBCCP) with internal pumping capacitor, an advantageous circuit from a minimizing point of TFT-LCD driver IC module, is proposed in this paper. By using the non-overlap boosted-clock swinging in 2VDC voltage, the number of pumping stages is reduced to half and a back current of pumping charge from charge pumping node to input stage is also prevented compared with conventional cross-coupled charge pump with internal pumping capacitor. As a result, pumping current of the proposed NBCCP circuit is increased more than conventional cross-coupled charge pump, and a layout area is decreased. A proposed DC-DC converter for TFT-LCD driver IC is designed with 0.18 μm triple-well CMOS process and a test chip is in the making.

키워드

DC-DC Converter, Boosted-Clock Charge Pump, Pumping Capacitor, TFT-LCD

I. 서 론

휴대폰 단말기, 디지털 카메라, 모바일 기기 등에 사용

되는 소형 디스플레이 장치는 소형화와 경량화를 통해 제품 경쟁력을 높여야 하는 분야 중의 하나이다. 현재 소형 디스플레이 장치로 QVGA 급의 TFT-LCD(Thin Film

* 창원대학교 전자공학과

** 매그니칩 반도체

Transistor-Liquid Crystal Display)를 주로 사용하고 있다.

표 1. TFT-LCD 패널에 사용되는 구동 전압
Table 1. Driving voltage for TFT-LCD panel.

구분	용도
VDH	Source Line Power
VGH	Gate High Voltage
VGL	Gate Low Voltage

TFT-LCD 패널을 구동하기 위한 전압은 표 1과 같이 입력 전원전압(VDD)보다 높은 양의 고전압(Positive High Voltage)인 VDH, VGH 그리고 그라운드(GND) 전압보다 낮은 음전압인 VGL과 같이 부스트 된 전압(Boosted Voltage)을 필요로 한다[1].

VDH는 TFT-LCD 픽셀의 Source Line 구동 전압으로 사용되고, VGH와 VGL은 Gate Line 구동 전압으로 사용된다. TFT-LCD 구동 IC(Integrated Circuit)에서 Gate Line 과 Source Line 구동에 필요한 전압을 공급하는 DC-DC 변환기는 인덕터를 사용한 PWM(Pulse Width Modulation) 방식과 스위치-커패시터(Switched-Capacitor)에 의한 전하펌프(Charge Pump) 방식으로 구현할 수 있으며, 스위치-커패시터에 의한 전하펌프 방식은 구동 IC 모듈의 소형화 및 저가격 등에 장점을 가지고 있다. 한편 스위치-커패시터에 의한 전하펌프 방식에서 외장형 펌핑 커패시터(External Pumping Capacitor)를 사용하는 경우는 펌핑 단(Pumping Stage)마다 외부에 펌핑 커패시터와 전하 저장형 커패시터(Charge Reservoir Capacitor)를 사용해야 하므로 TFT-LCD 모듈의 소형화에 어려움이 있다[2]. 그래서 최근에는 내장형 펌핑 커패시터(Internal Pumping Capacitor)를 사용한 전하펌프 방식이 많이 연구되고 있다.

내장형 펌핑 커패시터를 사용하는 전하펌프는 Dickson 전하펌프(Dickson Charge Pump) 회로를 주로 사용하고 있으며, 그 구조는 다이오드-배열 스위치(Diode-Configured Switch)와 펌핑 커패시터로 구성된다[3]. 그러나 전원전압이 감소함에 따라 다이오드의 컷인 전압(Cut-In Voltage)으로 인해 최대 펌핑 전압(Maximum Pumping Voltage)이 현저하게 줄어들고 펌핑 효율(Pumping Efficiency)이 떨어지는 문제가 있다. 이러한 문제를 해결하기 위해 개선된 Dickson 전하펌프(Modified Dickson Charge Pump) 회로가 제안되었다[4]. 펌핑 전압 손실(Pumping Voltage Loss)을 제거하기 위해 고전압 구

동 전하 전달 스위치(High-Voltage Driven Charge Transfer Switch)를 사용하는 개선된 Dickson 전하펌프 회로는 출력 단에 다이오드 배열로 인한 문턱전압 손실(Threshold Voltage Loss)이 존재하고, 펌핑 단 수가 증가하면서 몸체 효과(Body Effect)로 인해 NMOS 전하 전달 스위치의 문턱전압이 증가하여 저전압 동작에서의 최대 펌핑 전압을 떨어뜨린다.

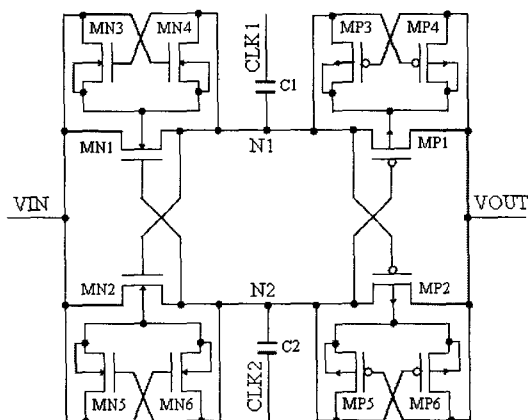


그림 1. 기존의 2-위상 크로스-커플드 전하펌프 회로도
Fig. 1. Conventional 2-phase cross-coupled charge pump circuit.

그래서 그림 1에서 보는바와 같이 크로스-커플드(Cross-Coupled) NMOS 전하 전달 스위치(MN1과 MN2), 크로스-커플드 PMOS 전하 전달 스위치(MP1과 MP2), Bulk-Potential Biasing 회로(MN3, MN4, MN5, MN6, MP3, MP4, MP5와 MP6)와 전하 펌핑 커패시터(C1과 C2)로 구성된 2-위상 크로스-커플드 전하펌프(2-Phase Cross-Coupled Charge Pump) 회로가 제안되었다[5][6]. PMOS 크로스-커플드 전하 전달 스위치를 사용하여 출력 단에서의 문턱전압 손실을 제거하고, Bulk-Potential Biasing 회로를 사용하여 크로스-커플드 전하 전달 스위치의 바디 전압(Body Voltage)을 크로스-커플드 전하 전달 스위치의 소스 노드 전압에 전기적으로 연결하므로 몸체 효과에 따른 문턱전압의 증가를 방지하고 있다.

그런데 크로스-커플드 전하 전달 스위치를 이용한 전하펌프를 사용하는 경우 펌핑 노드의 모든 전하가 PMOS 트랜지스터인 MP1, MP2 스위치를 통해 출력 단으로 전달되어야 하나 일부 전하는 입력 단(Input Stage)의 NMOS 트랜지스터인 MN1, MN2 스위치로 빠져나가는 문제점

을 가지며, 최대 펌핑 전압은 (펌핑 단 수+1)×VDD 이므로 고전압을 만들기 위해 펌핑 단을 늘릴 때마다 레이아웃 면적(Layout Area)이 비례하여 증가하는 단점이 있다.

본 논문에서는 비중첩 클럭(Non-overlap Clock) 전하펌프 회로를 사용하여 전하 펌핑 노드인 N1, N2의 전하가 입력 단으로 피드백(Feedback) 되는 문제를 해결하여 펌핑 전류 및 효율을 개선하였고, 펌핑 클럭을 2배의 VDC(Voltage-Down Converter) 전압으로 스위칭하는 부스트-클럭 발생기(Boosted-Clock Generator)를 사용함으로써 기존의 크로스-커플드 전하 전달 스위치를 사용한 전하펌프보다 펌핑 단수를 줄이므로 레이아웃 면적을 최소화하였다. 한편 DC-DC 변환기의 입력전압 범위가 2.5V~3.3V이므로 전하펌프에 사용되는 5V MOS 트랜지스터의 신뢰성을 유지하기 위해 VDC 회로를 사용하여 2.5V의 내부전압을 만들어 사용하였다. 0.18 μ m Triple-Well CMOS 공정을 사용하여 제안된 DC-DC 변환기의 테스트 칩을 제작 중에 있다.

II. 회로 설계

설계된 TFT-LCD 구동 IC 용 DC-DC 변환기의 입력 공급전압, 출력전압, 구동전류, 리플 전압의 주요 설계 사양은 표 2와 같으며, 0.18 μ m Triple-Well CMOS 공정 기술을 사용하였다.

그림 2는 제안된 VGH 발생기(Generator)의 블록도를 보여준다. VGH 발생기는 바이어스 발생기(Bias Generator), VGH 레벨 감지기(Level Detector), 링 발진기(Ring Oscillator), 비중첩 클럭 발생기(Non-overlap Clock Generator), 부스트-클럭 발생기(Boosted-Clock Generator) 와 전하펌프로 구성되어 있으며, 피드백 구조(Feedback Mechanism)를 사용하여 VGH 전압이 목표전압을 유지하도록 한다. VGH 전압이 목표 전압보다 작을 때 VGH 레벨 감지기의 출력 신호인 OSC_ENb는 VSS이고 링 발진기는 발진(Oscillation)을 계속하여 전하 저장 커패시터(Charge Reservoir Capacitor)로 전하 펌핑을 계속한다. 그래서 VGH 전압은 목표 전압을 향하여 양의 방향으로 증가한다. VGH 전압이 목표 전압을 능가하면 OSC_ENb는 VDC가 되고 링 발진기는 발진을 멈추어 더 이상의 전하 펌핑은 일어나지 않는다.

표 2. TFT-LCD 구동 IC 용 DC-DC 변환기 설계 사양
Table 2. Design specifications of a DC-DC converter for TFT-LCD driver IC.

구분	주요 설계 사양	
입력 공급전압	2.5V ~ 3.3V	
리플 전압	< 50mV	
출력 전압	VDH	4.5V ~ 5.5V
	VGH	12V ~ 16V
	VGL	-12V ~ -8V
구동 전류	VDH	2mA
	VGH	100 μ A
	VGL	100 μ A

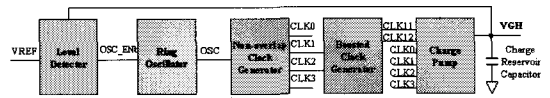


그림 2. 제안된 VGH 발생기 블록도
Fig. 2. Block diagram of a proposed VGH generator.

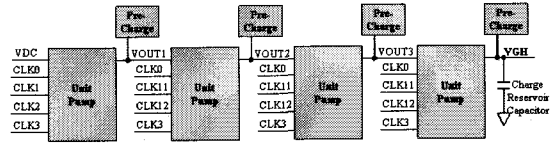


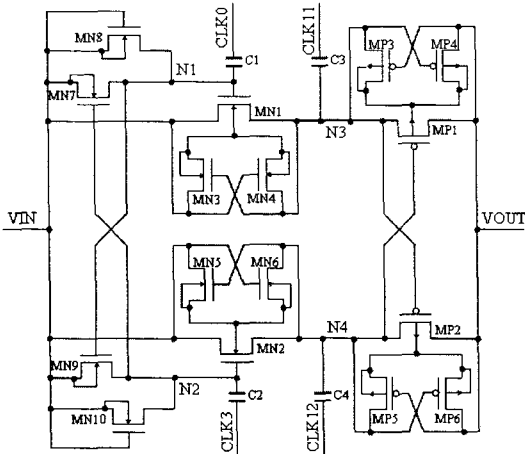
그림 3. 제안된 VGH 전하펌프 블록도
Fig. 3. Block diagram of a proposed VGH charge pump circuit.

그림 2의 전하펌프 회로는 그림 3과 같이 4개의 단위 전하펌프와 4개의 프리차지 회로(Precharge circuit)로 구성되어 있다. VGH 전하펌프 회로는 입력전압으로 VDC가 들어오고 출력전압은 VGH이다. 첫 번째 단위 전하펌프는 VDC 전압 레벨로 스위칭 하는 비중첩 펌핑 클럭인 CLK0, CLK1, CLK2, CLK3의 클럭킹(Clocking)에 의한 전하 펌핑으로 VOUT1의 최대 출력 전압은 2VDC이다. 그리고 나머지 3개의 전하펌프는 2VDC 전압 레벨로 스위칭 하는 CLK11과 CLK12의 클럭킹에 의해 각 펌프 단의 펌핑 전압인 VOUT2(=VOUT1+2VDC), VOUT3(=VOUT2+2VDC), VGH(=VOUT3+2VDC)의 최대 출력 전압이 각각 4VDC, 6VDC, 8VDC로 2VDC씩 부스팅 된다. 그래서 VGH는 최대 20V까지 부스팅 할 수 있다.

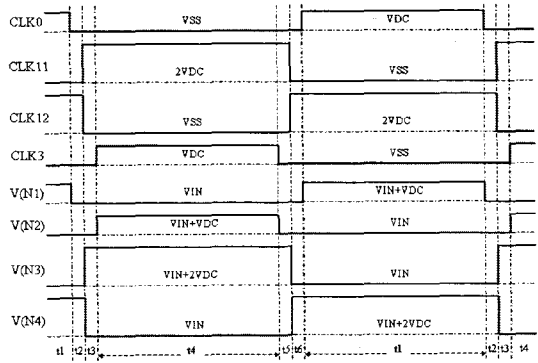
VGH 전압의 목표 전압이 16V일 때 기존의 크로스-커

플드 전하 펌핑 방식을 사용하면 펌핑 단의 수는 7단 이상이어야 하나, 그림 3의 부스터-클럭을 사용한 펌프 단의 수는 4개로 줄일 수 있어 레이아웃 면적을 줄일 수 있는 장점이 있다.

그림 4(a)는 제안된 VGH 단위전하펌프 회로도도를 보여준다. VGH 단위 전하펌프 회로는 2개의 프리차지 제어 회로(MN7, MN8, MN9, MN10)와 NMOS 전하 전달 스위치(MN1, MN2), 크로스-커플드 PMOS 전하 전달 스위치(MP1, MP2), Bulk- Potential Biasing 회로(MN3, MN4, MN5, MN6, MP3, MP4, MP5, MP6)와 MIM(Metal-Insulator-Metal) 전하 펌핑 커패시터(C1, C2, C3, C4)로 구성되어 있다. 4개의 클럭 신호(CLK0, CLK11, CLK12, CLK3)는 비중첩 클럭 신호이며, CLK0와 CLK12는 비중첩되는 시간을 제외하고는 기본적으로 같은 위상을 가진다. 유사하게 CLK11과 CLK3는 기본적으로 같은 위상을 가진다. 정상상태(steady-state)에서 VGH 단위전하펌프의 각 노드 전압은 표 3에 나타나 있으며, 그들의 자세한 전압파형은 그림 4(b)에서 보여주고 있다. CLK0와 CLK3 클럭 신호의 스위칭 전압은 VDC이고, 부스터-클럭인 CLK11과 CLK12 클럭 신호의 스위칭 전압은 2VDC이다. N1과 N2 노드의 정상상태 전압은 프리차지 제어 회로와 펌핑 커패시터(C1, C2)에 의해 VIN과 VIN+VDC 사이에서 스윙한다.



(a) VGH 단위펌프 회로도
(a) VGH unit-pump circuit.



(b) 정상상태에서의 컨트롤 로직 타이밍도
(b) Control logic timing diagram in steady-state.

그림 4. 제안된 VGH 전하펌프 회로도 및 타이밍도
Fig. 4. Proposed VGH charge pump circuit / timing diagram.

그림 4(b)에 보이는 t4의 구간동안 CLK0, CLK11, CLK12와 CLK3는 각각 VSS, 2VDC, VSS와 VDC가 된다. 이 때 N1, N2, N3와 N4 노드의 전압은 각각 VIN, VIN+VDC, VIN+2VDC와 VIN이므로 MN1은 OFF되고 MN2는 ON되어 N4 노드의 전압은 VIN 전압으로 프리차징 된다. 그리고 VIN+2VDC 전압으로 부스팅된 N3의 펌핑된 양전하는 MP1을 통해 VOUT 노드로 완전히 전달된다. 그리고 그림 4(b)의 t1로 표시된 구간동안 N4의 펌핑된 양전하는 MP2를 통해 VOUT 노드로 전달된다. 그래서 전하 펌핑은 한 사이클 동안 2번 일어나고, 2VDC로 부스팅된 클럭 신호를 사용하므로 출력전압인 VOUT은 VIN+2VDC로 부스팅된 전압을 유지한다. 한편 MN1이 OFF된 이후 C3에 의해 전하 펌핑이 일어나고, MN2가 OFF된 이후에는 C4에 의해 전하 펌핑이 일어나므로 펌핑된 양전하가 프리차징 트랜지스터인 MN1과 MN2를 통해 빠져나가는 것을 방지하여 펌핑 전류를 증가시킬 수 있다.

표 3. 제안된 VGH 전하펌프 회로의 노드 전압
Table 3. Node voltage of proposed VGH charge pump.

CLK0	VSS	VDC
CLK11	2VDC	VSS
CLK12	VSS	2VDC
CLK3	VDC	VSS
N1	VIN	VIN+VDC
N2	VIN+VDC	VIN
N3	VIN+2VDC	VIN
N4	VIN	VIN+2VDC

그림 5는 VDC 전압 레벨로 스위칭하는 입력 클럭 (CLK1, CLK2)을 2VDC 전압 레벨로 스위칭하는 펌핑 클럭(CLK11, CLK12)을 만들어 주는 부스트-클럭 발생기의 회로도도를 보여준다. 정상 상태에서 CLK1과 CLK2가 각각 VSS와 VDC일 때 N1, N2, CLK11, CLK12의 전압은 표 4에서 보는바와 같이 VDC, 2VDC, VSS, 2VDC이다. 그리고 CLK1과 CLK2가 각각 VDC와 VSS인 경우 N1, N2, CLK11, CLK12의 전압은 VDC, 2VDC, VSS, 2VDC이다.

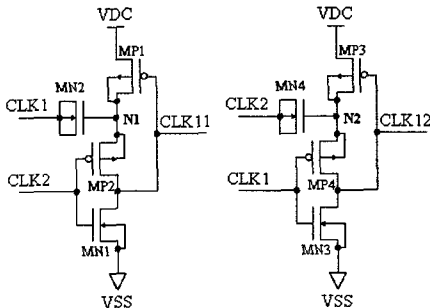


그림 5. 부스트-클럭 발생기 회로도
Fig. 5. Boosted-clock generator circuit.

표 4. 부스트-클럭 발생기의 노드 전압

Table 4. Node voltage of a boosted-clock generator.

CLK1	VSS	VDC
CLK2	VDC <td>VSS</td>	VSS
N1	VDC <td>2VDC</td>	2VDC
N2	2VDC <td>VDC</td>	VDC
CLK11	VSS <td>2VDC</td>	2VDC
CLK12	2VDC <td>VSS</td>	VSS

전하펌프에 있어서 목표 펌핑 전압뿐만 아니라 전류 구동 능력을 의미하는 펌핑 전류 또한 중요한 설계요소 중의 하나이다. 그림1의 2-위상 전하펌프에서의 입력 전압이 VDC, 출력 전압은 VOUT, 그리고 펌핑 클럭이 VDC 전압으로 스위칭 할 경우 펌핑 전류(IPP)는 식 (1)과 같이 계산된다.

$$I_{PP} = \frac{C_p \times \left[V_{DC} - \frac{V_{OUT} - V_{DC}}{N} \right]}{T_{osc}} \times 2 \quad \text{식(1)}$$

여기서 Cp는 전하펌프에서의 펌핑 커패시터를 나타내며, Tosc는 링 발진기의 발진 주기를 나타내고 N은 펌핑 단의 수를 나타낸다. 한주기에 2번의 전하 펌핑을 수행하

므로 펌핑 전류는 1-위상 전하펌프에 비해 2배이다.

제안된 VGH 전하펌프를 사용할 경우 전하펌프 회로의 펌핑 전류는 식 (2)와 같이 계산된다.

$$I_{PP} = \frac{C_p \times \left(V_{DC} - \frac{V_{OUT} - \frac{C_p + N \cdot C_B}{C_p + C_B} \cdot V_{DC}}{N} \right)}{T_{osc}} \times 2 \quad \text{식(2)}$$

여기서 CB는 부스팅 커패시터(Boosting Capacitor)로 그림 5의 부스트-클럭 발생기 회로도에서 MOS 커패시터인 MN2와 MN4를 의미한다. Cp는 펌핑 커패시터를 나타내고, 그림 4(a)의 VGH 단의 펌프회로도에서 전하펌프의 펌핑 커패시터인 C3와 C4를 의미하고 N은 펌핑 단의 수를 나타낸다.

음의 전압을 가지는 VGL 전하펌프의 경우 전체적인 구조는 VGH와 유사한 구조를 가진다. VGL 발생기의 블록도는 그림 6에서 보는바와 같이 바이어스 발생기, VGL 레벨 감지기, 링 발진기, 비중첩 클럭 발생기, 부스트-클럭 발생기와 전하펌프로 구성되어 있으며, 피드백 구조를 사용하여 VGL 전압이 목표전압을 유지하도록 한다. VGL 전압이 목표 전압보다 높을 때 VGL 레벨 감지기의 출력 신호인 OSC_ENb는 VSS이고 링 발진기는 발진을 계속하여 전하저장 커패시터로 전하 펌핑을 계속한다. 그래서 VGL 전압은 목표 전압을 향하여 음의 방향으로 증가한다. VGL 전압이 목표 전압을 증가하면 OSC_ENb는 VDC가 되고 링 발진기는 발진을 멈추어 더 이상의 전하 펌핑은 일어나지 않는다.

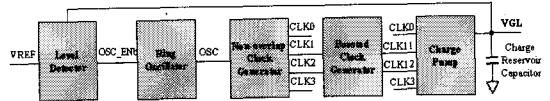


그림 6. 제안된 VGL 발생기 블록도
Fig. 6. Block diagram of a proposed VGL generator.

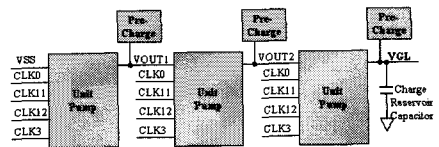
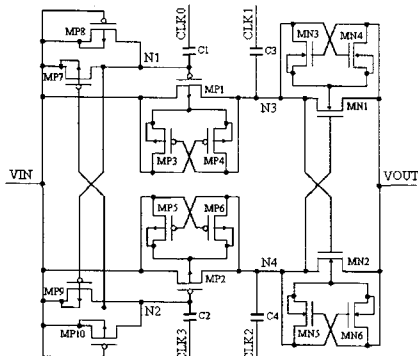


그림 7. 제안된 VGL 전하펌프 블록도
Fig. 7. Block diagram of a proposed VGL charge pump circuit.

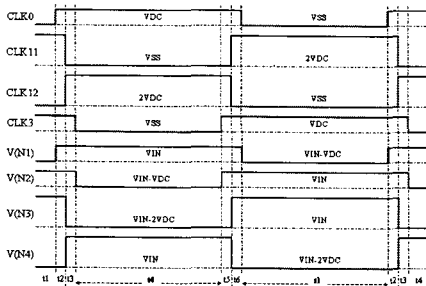
그림 6의 전하펌프 회로는 그림 7과 같이 3개의 단위 전하펌프와 3개의 프리차지 회로로 구성되어 있다. VGL

전하펌프 회로는 입력 전압으로 VSS가 들어오고 출력 전압은 VGL이다. 첫 번째 단위 전하펌프는 VDC 전압 레벨로 스위칭 하는 비중첩 펌핑 클럭인 CLK0, CLK3과 2VDC의 부스트된 전압 레벨로 스위칭하는 CLK11, CLK12의 클럭킹에 의한 전하 펌핑으로 VOUT1의 최대 출력 전압은 -2VDC이다. 그리고 나머지 2개의 단위 전하펌프도 첫 번째 전하펌프와 마찬가지로 동작하며 클럭킹에 의해 각 펌프 단의 펌핑 전압인 VOUT2(=VOUT1-2VDC), VGL(=VOUT2-2VDC)의 최대 출력 전압이 각각 -4VDC, -6VDC로 -2VDC씩 부스팅 된다. 그래서 VGL은 최대 -15V까지 부스팅 할 수 있다.

VGL 전압의 목표 전압이 -12V일 때 기존의 크로스-커플드 전하 펌핑 방식을 사용하면 펌프 단의 수는 6단 이상이어야 하나, 부스터-클럭을 사용한 펌프 단의 수는 3개로 줄일 수 있다.



(a) VGL 단위펌프 회로도
(a) VGL unit-pump circuit.



(b) 정상상태에서의 컨트롤 로직 타이밍도
(b) Control logic timing diagram in steady-state.

그림 8. 제안된 VGL 전하펌프 회로도 및 타이밍도
Fig. 8. Proposed VGL charge pump circuit and timing diagram.

그림 8(a)는 제안된 VGL 단위전하펌프 회로도 보여 준다. VGL 단위전하펌프 회로는 VGH 단위 전하펌프 회로와 서로 상보적인(Complementary) 형태를 가지며, 2개의 프리차지 제어 회로(MP7, MP8, MP9, MP10)와 PMOS 전하 전달 스위치(MP1, MP2), 크로스-커플드 NMOS 전하 전달 스위치(MN1, MN2), Bulk-Potential Biasing 회로(MP3, MP4, MP5, MP6, MN3, MN4, MN5, MN6)와 MIM 전하 펌핑 커패시터(C1, C2, C3, C4)로 구성되어 있다.

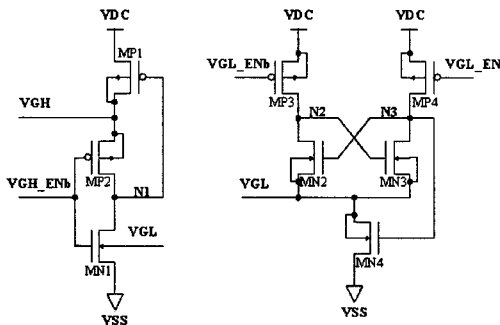
표 5. 제안된 VGL 전하펌프 회로의 노드 전압
Table 5. Node voltage of proposed VGL charge pump.

CLK0	VDC	VSS
CLK11	VSS	2VDC
CLK12	2VDC	VSS
CLK3	VSS	VDC
N1	VIN	VIN-VDC
N2	VIN-VDC	VIN
N3	VIN-2VDC	VIN
N4	VIN	VIN-2VDC

4개의 클럭 신호(CLK0, CLK11, CLK12, CLK3)는 비중첩 클럭 신호이며, 정상상태에서 VGL 단위전하펌프의 각 노드 전압은 표 5에 나타나 있으며, 그들의 자세한 전압과형은 그림 8(b)에서 보여주고 있다. CLK0와 CLK3 클럭 신호의 스위칭 전압은 VDC이고, 부스터-클럭인 CLK11과 CLK12 클럭 신호의 스위칭 전압은 2VDC이다. N1과 N2 노드의 정상상태 전압은 프리차지 제어 회로와 펌핑 커패시터(C1, C2)에 의해 VIN과 VIN-VDC 사이에서 스윙한다. 그림 8(b)에 보이는 t4의 구간동안 CLK0, CLK11, CLK12와 CLK3는 각각 VDC, VSS, 2VDC와 VSS가 된다. 이 때 N1, N2, N3와 N4 노드의 전압은 각각 VIN, VIN-VDC, VIN-2VDC와 VIN이므로 MN1은 ON되고 MN2는 OFF되어 N4 노드의 전압은 VIN 전압으로 프리차징 되고, VIN-2VDC 전압으로 부스팅된 N3의 노드의 음전하는 MN1을 통해 VOUT 노드로 완전히 전달된다. 그리고 그림 8(b)의 t1로 표시된 구간동안 N4의 펌핑된 음전하는 MN2를 통해 VOUT 노드로 전달된다. 그래서 출력 전압인 VOUT은 VIN-2VDC로 부스팅된 전압을 유지할 수 있다.

그림 9(a)와 9(b)는 각각 그림3과 7에 사용된 VGH와 VGL의 프리차지(Precharge) 회로를 보여준다. VGH 프리차지 회로는 VGH 발생기 회로가 OFF상태인 경우 VGH

전압을 VDC 전압으로 프리차지 시키고, ON 상태이면 프리차지 회로는 Hi-Z(High Impedance) 상태를 유지하여 VGH의 전압에 영향을 미치지 않도록 하는 회로이다. Power-On 구간동안 VGH_ENb 신호는 VDD를 유지하여 MP2는 OFF, MN1은 ON이 되어 N1 노드의 전압이 VSS가 된다. 이 상태에서는 MP1은 ON이 되어 VGH 노드는 VDC 전압으로 프리차지 된다. 정상적인 Power-On 이후 VGH_ENb 신호가 low로 떨어지면 MN1은 OFF, MP2는 ON되어 N1 노드의 전압은 VGH가 되어 MP1을 OFF 시키므로 프리차지 회로는 Hi-Z 상태를 유지한다. 그림 9(b)의 VGL 프리차지 회로도 VGH 프리차지 회로와 유사하게 동작하며, VGL 발생기 회로가 OFF상태인 경우 VGL 전압을 VSS 전압으로 프리차지 시키고, ON 상태이면 프리차지 회로는 Hi-Z 상태를 유지하여 VGL의 전압에 영향을 미치지 않도록 하는 회로이다.



(a) VGH 프리차지회로 (b) VGL 프리차지회로
(a) VGH precharge circuit. (b) VGL precharge circuit.

그림 9. 제안된 전하펌프 회로의 프리차지 회로도
Fig. 9. Precharge circuit of a proposed charge pump.

III. 모의실험 결과

표 6은 0.18 μ m Triple-Well 공정을 이용하여 설계된 VGH 및 VGL 전하펌프의 SPICE 모의실험 비교 결과를 보여준다. 2.5V의 전원전압, 85 $^{\circ}$ C의 온도, 16V의 VGH, -12V의 VGL, NMOS와 PMOS 트랜지스터가 Slow 모델 조건에서 기존의 커패시터 내장형 크로스-커플드 전하펌프와 제안된 커패시터 내장형 부스트-클럭 전하펌프를 비교하였다. 표 6에서 보는바와 같이 제안된 부스트-클럭 전하펌프 회로가 기존의 크로스-커플드 전하펌프 보다

펌핑전류가 VGH, VGL 각각 12.57%, 19.16% 증가한 것을 볼 수 있다. 그리고 펌핑 효율은 VGH, VGL 각각 13.7%, 3.3% 증가한 것을 볼 수 있다. 또한 레이아웃 면적은 VGH, VGL 각각 1.36%, 11.44% 줄었다. 이와 같이 제안된 부스트-클럭 전하펌프가 기존의 크로스-커플드 전하펌프에 비해 펌핑 전류, 면적 등의 측면에서 유리한 점을 가진다.

표 6. VGH 전하펌프의 형태별 특성 비교
Table 6. Comparison character of VGH charge pump type.

구분		펌핑 전류[μ A]	펌핑 효율[%]	펌핑 단	면적 [μ m ²]
VGH	크로스-커플드 펌프	144.39	10.94	7	276,866
	부스트-클럭 펌프	162.54	11.09	4	273,100
VGL	크로스-커플드 펌프	138.55	13.75	6	238,829
	부스트-클럭 펌프	165.09	14.205	3	211,500

그림 10은 0.18 μ m Triple-Well CMOS 공정을 이용하여 설계된 DC-DC Converter의 레이아웃 그림을 나타내며, 레이아웃 면적은 400 μ m \times 2000 μ m 이다.

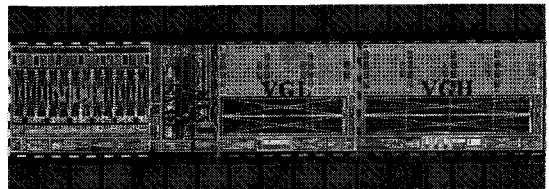


그림 10. 제안된 DC-DC 변환기의 레이아웃
Fig. 10. Layout plot of a proposed DC-DC converter.

IV. 결론

본 논문에서는 TFT-LCD 구동 IC용 DC-DC 변환기 설계에서 TFT-LCD 구동 IC 모듈의 소형화 및 저가격에 있어서 펌핑 커패시터 외장형 전하펌프보다 유리한 펌핑 커패시터 내장형 부스트-클럭 전하펌프를 이용한 DC-DC 변환기 회로를 제안하였다. 비중첩 펌핑 클럭 전하펌프 회로와 프리차지 회로를 사용하여 VDH, VGH 및 VGL 전

하펌프의 전하 펌핑 노드의 전하가 입력 단으로 피드백 되는 문제를 해결하였다. 그리고 전하 펌핑을 위해 펌핑 커패시터에 사용되는 펌핑 클럭을 2배의 VDC 전압으로 스위칭하는 비중첩 부스트-클럭을 사용함으로써 기존의 펌핑 커패시터 내장형 크로스-커플드 전하 전달 스위치를 사용한 전하펌프보다 펌핑 단의 수를 줄일 수 있었다.

0.18 μ m Triple-Well 공정을 이용하여 DC-DC 변환기 회로를 설계한 결과 제안된 비중첩 부스트-클럭 전하펌프(NBCCP) 회로가 기존의 크로스-커플드 전하펌프에 비해 펌핑 전류가 개선되었고, 레이아웃 면적 또한 감소되어 TFT-LCD 구동 IC 모듈의 소형화 측면에서 유리한 결과를 얻을 수 있었다.

현재 공정이 진행 중에 있으며 차 후 테스트 칩이 나오게 되면 그 성능을 평가할 계획이다.

참고문헌

- [1] M. Hirata et al., "New Plus- and Minus-Voltage Generator for TFT-LCD Panels," Proceedings of the 2nd IEEE Asia-Pacific Conference on ASIC, Aug. 2000.
- [2] E. Bayer et al., "A High Efficiency Single-Cell Cascaded Charge Pump Topology," Proc. IEEE Power Electronics Specialists Conference, vol. 1, pp.290-295, Aug. 2001.
- [3] J. F. Dickson, "On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique," IEEE Journal of Solid-State Circuits, vol. 11, pp. 374-378, June 1976.
- [4] J. T. Wu and K. L. Chang, "MOS charge pump for low-voltage operation," IEEE Journal of Solid-State Circuits, vol. 33, pp. 592-597, Apr. 1998.
- [5] S. I. Cho et al., "A Boosted Voltage Generator for Low-Voltage DRAMs," Current Applied Physics, Dec. 2003.
- [6] Y. H. Kim et al., "Two-Phase Boosted Voltage Generator for Low-Voltage Giga-Bit DRAMs," IEICE Trans. Electron, vol. E83-C, No.2, pp. 266-269, Feb. 2000.

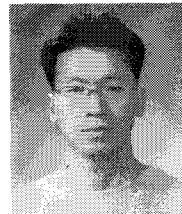
저자소개



임 구 호(Gyu-Ho Lim)

2002.2 창원대 전자공학과 공학사
2004.2 창원대학교 전자공학과 공학석사

2004.3~현재 창원대학교 전자공학과 공학박사과정
※관심분야: LCD 구동 칩 설계, 1T-RAM 설계, CMOS Image Sensor 설계



강 형 근(Kang Hyung-Geun)

2005.2 창원대학교 전자공학과 공학사
2005.3~현재 창원대학교 전자공학과 공학석사과정

※관심분야: LCD 구동 칩 설계, X-ray Image Sensor 설계



이 재 형(Hyung-Jae Lee)

2005.2 창원대학교 전자공학과 공학사
2005.3~현재 창원대학교 전자공학과 공학석사과정

※관심분야: 저전력 EEPROM 설계, SoC 설계

손 기 성(Ki-Sung Sohn)

현재 매그나칩 반도체 상무
※관심분야: LCD 구동 칩 설계

조 기 석(Ki-Seok Cho)

현재 매그나칩 반도체 주임연구원
※관심분야: LCD 구동 칩 설계

백 승 먼(Seung-Myun Baek)

2005.3~현재 창원대학교 전자공학과 공학박사과정
※관심분야: LCD 구동 칩 설계

성 관 영(Kwan-Young Sung)

2006.3~현재 창원대학교 전자공학과 공학박사과정
※관심분야: LCD 구동 칩 설계

이 용 진(Long-Zhen Li)

2006.3~현재 창원대학교 전자공학과 공학박사과정
※관심분야: LCD 구동 칩 설계



박 무 훈(Mu-Hun Park)

1991.2 경북대학교 전자공학과
공학사
1993.3 동북대학교 전기통신공학
연구과 공학석사

1996.3 동북대학교 전기통신공학연구과 공학박사
1998.8~현재 창원대학교 전자공학과 교수
※관심분야: 초음파 신호처리, 영상신호처리, 가상현
실, SoC 설계



하 판 봉(Pan-Bong Ha)

1981.2 부산대학교 전기공학과
공학사
1983.2 서울대학교 전자공학과
공학석사

1993.2 서울대학교 전자공학과 공학박사
1987.3~현재 창원대학교 전자공학과 교수
※관심분야: 임베디드 시스템, SoC 설계



김 영 희(Young-Hee Kim)

1989.2 경북대학교 전자공학과
공학사
1997.2 포항공대 전자전기공학과
공학석사

2000.8 포항공대 전자전기공학과 공학박사
1989.1~2001.2 현대전자 메모리연구소 책임연구원
2001.3~현재 창원대학교 전자공학과 교수
※관심분야: 저전압/저전력/고속 메모리 설계, LCD 구동
칩 설계, CMOS 이미지 센서 설계, RFID 태그 칩 설계