

최근의 DRAM capacitor 개발 동향

글 _ 김성근, 황철성 || 서울대학교 재료 공학부
cheolsh@plaza.snu.ac.kr

1. 서론

Dynamic random access memory (DRAM)은 1967년 IBM의 Dennard 박사에 의해 1 MOS transistor + 1 capacitor cell 구조를 이용하여 발명되었다. 이후 1970년 Intel 사에 의해 1Kb MOS DRAM이 개발된 이래 삼성전자에 의한 1992년 64Mb DRAM 개발, 1994년 256Mb DRAM 개발, 그리고 현재에 이르기까지 고집적화 및 대용량화를 위한 DRAM 소자의 개발은 급속도로 발전하고 있다. 또한, 이와 같은 메모리 소자의 발전은 mobile, wireless 제품에 대한 사회의 요구가 증가함에 따라 더욱 더 가속화되고 있는 실정이다.

더욱이 최근에는 기존의 개인용 컴퓨터 (pc) 에 주로 사용되는 commodity DRAM뿐 아니라 X-BOX, playstation 등과 같은 게임기, HD TV 등과 같은 디지털 영상 기기 분야의 새로운 시장과 수요의 창출, 그리고 유비쿼터스 시대의 도래에 따른 ADSL, 무선랜 등 네트워크 용 제품 및 모바일 기기 등의 발전에 따라 SoC(system on chip)에 대한 요구도 급격히 증가하고 있다. SoC는 한 개의 반도체 chip 상에 전자기기에 쓰이는 각종 부품, 즉 CPU, RAM, ROM, DSP 등을 집적시킨 제품으로서 SoC 제품의 경쟁력을 높이기 위해서는 SoC에서 가장 큰 면적을 가지고 있는 메모리의 고집적화가 매우 중요하다. DRAM은 낮은 동작 전압과 비교적 간단한 구조 그리고 고집적화에 유리한 구조를 가지고 있기 때문에 SoC 소자에 복합화 시키기에 적합하다. 따라서 SoC 용 embedded DRAM 개발에 대한 요구가 점점 증대되고 있다.

Commodity DRAM 및 embedded DRAM 소자의 집적화를 위해서는 여러 소자 공정 요소 기술의 개발이 중

요하지만 그 중에서도 data의 저장 역할을 수행하는 capacitor 요소 기술 개발이 매우 중요하다. DRAM의 고집적화가 진행될수록 cell 당 할당되는 면적은 감소하는 반면, 소자가 동작하기 위해 필요한 정전용량은 cell의 크기에 관계없이 25fF/cell의 일정한 값을 유지해야만 한다. 그러나 정전용량은 capacitor가 차지하는 유효표면적에 비례하는데 반해 반도체 소자의 집적도가 증가할수록 capacitor가 차지하는 단면적은 급속히 감소하기 때문에 DRAM 소자 동작에 필요한 정전용량을 유지하기가 매우 어려워진다. 따라서 할당된 소자 면적 내에서 정전용량의 확보를 위한 많은 노력이 진행되고 있다.

Capacitor의 정전용량은 잘 알려져 있는 바와 같이 capacitor의 표면적과 유전체의 유전율에 비례하며, 유전체 박막의 두께에 반비례한다. 따라서 향후 nano급 DRAM 소자의 제작을 위해서는 사용되는 유전체의 박막의 두께를 감소시키거나 capacitor의 유효표면적을 증가시켜야만 한다. 그러나 박막의 두께가 약 4 nm 이하로 감소하게 되면 터널링 현상에 의한 누설 전류 증가 현상 및 α -입자에 의한 소프트 에러의 증가 등이 발생하여 소자의 신뢰도가 감소되는 문제가 야기된다. 또한 cell 당 할당된 면적 내에서 유효표면적을 증가시키기 위해 실린

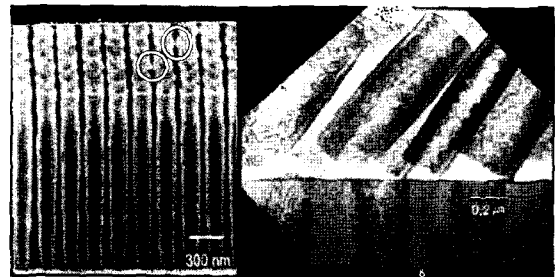


Fig. 1. capacitor의 (a) 기울어짐(SEM), (b) 쓰러짐(TEM) 현상.

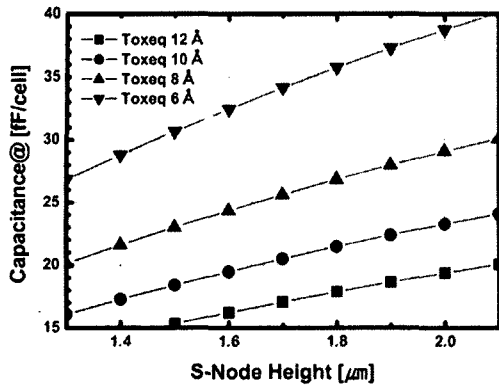


Fig. 2. 50 nm OCS (one cylinder stacked) capacitor에서 cell capacitance와 storage node 높이의 상관관계.¹⁾

더 형태의 capacitor를 이용하고 있으나 현재의 photo/etch 공정 기술로는 2.5 μm 이상의 높이를 갖는 capacitor를 제작하는 데에는 한계가 있으며, 제작하더라도 capacitor의 높이가 1.6 μm 이상인 경우에는 Fig. 1에서 볼 수 있는 바와 같이 storage node의 기울어짐과 쓰러짐 현상에 의해 twin bit fail 문제가 심각하게 대두된다.

Fig. 2는 50 nm 급 capacitor에서 cell capacitance와 storage node 높이의 상관관계를 보여준다.¹⁾ Fig. 2에서 확인할 수 있는 바와 같이 50 nm급 소자에서 25fF/cell의 정전 용량을 확보하기 위해서는 storage node가 1.6 μm일 때 등가산화막의 두께가 8 Å 이하이어야 함을 알 수 있다.

| Year in Production | 2005 | 2006 | 2007 | 2008 | 2009 | 2010 | 2011 | 2012 | 2013 |
|--|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| DRAM Pitch (nm) [1] | 80 | 70 | 65 | 57 | 50 | 45 | 40 | 35 | 32 |
| DRAM cell size (μm ²) [2] | 0.0514 | 0.0408 | 0.0324 | 0.0193 | 0.0153 | 0.0122 | 0.0096 | 0.0077 | 0.0051 |
| DRAM storage node cell capacitor dielectric: equivalent oxide thickness EOT (nm) [3] | 1.8 | 1.4 | 1.1 | 0.9 | 0.8 | 0.6 | 0.6 | 0.5 | 0.5 |
| DRAM storage node cell capacitor voltage (V) [4] | 1.5 | 1.4 | 1.3 | 1.2 | 1.1 | 1.1 | 1.1 | 1 | 1 |
| Electric field of capacitor dielectric, (MV/cm) [5] | 8 | 10 | 12 | 13 | 14 | 18 | 18 | 20 | 20 |
| DRAM cell FET dielectric: equivalent oxide thickness, EOT (nm) [6] | 5.5 | 5 | 5 | 4.5 | 4 | 4 | 4 | 4 | 4 |
| Maximum Wordline (WL) level (V) [7] | 3.5 | 3.3 | 3.3 | 3 | 2.7 | 2.7 | 2.7 | 2.6 | 2.6 |
| Electric field of cell FET device dielectric (MV/cm) [8] | 6.4 | 6.6 | 6.6 | 6.7 | 6.8 | 6.8 | 6.8 | 6.5 | 6.5 |
| Cell Size Factor: α [9] | 8 | 8 | 8 | 6 | 6 | 6 | 6 | 6 | 6 |
| Array Area Efficiency [10] | 0.63 | 0.63 | 0.63 | 0.56 | 0.56 | 0.56 | 0.56 | 0.56 | 0.56 |
| Minimum DRAM retention time (ms) [11] | 64 | 64 | 64 | 64 | 64 | 64 | 64 | 64 | 64 |
| DRAM soft error rate (fits) [12] | 1000 | 1000 | 1000 | 1000 | 1000 | 1000 | 1000 | 1000 | 1000 |

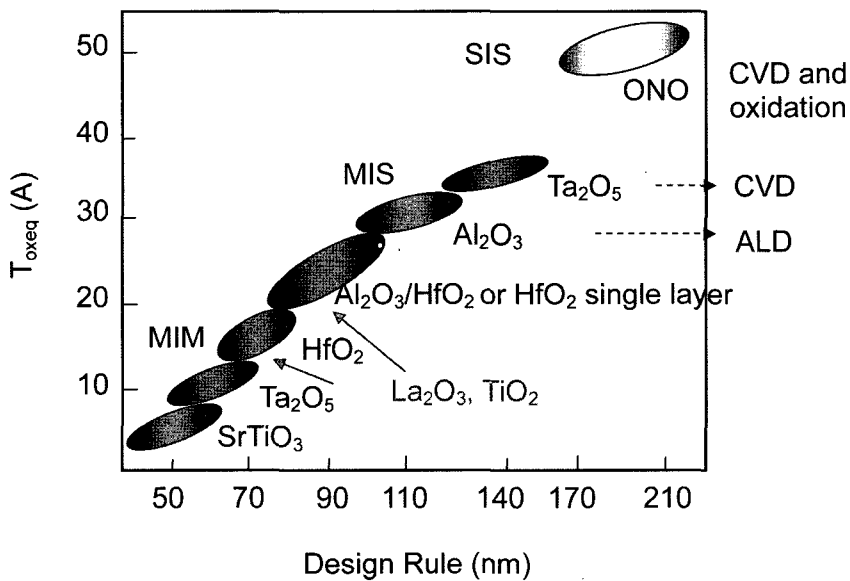


Fig. 3. (a) DRAM technology에 대한 ITRS 2005년 roadmap, (b) 디자인 룰에 따른 DRAM capacitor의 전극, 유전체, 구조 변천 추이.



이와 같은 결과는 고유전율을 갖는 새로운 유전체의 개발 및 공정 개발이 필연적임을 보여주고 있다. 따라서 본 고에서는 먼저 현재의 capacitor 공정 현황 및 차세대 DRAM capacitor에 적용하기 위한 유전막 공정 개발 현황에 대해 살펴보고 향후 개발 방향에 대해 소개하고자 한다.

2. 본 론

2.1 DRAM Capacitor 구조의 변화

대략 170 nm 정도까지의 디자인 룰이 DRAM 소자에 적용되었던 capacitor는 상 하부 전극으로서 poly-Si, 유전막으로써 $\text{SiO}_2/\text{SiN}_x$ 를 채용한 SIS(Silicon-insulator-silicon) 형태의 capacitor이다. $\text{SiO}_2/\text{SiN}_x$ 유전막은 다른 유전막에 비해 비교적 제조 공정이 간단하나 SiO_2 의 유전율은 3.9, SiN_x 의 유전율은 약 7~8 정도로 비교적 낮은 값을 갖기 때문에 10 Å 이하의 낮은 등가산화막두께의 유전막 확보는 터널링 등의 현상에 의해 불가능하다. 그러나 Fig. 3 (a)의 2005년 판 ITRS를 살펴보면 10 Å 이하의 등가산화막두께가 약 2007년 이후부터 필요함을 알 수 있다. 따라서 향후 50 nm 급 DRAM 소자에 이러한 유전막이 적용되기는 어려울 것으로 보이며, 보다 높은 유전율을 갖는 물질에 대한 개발이 시급하다. 특히 Fig. 3 (a)에서 확인할 수 있는 바와 같이 2010년 이후에는 6 Å 이하의 등가산화막두께가 요구되나 이에 위한 해결 방안이 아직 없기 때문에 새로운 유전체 개발에 대한 요구는 매우 시급하다 하겠다. 이에 차세대 DRAM capacitor에 적용하고자 하는 유전막의 후보 물질에 대해 살펴보고, 주로 연구되고 있는 유전막의 형성 방법에 대해 살펴보기로 한다. Fig. 3 (b)에 DRAM capacitor의 변천을 디자인 룰에 따른 전극, 유전체, 구조에 따라 정리한 도표를 나타내었다. 여기서 MIS, MIM은 각각 metal-insulator-semiconductor, metal-insulator-metal 구조를 의미한다.

2.2 유전체 박막 형성 방법 - ALD (Atomic Layer Deposition)

DRAM capacitor에서는 제한된 면적 내에서 일정한

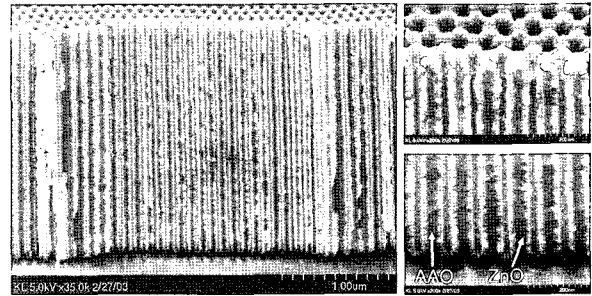


Fig. 4. AAO template 위에 ALD 법으로 형성한 ZnO의 단면 모습.

정전용량 값 확보를 위해 stack 및 cylinder 등 형태의 3차원 구조의 capacitor를 이용하게 된다. 이러한 3차원 구조의 capacitor에서 균일한 유전 특성의 확보를 위해서는 구조물 전체에 균일한 유전막 형성이 매우 중요하다. 이는 DRAM의 design rule이 50 nm 정도까지 극단적으로 감소함에 따라 아래에서 논의할 SrTiO_3 와 같은 고유전체를 이용하더라도 여전히 큰 표면적이 요구되기 때문에 삼차원적인 capacitor 구조가 요구되기 때문이다. 우수한 step coverage를 확보하기 위한 기존의 방법으로는 화학 기상증착법 (CVD, chemical vapor deposition)법이 주로 많이 이용되어 왔으나, design rule의 급격한 감소와 그에 따른 aspect ratio의 증가로 CVD 법으로는 더 이상 우수한 step coverage 확보가 어려워지고 있는 실정이다.

유전막 형성을 위해 근래에 많이 연구되고 있는 박막 형성법으로서 원자층 증착법 (ALD, Atomic Layer Deposition)법을 들 수 있다. ALD법이란 반응원료와 반응가스를 동시에 반응기 내에 주입하여 박막을 형성하는 CVD법과 달리 반응원료와 반응가스를 각기 분리하여 독립적으로 반응기에 주입해 박막을 형성하는 방법으로, 반응원료 및 반응가스의 주입과 purge를 기본 공정 단위로 하여 cycle 형태로 박막의 두께를 조절한다. ALD법에 의한 박막 형성은 CVD 법과 달리 반응원료의 열분해 반응이 아닌, 오직 반응원료와 기판 흡착종 간의 표면반응에 의해서만 이루어진다. ALD법은 이와 같이 표면반응만을 이용하기 때문에 반응원료의 양에 민감하지 않아 표면의 흡착 위치를 채우는데 필요한 이상의 충분한 반응원료가 공급되면 3차원 구조물에도 균일한 박막 형성이 쉽기 때문에 CVD법에 비해 매우 우수한 step cover-

age 특성을 보여준다.²⁾ Fig. 4는 ALD법을 이용하여 aspect ratio가 약 40인 AAO (anodized aluminum oxide)로 이루어진 3차원 hole 구조에 ZnO 박막을 형성한 SEM 결과로 100%에 가까운 매우 우수한 step coverage 특성을 확인할 수 있다.

이와 같은 우수한 step coverage 특성과 더불어 ALD 법은 cycle 단위로 공정이 진행되기 때문에 10 nm 이하의 얇은 박막에서 두께 조절이 용이할 뿐만 아니라, 반응 원료의 양에 민감하지 않기 때문에 대면적의 wafer 내에서 두께 및 조성의 균일성이 매우 우수하다. 비록 cycle 단위로 공정이 진행되며 열분해 반응이 아닌 표면 반응을 이용하기 때문에 증착속도가 CVD법에 비해 느린 단점이 있으나 capacitor의 유전체는 낮은 등가산화막두께 확보를 위해 10 nm 이하의 얇은 박막으로 이용되기 때문에 낮은 증착 속도를 갖는 ALD법의 단점은 많이 상쇄될 수 있다.

Capacitor의 유전산화막 형성을 위해 ALD 법에서 가장 많이 사용되는 산화제 가스는 H₂O이다. H₂O에 의한 반응은 H₂O 주입시 표면의 반응기가 OH group으로 치환되는 과정을 통해 진행된다. 또한 H₂O 이외에도 반응성이 높은 O₂ plasma³⁾ 및 O₃⁴⁾ 등을 이용한 유전막 형성법에 대한 연구도 많이 진행되고 있다. 이러한 가스는 H₂O에 비해 반응성이 높아 박막 내 carbon 등과 같은 불순물 및 산소 공공 등의 결함 제거에 효과적이기 때문에 누설 전류 특성 개선의 방안으로서 주로 연구되고 있다.

2.3 연구가 진행되고 있는 유전체 물질

국내외에서 capacitor의 유전체로서 기존의 물질 (SiO₂/SiN_x, Al₂O₃)을 대체하기 위한 차세대 고유전 재료로 주로 연구되고 있는 물질로는 HfO₂, Ta₂O₅, TiO₂, ZrO₂ 등의 이성분계 산화물과 SrTiO₃, (Ba,Sr)TiO₃ 등의 perovskite 계열 산화물 등이 있다. 이러한 각 유전체는 TiN, Ru 등의 전극 물질과의 조합으로 많은 연구가 진행되고 있다. 각 후보 물질에 대한 연구 현황을 살펴보면 다음과 같다.

2.3.1 HfO₂

HfO₂는 트랜지스터의 gate oxide의 후보 재료로서 많

이 연구되어온 물질로 유전율은 약 20 - 25 정도로 비교적 낮은 값을 가지나 band gap이 5.7eV 정도로 비교적 크기 때문에 누설전류 특성이 우수하여 많은 연구가 진행되고 있다. HfO₂에 의한 연구는 주로 TiN 전극의 이용에 초점이 맞추어 진행되고 있으며 HfO₂ 단일막 또는 HfO₂와 Al₂O₃의 적층구조에 대한 연구가 주로 이루어지고 있다. MIS capacitor를 제작하고 유전막으로서 Al₂O₃ 단일막 및 HfO₂/Al₂O₃ 복합막을 이용한 결과를 살펴보면 Al₂O₃ 단일막만을 이용했을 때에는 등가산화막두께가 26 Å인 반면, HfO₂/Al₂O₃ 적층막을 적용한 경우의 등가산화막두께는 21 Å으로 HfO₂를 이용하여 약 5 Å의 등가산화막두께 감소 효과를 확인할 수 있다.⁵⁾ Hynix사의 발표에 따르면 TiN 상하부 전극에 Hf_xAl_yO_z 박막을 O₃을 이용하여 ALD법으로 증착한 경우는 Al₂O₃가 박막내 들어가면서 결정화를 억제하여 표면 거칠기의 증가가 억제되었고 그를 통해 누설전류 특성이 개선되는 현상이 관찰되었다. 뿐만 아니라 Hf과 Al의 조성비를 최적화하여 11 Å의 등가산화막두께를 확보하였음을 보고하였다.⁶⁾ 일반적으로 TiN과 같은 금속 전극과 조합된 경우 HfO₂ 박막의 결정화가 진행되면 입계를 통한 누설전류가 증가함이 보고되고 있다. 이에 따라 후속 열처리 공정에서도 결정화가 되지 않는 박막의 구조 (HfO₂/Al₂O₃/HfO₂) 또는 후속 열처리 온도를 저감시킬 수 있는 공정 (SiGe 상부 전극 채용) 개발을 위한 연구가 진행되고 있다.

위와 같이 HfO₂ 박막내 Al₂O₃를 첨가하는 경우는 누설전류 측면에서 이득이 있으나 유전율이 낮기 때문에 보다 높은 유전율 확보를 위해 HfO₂ 단일막을 이용한 연구도 많이 이루어지고 있다. HfO₂ 단일막을 TiN 상하부 전극에 적용한 경우, NEC는 12 Å의 등가산화막두께를

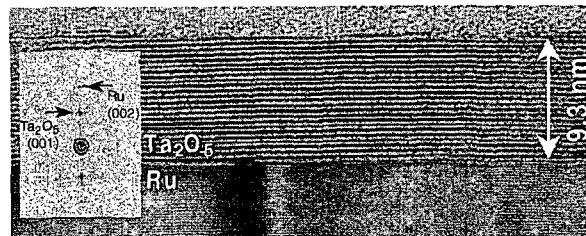


Fig. 5. Ru 위에 형성된 Ta₂O₅ 박막의 TEM 사진 및 Fourier transformed pattern 결과.⁹⁾



보고하였다.⁷⁾ 또한 삼성전자는 ALD법으로 HfO₂ 박막 형성 시에 산화제로써 O₃과 O₂ plasma를 비교한 결과를 발표하였으며, O₃에 비해 O₂ 분자 구조가 더 간단하기 때문에 O₂ plasma를 이용한 경우 보다 효과적으로 carbon 등의 불순물을 제거할 수 있어 누설전류 특성이 개선됨을 발표하였다.⁸⁾

그러나 위의 결과에서 알 수 있듯이 유전율이 약 25 정도인 HfO₂ 박막을 이용하는 경우 등가산화막두께를 10 Å 이하로 낮추기에는 많은 어려움이 있다. 따라서 HfO₂를 유전체로 이용한 연구 결과들은 90 nm 또는 70 nm 급 소자에 초점이 맞추어져 있는 실정이다.

2.3.2 Ta₂O₅

Ta₂O₅는 orthorhombic 과 hexagonal의 구조의 동질다상을 갖는 유전체로, 결정구조에 따라 상이한 유전율을 갖는 것으로 잘 알려져 있다. 각 결정구조에서의 유전율은 orthorhombic 및 비정질의 경우는 25정도로 낮은 값을 가지나 hexagonal 구조에서 c축 방향을 따라서는 유전율이 60 ~ 65 정도로 높은 유전율을 나타내어, Ta₂O₅는 capacitor의 유전 재료로서 많이 연구되어 왔다.

Ta₂O₅ 유전막에 대한 연구는 HfO₂의 경우와 달리 하부전극으로서 Ru 금속 전극의 이용에 초점이 맞추어져 있다. TiN 및 Si 등의 기판에 성장시킨 Ta₂O₅는 orthorhombic 구조로 성장하는데 반해 Ru 기판 위에서는 hexagonal 구조의 Ta₂O₅이 국부적 heteroepitaxy 기구에 의하여 c축 우선배향성을 가지며 성장하는 것이 알려져 있다.⁹⁾ Fig. 5는 Ru 기판 위에 성장시킨 Ta₂O₅의 HRTEM 결과 및 Fourier transform pattern 결과로 Ta₂O₅이 Ru 기판 위에서 국부적 heteroepitaxy로 성장하고 있음을 확인할 수 있으며 Fourier transform pattern에서 볼 수 있듯이 Ta₂O₅는 c-축 배향성을 가짐을 알 수 있다.⁹⁾

그러나 보통 ALD 및 CVD 공정을 통해 Ru 기판에서 형성된 Ta₂O₅는 비정질로 성장하며 박막 형성 후 열처리 공정을 통해 hexagonal structure로 성장한다. hexagonal Ta₂O₅로의 결정화는 약 650 ~ 700°C에서^{9,10)} 시작되는 것으로 보고되고 있으며 이 때 유전율은 약 50~65 정도로 등가산화막두께를 8 Å 정도까지 낮출 수 있는 것으로

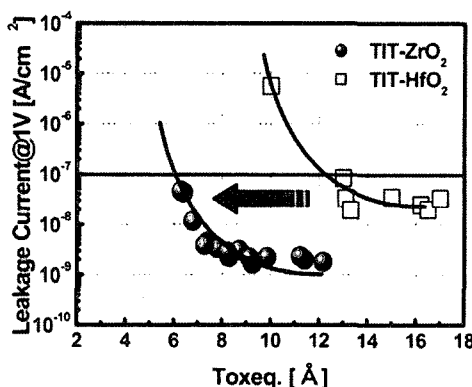


Fig. 6. TiN/ZrO₂/TiN capacitor에서 누설전류와 등가산화막두께의 상관관계.¹⁸⁾

발표되었다.

비록 650°C 이상의 열처리를 통해 60 정도의 유전율은 확보가 가능하지만 600°C 이상의 열처리 공정은 박막 내 존재하는 산소가 하부 전극 및 확산방지막으로 확산하는 현상에 의해 capacitor의 구조적 안정성을 열화시키는 문제를 야기시킨다. 따라서 Ta₂O₅의 결정화 온도를 낮추는 것이 필수적이며 이를 해결하기 위한 방안으로 hexagonal의 Ta₂O₅와 동일한 구조를 가지며 결정화 온도가 600°C 미만인 Nb₂O₅를 seed layer로 이용하는 방법¹¹⁾ 및 (Ta_{1-x}Nb_x)₂O₅ 형태의 고용체를 이용하는 방법^{12,13)} 등이 제안되어 있다. 특히 Ta₂O₅/Nb₂O₅ 적층막을 ALD 법으로 성장시킨 경우 575°C의 비교적 낮은 열처리를 통해서 66 정도의 유전율을 확보할 수 있었으며, 7.5 Å의 등가산화막두께를 얻을 수 있었다.¹¹⁾

2.3.3 ZrO₂

ZrO₂는 cubic, tetragonal, monoclinic 등의 동질다상을 가지는 유전체로서 각 구조에 따른 유전율은 monoclinic의 경우 20, cubic인 경우 37, tetragonal의 경우 c-축을 따라 47로 결정 구조마다 상이한 유전율을 갖는 것으로 알려져 있다.¹⁴⁾ 그러나, 저온 영역에서는 monoclinic이 가장 안정한 상으로 알려져 있고 ALD 등에 의한 ZrO₂ 박막 형성 결과 또한 대부분 monoclinic 상으로 형성되는 것으로 보고되어 있어 실험 결과에 의한 ZrO₂의 유전율은 약 20~25 정도로 보고되어 왔다.^{15,16)} 그러나 최근의

보고에 따르면 40 이상의 유전율을 갖는 ZrO_2 박막 공정이 개발됨에 따라 ZrO_2 는 50 nm 급 소자에 적용될 capacitor의 유전막으로서 주목받고 있다.¹⁷⁾ TiN 기판 위에서 ALD법에 의해 성장한 ZrO_2 박막은 monoclinic 상이 아닌 tetragonal의 결정상으로 성장함이 보고되었으며 이때의 ZrO_2 박막의 유전율은 41로 monoclinic 상에 비해 높은 값을 보여주었다. Fig. 6은 TiN/ ZrO_2 /TiN capacitor에서의 누설전류와 등가산화막두께의 상관관계를 보여주고 있는 결과로 등가산화막두께를 약 6Å까지 감소시킬 수 있었으며 TiN 상하부 전극을 채용한 HfO_2 에 비해 6 Å이상의 등가산화막두께의 이득을 갖는 것을 보여주고 있다.¹⁸⁾ TiN/ ZrO_2 /TiN capacitor는 이와 같이 낮은 등가산화막두께를 확보할 수 있을 뿐만 아니라 TiN 및 ZrO_2 등과 같이 공정 성숙도가 높은 공정을 그대로 적용할 수 있다는 점에서도 향후 차세대 DRAM capacitor 소자에 적용 가능성이 높다.

2.3.4 SrTiO₃ 또는 (Ba,Sr)TiO₃

SrTiO₃ (STO) 및 (Ba,Sr)TiO₃ (BST)는 perovskite 계열의 물질로 단위포를 형성하고 있는 TiO₆ 정팔면체 내에 위치한 Ti ion이 전계에 따라 분극을 일으키는 ionic polarizability가 매우 크기 때문에 박막의 경우에도 STO의 경우는 약 100 ~ 150, BST의 경우는 300 이상의 매우 높은 유전율을 갖는 것으로 잘 알려져 있다. 이와 같은 유전율은 이성분계 금속 산화물에서 얻을 수 있는 유전율에 비해 수 배 이상 큰 값이기 때문에 높은 정전용량을 확보할 수 있어 STO 및 BST는 향후 50 nm 이하 급의 DRAM 소자의 유전재료로서 각광을 받고 있다.

Sputtering 및 MOCVD법에 의해 성장된 STO 및 BST 박막의 유전 성질에 대한 연구는 많이 이루어져 있다. 평판 구조의 Metal-Insulator-Metal capacitor에 대한 연구 결과에서는 100 이상의 높은 유전율과 5Å 이하의 낮은 등가산화막두께 등과 같은 우수한 정전 특성을 확보한 보고들이 다수 존재하므로 STO 및 BST 물질 자체는 분명 차세대 DRAM 소자의 유전재료로서의 가능성을 보여주고 있다.^{19,21)} 그러나 정전 용량 증가를 위해 일반적으로 사용되어지는 3차원의 구조물의 capacitor에 STO 및

BST 박막을 형성하게 되면 이성분계 금속 산화물에 비해 복잡한 구조와 조성으로 인해 박막의 두께 및 조성의 step coverage가 확보되지 못해 평판 구조에 비해 전기적 특성이 크게 열화되는 문제를 갖는다.²²⁾ 특히 메모리의 고집적화를 위해 design rule이 감소하고 있는 추세에서 aspect ratio의 증가로 두께 및 조성의 step coverage 확보 문제는 더욱 심각해지고 있는 상황이다.

최근 들어 이와 같은 박막의 두께 및 조성의 step coverage 개선을 위해, perovskite 계열 유전막 형성은 MOCVD법에서 step coverage 특성이 우수한 ALD법으로 연구 방향이 전환되고 있다. 그러나 BaTiO₃와 STO의 고용체인 BST는 복잡한 조성으로 인해 ALD법에 의한 공정은 아직 연구되지 않고 있는 실정이며 STO 박막의 형성에 대해서만 연구가 진행되고 있다.

ALD법에 의한 STO 박막의 형성에 대한 연구는 산화제로서 O₂ plasma, O₃, H₂O 등을 이용한 연구가 진행되어 있다. O₂ plasma, O₃ 등의 산화제를 이용하는 경우 평판에서는 STO 박막이 형성되나 carbon 등의 불순물이 많으며,^{23,24)} 3차원 구조에 증착시 박막의 두께 step coverage는 확보되나 조성이 불균일한 점 등이 문제로 나타나고 있다. 또한 Sr의 반응원료인 Sr(thd)₂의 기화 온도를 조절하여 박막의 두께 및 조성의 step coverage의 문제를 해결한 결과 등도 보고되고 있다.²⁵⁾

그러나 현재까지의 3차원 구조에서 ALD법에 의한 STO 및 BST 박막에서 차세대 메모리 소자에 적용될 만한 우수한 전기적 특성 결과는 확보되지 못한 상황으로, 50 nm 급 이하의 소자에서는 STO 및 BST 와 같은 100 이상의 높은 유전율을 갖는 유전막 개발이 필수적임을 고려할 때 ALD법에 의한 perovskite 유전막 개발은 시급히 요구되고 있다. 또한 유전체 박막의 유전율이 증가할 경우 전극과의 계면에 필연적으로 발생하는 저유전층의 존재로 인하여 필요한 박막의 두께 영역인 10 nm 정도의 두께에서는 벌크 물질의 그것에 비하여 유전율이 크게 감소하는 문제가 있다. 이와 같은 문제의 원인에 대한 학술적 연구도 많이 진행되고 있지만 이와는 별개로 이와 같은 문제를 공학적으로 해결할 수 있는 방안에 관한 연구도 활발히 진행되고 있다.²⁶⁾



3. 결론

DRAM capacitor의 정전용량 확보를 위해서는 기존의 $\text{SiO}_2/\text{SiN}_x$, Al_2O_3 등의 유전막이 아닌 높은 유전율을 갖는 유전 재료의 개발이 요구된다. 특히 이러한 유전 재료 공정 개발은 유전 재료 자체의 특성뿐만 아니라 3차원 구조에서의 균일한 박막 형성 등의 공정적인 부분도 함께 고려가 되어야 하기 때문에 많은 어려움이 있다. 또한 3차원 구조에 박막을 형성하기 위해서는 박막의 물리적 두께가 대략 10 nm 이하로 유지되어야 한다. 이에 현재까지 capacitor의 유전체에 대한 연구는 50 nm 급 혹은 그 이하 소자에 대한 연구 보다는 곧 양산 적용이 가능한 100 nm 급에서 70 nm 급 소자에 적용될 수 있는 유전 재료 개발에 보다 초점이 맞추어져 있는 실정이다.

50 nm 급 소자에 대한 요구는 곧 도래할 것으로 보이며, sub-50 nm 급 DRAM capacitor 개발에 대한 해결책이 분명하지 않은 현 시점에서는 등가산화막두께 5 Å 이하의 유전막 개발이 더욱 시급히 요구된다. 이상에서 논의한 유전체 박막공정에 대한 연구 개발뿐 아니라 각각의 유전체에 적합한 전극의 개발 또한 유전체 개발과 더불어 진행 되어야 한다. 현재까지 양산에 적용 가능한 수준으로 개발되어 있는 금속 전극재료는 TiN이 거의 유일한 상태이나 등가산화막 두께를 0.5 nm 이하로 낮추기 위해서는 Ru 와 같은 귀금속전극이나 SrRuO_3 와 같은 산화물 전극의 개발도 병행 되어야 한다. 이와 같은 요구에 의하여 지난 수 년간 귀금속 전극 개발에 대한 연구가 심도 있고 광범위하게 진행되어 왔으나 아직은 양산에 적용 가능한 수준에 도달하지 못하고 있다.

이상과 같은 문제를 해결하고 지난 10 여 년 간 DRAM 분야에서 접하고 있는 우리나라 반도체 산업의 비교 우위를 유지하기 위해서는 반도체 업계와 대학 및 연구소와의 새로운 유전재료 개발 및 이론적인 배경이 될 수 있는 박막 형성 mechanism에 관한 양자 역학적 전산모사 기술 도입 등의 산학 연계의 증대와 새로운 증착 precursor 개발을 위한 source 업체와 연계, 또한 through-put을 개선하면서 효과적인 박막 증착을 제공할 수 있는 반도체 설비 업체간의 긴밀한 협력 연구가 필요하다.

참고문헌

1. J. H. Choi, J.-H. Chung, S.-H. Oh, J. S. Choi, C.-Y. Yoo, S.-T. Kim, U.-I. Chung, J.-T. Moon, "New approaches to improve the endurance of $\text{TiN}/\text{HfO}_2/\text{TiN}$ capacitor during the back-end process for 70nm DRAM device", IEDM Tech. Dig., pp. 28.3.1 (2003)
2. R. G. Gordon, D. Hausmann, E. Kim, J. Sheppard, "A Kinetic Model for Step Coverage by Atomic Layer Deposition in Narrow Holes or Trenches", Chem. Vap. Dep., 9, pp. 73 (2003)
3. J. W. Lim, S. J. Yun, J. H. Lee, "Characteristics of TiO_2 Films Prepared by ALD With and Without Plasma", Electrochem. Solid-State Lett., 7 (11), pp. F73 (2004)
4. S. K. Kim, W.-D. Kim, K.-M. Kim, C. S. Hwang, "High dielectric constant TiO_2 thin films on Ru electrode grown at 250°C by atomic-layer-deposition", Appl. Phys. Lett., 85, pp. 4112 (2004)
5. J.-H. Lee, J. P. Kim, J.-H. Lee, Y.-S. Kim, H.-S. Jung, N. I. Lee, H.-K. Kang, K.-P. Suh, M.-M. Jeong, K.-T. Hyun, H.-S. Baik, Y. S. Chung, X. Liu, S. Ramanathan, T. Seidel, J. Winkler, A. Londergan, H. Y. Kim, J. M. Ha, N. K. Lee, "Mass production worthy $\text{HfO}_2\text{-Al}_2\text{O}_3$ laminate capacitor technology using Hf liquid precursor for sub-100 nm DRAMs", IEDM Tech. Dig., pp. 221 (2002)
6. D. S. Kil, K. Hong, K.-J. Lee, J. Kim, H.-S. Song, K.-S. Park, J.-S. Roh, H.-C. Sohn, J.-W. Kim, S.-W. Park, "Development of highly robust nano-mixed $\text{Hf}_x\text{Al}_y\text{O}_z$ dielectrics for $\text{TiN}/\text{Hf}_x\text{Al}_y\text{O}_z/\text{TiN}$ capacitor applicable to 65nm generation DRAMs", Symp. On VLSI. Tech. pp. 126 (2004)
7. Y. Aoki, T. Ueda, H. Shirai, T. Sakoh, T. Kitamura, S. Arai, M. Sakao, K. Inoue, M. Takeuchi, H. Sugimura, M. Hamada, T. Wake, I. Naritake, T. Iizuka, T. Yamamoto, K. Ando, K. Noda, "Ultra-high-performance 0.13- μm embedded DRAM technology using $\text{TiN}/\text{HfO}_2/\text{TiN}/\text{W}$ capacitor and body-slightly-tied SOI", IEDM Tech. Dig., pp. 831 (2002)
8. S.-J. Won, Y.-K. Jeong, D.-J. Kwon, M.-H. Park, H.-K. Kang, K.-P. Suh, H.-K. Kim, J.-H. Ka, K.-Y. Yun, D.-H. Lee, D.-Y. Kim, Y.-M. Yoo, C.-S. Lee, "Novel plasma enhanced atomic layer deposition technology for high-k capacitor with EOT of 8 Å on conventional metal electrode", Symp. On VLSI. Tech. Pp. 035-6 (2003)
9. M. Hiratani, T. Hamada, S. Iijima, Y. Ohji, I. Asano, N. Nakanishi, S. Kimura, "A heteroepitaxial $\text{MIM-Ta}_2\text{O}_5$ capacitor with enhanced dielectric constant for DRAMs of G-bit generation and beyond" Symp. On VLSI. Tech. pp. 41 (2001)
10. W.-D. Kim, J.-H. Joo, Y.-K. Jeong, S.-J. Won, S.-Y. Park, S.-C. Lee, C.-Y. Yoo, S.-T. Kim, J.-T. Moon,

“Development of CVD-Ru/Ta₂O₅/CVD-Ru capacitor with concave structure for multigigabit-scale DRAM generation”, IEDM Tech. Dig., pp. 263 (2001)

11. D. Ma, S. Park, B.-S. Seo, S. Choi, N. Lee, J.-H. Lee, “Low temperature crystallization of high permittivity Ta oxide using an Nb oxide thin film for metal/insulator/metal capacitors in dynamic random access memory applications”, J. Vac. Sci. Technol. B 23(1), pp.80 (2005)
12. B. C. M. Lai, N. H. Kung, and Y. M. Lee, “A study on the capacitance-voltage characteristics of metal-Ta₂O₅-silicon capacitors for very large scale integration metal-oxide-semiconductor gate oxide applications”, J. Appl. Phys., 85, pp. 4087 (1999)
13. W. S. Lau, M. T. C. Perera, P. Babu, A. K. Ow, T. Han, N. P. Sandler, C. H. Tung, T. T. Sheng, and P. K. Chu, “The Superiority of N₂O Plasma Annealing over O₂ Plasma Annealing for Amorphous Tantalum Pentoxide (Ta₂O₅) Films”, Jpn. J. Appl. Phys., part 2 37, pp. L435 (1998)
14. X. Zhao, D. Vanderbilt, “First-principles study of structural, vibrational, and lattice dielectric properties of hafnium oxide”, Phys. Rev. B, 65, pp. 075105 (2002)
15. S.-Y. Lee, H. Kim, P. C. McIntyre, K. C. Saraswat, J.-S. Byun, “Atomic layer deposition of ZrO₂ on W for metal-insulator-metal capacitor application”, Appl. Phys. Lett., 82(17), pp. 2874 (2003)
16. M. Cassir, F. Goubin, C. Bernay, P. Vernoux, D. Lincot, “Synthesis of ZrO₂ thin films by atomic layer deposition: growth kinetics, structural and electrical properties”, Appl. Sur. Sci., 193, pp. 128 (2002)
17. K. R. Yoon et al., SSDM Ext. Abst. pp. 188 (2005)
18. 이종철, 임기빈, 정은애, 윤경렬, 여재현, 김영선, 유차영, 김성태, 정우인, 문주태, “50nm급 DRAM 소자를 위한 TiN/ZrO₂/TiN nano capacitors”, proceeding of the 13th Korean conference on Semiconductors, pp. 687 (2006)
19. C.S.Hwang, S.O.Park, C.S.Kang, H.J.Cho, H.K.Kang, S.I.Lee and M.Y.Lee, “Deposition of extremely thin (Ba,Sr)TiO₃ thin films for ultra-large-scale integrated dynamic random access memory application”, Appl. Phys. Lett., 67, 2819 (1995).
20. J. Nakahira, M. Kiyotoshi, S. Yamazaki, M. Nakabayashi, S. Niwa, K. Tsunoda, J. Lin, A. Shimada, M. Izuha, T. Aoyama, H. Tomita, K. Eguchi, K. Hieda, “Low temperature (<500°C) SrTiO₃ capacitor process technology for embedded DRAM” Symp. On VLSI. Tech. pp. 104 (2000)
21. C. S. Kang, C. S. Hwang, H.-J. Cho, B. T. Lee, S. O. Park, J. W. Kim, H. Horii, S.-I. Lee, Y. B. Koh, M.-Y. Lee, “Preparation and electrical properties of SrTiO₃ thin films deposited by liquid source metal-organic chemical vapor deposition (MOCVD)”, Jpn. J. Appl. Phys., part 1 35, pp. 4890 (1996)
22. C. S. Hwang, S. Y. No, J. Park, H. J. Kim, H. J. Cho, Y. K. Han, K. Y. Oh, “Cation composition control of metal-organic chemical vapor deposited (Ba,Sr)TiO₃ thin films along the capacitor hole having a diameter of 0.15μm”, J. Electrochem. Soc., 149, pp. G585 (2002)
23. D. S. Kil, J. M. Lee, J. S. Roh, “Low-Temperature ALD Growth of SrTiO₃ Thin Films from Sr β-Diketonates and Ti Alkoxide Precursors Using Oxygen Remote Plasma as an Oxidation Source”, Chem. Vap. Deposition, 8, pp. 195 (2002)
24. J. H. Lee, Y. J. Cho, Y. S. Min, D. Kim, S. W. Rhee, “Plasma enhanced atomic layer deposition of SrTiO₃ thin films with Sr(tmhd)₂ and Ti(*i*-OPr)₄”, J. vac. Sci. Technol. A, 20, pp. 1828 (2002)
25. O. S. Kwon, S. K. Kim, C. S. Hwang, “Chemically Conformal ALD of SrTiO₃ Thin Films Using Conventional Metallorganic Precursors”, J. Electrochem. Soc., 152 (4), pp. C229 (2005).
26. Cheol Seong Hwang, “Thickness-dependent dielectric constants of (Ba,Sr)TiO₃ thin films having Pt and conducting oxide electrodes”, J. Appl. Phys., 92, 432 (2002).

●● 김성근



- 2001년 서울대학교 재료공학부 학사
- 현재, 서울대학교 재료공학부 박사과정

●● 황철성



- 1987년 서울대학교 무기재료공학과 학사
- 1989년 서울대학교 무기재료공학과 석사
- 1993년 서울대학교 무기재료공학과 박사
- 1993년 NIST, Post-Doctoral Research Fellow
- 1994년 삼성전자 반도체 연구소 선임연구원
- 1998년 서울대학교 재료공학부 조교수
- 2003년 서울대학교 재료공학부 부교수