

리모트 플라즈마 원자층 증착 기술

글 _ 전형탁 || 한양대학교 신소재공학과
hjcon@hanyang.ac.kr

1. 서론

원자층 증착 기술 (Atomic Layer Deposition)은 기판 표면에서 한원자층의 화학적 흡착 및 탈착을 이용한 nano-scale 박막 증착기술이다. 본 기술은 각 반응물질을 개별적으로 분리하여 펄스 형태로 챔버에 공급하여 기판표면에서 반응물질의 자기제어(self-limited)반응에 의한 화학적 흡착 및 탈착을 이용한 새로운 개념의 박막 증착기술이다. 이증착 기술은 1973년 핀란드의 헬싱키 대학의 T. Suntola¹⁾ 교수 팀이 처음 제안을 하였으며 처음에는 박막 내 불순물 함량을 줄이고 정밀한 박막 두께와 박막 화학 성분의 조성 제어를 목적으로 연구를 시작하였다. 본 증착 방법은 주로 화합물반도체, 산화물, 질화물 등과 같은 화합물 박막을 제조하기 위해 개발되었지만 그 후 모든 박막 물질을 증착하는 기술로 연구가 확대되었다. 이 ALD기술이 처음 적용된 분야는 발광(electroluminescence) 평판 디스플레이 소자를 위한 황화아연(ZnS)의 다결정질 또는 비정질 구조의 박막 및 절연막을 갖는 소자에 적용되었고, 그 후 90년대에 반도체 소자의 미세화와 고집적화가 가속을 받게 되면서 실리콘 공정분야로 ALD에 대한 관심이 급속도로 모아지게 되었다. ALD 기술의 특징으로는 먼저 반응가스를 pulse 형태로 주입하므로 박막의 조성 및 두께 조절이 용이하며, purge 공정을 삽입하기 때문에 불순물이 적고, 화학 반응이 형성될 수 있는 불순물 입자의 형성을 효과적으로 억제할 수 있다. Fig. 1과 같이 ALD 공정은 일반적으로 1주기(cycle)에 4 단계인 ‘A source(전구체)공급 → 배기(purge) → B source(반응가스)공급 → 배기(purge)’공정을 거치면서 공정조건에 따라 평균 0.6~2 Å/cycle(주기) 정도의 박막을

증착한다. 또한 표면 반응제어가 우수하여 박막의 물리적 성질의 재현성이 우수하고, 대면적에서도 균일한 두께의 박막 형성이 가능하며 우수한 계단 도포성을 확보할 수 있다.

ALD에 의한 박막증착의 가장 일반적인 방법은 halide 계통 소스를 이용한 thermal ALD 증착 방법이다. 이 경우 소스가 저가이며 반응성이 좋은 장점이 있지만 대부분의 halide 계통 소스는 고체 상태이기 때문에 산업현장에는 생산성이 낮아 적용하기가 힘든 단점이 있다. 그리고 공정 부산물로 나오는 HCl이 장비를 부식시키기 때문에 관리하는 것에서도 많은 문제점이 나타난다. 이러한 문제점을 해결하기 위해 나타난 대안이 유기금속(Metal-Organic) 소스를 사용한 유기 금속 ALD (MOALD)이다. MOALD는 halide 소스를 사용할 때와 달리 장비 부식의 문제점이 없고, 유기금속소스가 액체 상태로 상온에서 존재하기 때문에 여러 가지 방법의 증착이 가능하며 저온공정이 가능하다는 장점이 있다.²⁾ 그러나 상대적으로 불순물인 탄소와 산소의 함유량이 많고, 비저항 값이 크며, 박막의 밀도가 상대적으로 낮다는 단점이 있다. 따라서 MOALD의 문제점을 해결하기 위하여 나온 방법이 플라즈마를 이용한 원자층 증착법 (Plasma Enhanced Atomic Layer Deposition)이다.³⁾ 플라즈마는 소스간의 반응성을 좋게 하여, 소스의 선택의 폭이 넓어지게 하고, 박막의 성질을 좋게 하며, 생산성을 높일 수 있는 장점이 있다. 특히 MOALD의 가장 큰 단점인 다량의 불순물의 함유량이, 플라즈마를 사용함으로써 크게 개선 될 수 있다. 그러나 플라즈마를 사용함으로써 플라즈마 내에 이온들에 의해 박막 증착시 기판 및 박막에 손상을 입힐 수도 있어 박막의 특성을 열화시킬 가능성이

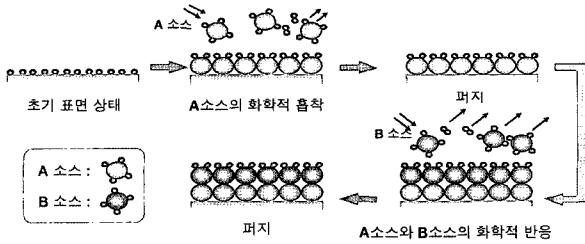


Fig. 1. ALD mechanism.

있다. 따라서 플라즈마 발생 영역을 기판으로부터 멀리 떨어뜨린 리모트 플라즈마 원자층 증착 공정 (Remote Plasma Atomic Layer Deposition)이 개발되었다.⁴⁾ 이 기술은 플라즈마에 의한 이온들의 영향을 최소화하고 반응성이 좋은 라디칼과의 반응을 유도하여 향상된 막질을 얻을 수 있도록 하였다. 따라서 이 리모트 플라즈마 원자층 증착 기술은 앞으로 테라급 나노소자를 개발하기 위한 나노 박막 기술에 있어서 중요한 증착 방법 중의 하나로 응용이 될 것이다. 따라서 본고에서는 리모트 플라즈마 원자층 증착 방법을 이용하여 증착한 게이트 산화막과 확산 방지막에 대해서 소개하고자 한다.

2 리모트 플라즈마를 이용한 박막 증착

2.1 게이트 산화막

반도체 소자의 고집적화 및 고속화가 요구됨에 따라 집적회로의 크기를 혁신적으로 축소하여 스위칭 속도 (switching speed)를 증가시키고, 전력손실 (power dissipation)을 줄이려는 시도가 이루어지고 있다.⁵⁾ 반도체 소자의 속도는 크게 signal이 발생하는 transistor의 동작 속도와 금속선을 통해 signal의 전달에서 발생하는 delay에 의해서 결정된다. Transistor에서는 channel의 거리를 줄이고 gate oxide를 줄임으로써 고속화를 이루어 왔다. Gate oxide로 현재 사용되고 있는 SiO₂는 Si 기판 위에서 열역학적으로, 전기적으로 안정하고, 양질의 Si-SiO₂ 계면을 가지며, 뛰어난 절연특성을 유지하는 등의 장점을 갖는다. 그러나, 반도체 소자의 고집적화 및 고속화에 따라 향후 100 nm급 이하의 소자를 위해서는 15 Å 이하 두께의 게이트 산화막이 요구되는데, SiO₂는 이러한 두

께 범위에서 게이트 누설전류⁶⁾, boron penetration⁷⁾, 다결정 실리콘 게이트의 공핍효과 등의 문제점을 나타낸다. 결국 gate oxide 두께가 감소할수록 전자의 양자 역학적인 tunneling이 증가하여 leakage current 특성이 나빠지게 된다. 누설전류가 클수록 소자의 소비 전력이 커지고, transistor의 수명이 짧아지는 등의 많은 문제가 발생하게 된다. 2010년경에는 32 nm technology 기반의 CMOS 공정에서 등가산화막 두께 (Equivalent Oxide Thickness)가 1 nm 이하로 줄어들 것으로 예견되고 있다. 기존의 SiO₂ 기반의 게이트 산화막은 이러한 두께에서 동작이 거의 불가능하기 때문에 새로운 게이트 산화막으로 사용될 물질이 필요하게 되었다. 이 새로운 게이트 산화막은 큰 유전율을 가지고 기존의 Si 공정에 사용 가능하여야 한다. 고유전율의 게이트 산화막이 필요한데 그 이유는 유전율이 크면 동일한 capacitance를 내는데 필요한 물리적인 두께를 늘릴 수 있으며 동시에 전자의 tunneling을 억제할 수 있기 때문이다. 이러한 한계를 극복하기 위해 절연성이 뛰어나고 유전율이 높으며 유전 손실이 적은 고유전(high-k) 물질의 개발이 시급하게 요구되고 있다. High-k 재료는 SiO₂에 비하여 상대적으로 두꺼운 두께로 동일한 특성을 유지할 수 있고, 캐리어 tunneling을 줄일 수 있어 EOT (Equivalent Oxide Thickness)를 더욱 축소시킬 수 있다는 장점이 있다⁸⁾. 많은 고유전 물질들이 테라급 CMOS 소자에서 차세대 게이트 유전막으로 거론되고 있다. 이와같은 소자에 게이트 산화막으로 사용되기 위해서 높은 유전상수 열역학적 안정성, 낮은 계면 전하밀도, 전극 물질과의 양립성 등의 특성이 요구되는데, 이에 따라 많은 유전물질에 대한 연구가 진행되었다. 일부 금속 산화물 (Ta₂O₅⁹⁾, TiO₂¹⁰⁾, STO¹¹⁾, BST 등)은 실리콘 기판과 직접 접촉시 상호 확산 반응으로 계면에서 실리사이드나 실리케이트가 생성되어 이를 방지하기 위한 buffer layer가 필요한 것으로 보고되고 있다. 또한 STO나 BST 같은 매우 높은 유전 상수를 갖는 물질은 FIBL (fringing field induced barrier lowering) 효과를 일으킬 수 있으며 CeO₂나 Y₂O₃¹²⁾ 같은 비교적 낮은 유전상수를 갖는 물질들은 유효산화막 두께를 크게 감소시킬 수 없으므로 SiO₂나 Si₃N₄에 비하여 큰 장점을 나타

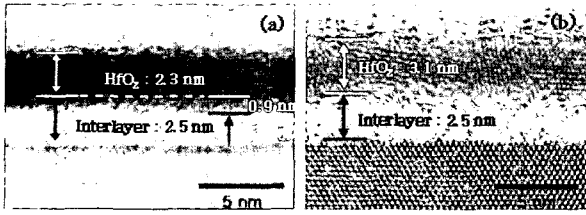


Fig. 2. (a)리모트 플라즈마 원자층 증착법과 (b)다이렉트 플라즈마 원자층 증착법으로 250 °C에서 Si 기판 위에 증착된 HfO₂ 박막의 TEM (Transmission Electron Microscopy) images.

내지는 않는다. 따라서 high-k 물질들 중에서 Al₂O₃, HfO₂, ZrO₂ 등이 널리 연구되어지고 있는 상황이다. 이중에 HfO₂의 경우는 dielectric constant 값이 크고 (~30), band gap이 크며 (~5.68 eV), 높은 heat of formation (271 kcal/mol)을 가지고 있다. 또한 실리콘 기판과의 접촉에서 열적으로 안정하며 실리콘과의 격자상수 차이가 적고 (a=5.11 Å, a_{Si}=5.43 Å) 밀도가 높고 (9.68 g/cm³), polysilicon과의 접촉성이 우수한 것이 장점이라 할 수 있다.¹³⁾ 따라서 본고에서는 HfO₂를 게이트 산화막으로 적용하여 리모트 플라즈마 원자층 증착법에 의해 증착된 박막의 특성에 대해 대략적으로 설명 하고자한다.

Fig. 2는 리모트 플라즈마와 다이렉트 플라즈마 원자층 증착법으로 증착된 HfO₂ 박막을 TEM으로 관찰한 것이다. 이 박막은 일반 화학기상 증착방법 (CVD)보다 낮은 250°C에서 증착한 것이다. 리모트 플라즈마 원자층 증착법으로 성장된 HfO₂ 박막은 HfO₂ 층이 비정질 구조를 보여주는 반면 다이렉트 플라즈마 원자층 증착법으로 성장된 HfO₂ 층은 다결정질 구조로 형성된 것을 보여 주고 있다. 이는 다이렉트 플라즈마의 반응종의 물리적 반응이 활발하여 박막의 결정화가 진행된 것으로 판단된다. 또한 Fig. 3의 MEIS 결과는 증착된 HfO₂ 박막의 계면층은 SiO_{2-x}와 Hf-silicate 층으로 구성되어 있다는 것을 보여주고 있고, 다이렉트 플라즈마로 증착된 박막의 SiO_{2-x}의 물리적 두께가 리모트 플라즈마의 경우보다 두꺼운데 반해 Hf-silicate 층의 두께는 상대적으로 얇은 것을 보여 주고 있다. 이러한 두 박막의 stoichiometry 변화는 다이렉트 플라즈마의 energetic 한 반응종이 Si 기판에 손상을 주고 Hf 와 SiO_{2-x}의 반응을 촉진하여 발생된 것이라

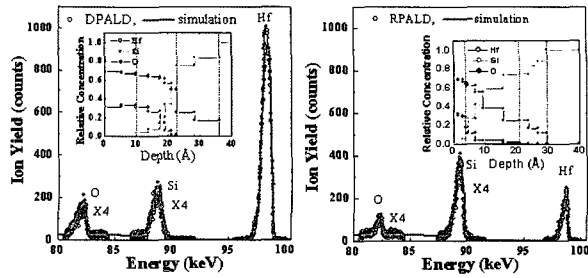


Fig. 3. 리모트 플라즈마 원자층 증착법과 다이렉트 플라즈마 원자층 증착법으로 증착한 HfO₂ 박막의 MEIS 결과.

보고되었다.¹⁴⁾

Fig. 4는 MOS capacitor의 특성을 보여주는 CV data이고 이는 리모트 플라즈마의 낮은 equivalent oxide thickness (EOT) 특성을 보여주고, 또한 리모트 플라즈마로 증착된 HfO₂ 박막이 다이렉트 플라즈마의 경우보다 계면이 평탄하고 defect charge의 양도 적어 계면 특성이 우수한 것으로 판단되어 진다.

이와 같이 위 실험에서의 연구 결과를 살펴보면 리모트 플라즈마 원자층 증착법을 이용한 High-k 박막에서 나타나는 특성이 다이렉트 플라즈마 원자층 증착법에 비해 우수한 것으로 판단된다.

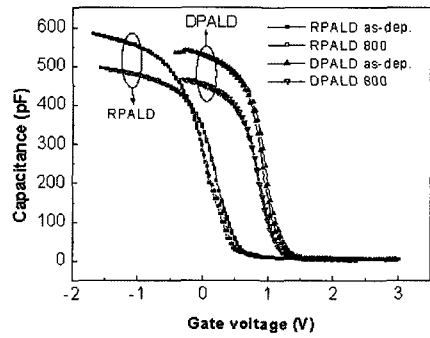


Fig. 4. 리모트 플라즈마 원자층 증착법과 다이렉트 플라즈마 원자층 증착법으로 증착한 HfO₂ 박막의 capacitance-voltage (C-V) 특성.

2.2 확산 방지막

반도체소자의 제조기술이 나노 scale까지 내려가면서 소자의 크기는 극도로 축소된 반면 단위 박막에 부여되는 집적도는 증가 하였다. 이에 높은 집적도를 가지려면 집적회로의 크기가 감소해야 하는데 집적회로의 크기가

감소하게 되면 전체적으로 회로 내에 신호전달 시간은 작아지나 배선의 선폴을 감소시키거나 배선층을 증가시켜야 하는 문제점이 있다. 배선의 선폴을 감소시킬 경우 배선의 저항이 증가하게 되고 배선내의 기생 저항도 증가하게 되는데 이러한 현상으로 인하여 신호전달 지연 시간이 증가하게 되어 회로내의 속도가 감소하게 된다. 이러한 집적도의 증가에 따른 배선 선폴의 감소와 배선 총길이의 증가는 결국 배선의 저항을 높일 뿐만 아니라 전기적 이동(electro migration) 및 응력이동(stress migration)에 대한 저항성을 떨어뜨려 배선 재료에 대한 신뢰성을 떨어뜨린다. 이 해결방법으로 금속배선을 전기적 이동과 응력이동에 대한 저항이 우수한 Cu로 집적화 하는 방법이 도입되었다. Cu는 Al과 비교해서 비저항이 (1.67 $\mu\Omega\text{cm}$ for bulk) 낮을 뿐만 아니라, 앞서 말한 electro migration과 stress migration에 대한 저항성이 우수하기 때문에 차세대 금속배선 재료로 생각되어지고 있다.¹⁵⁾ 그러나 배선공정에 적용을 하기 위해서는 여러 가지 문제점이 있다. Cu는 Si 및 SiO₂ 내에서의 확산 속도가 매우 커서 Cu 배선 전체가 확산 방지막에 의해 encapsulation이 필수적으로 수행되어야한다.

배선물질로 적용되어지는 Cu의 확산 방지막에 대한 연구는 W¹⁶⁾, Ta¹⁷⁾, WN¹⁸⁾, TaN^{17,18)}, TiN^{19,20)}, TiAlN, TiSiN²¹⁾ 등의 다양한 물질들로 많은 연구가 진행되어 왔다. 특히 TiN과 같은 이성분계 확산 방지막은 열적 안정성이 우수하고, 비저항이 전이금속 질화물 계통에서 낮으며(20 $\mu\Omega\text{cm}$ for bulk TiN) 좋은 접착력(adhesion)을 갖고 있어 etch back 공정이 용이하여 기존의 배선재료인 Al 합금과 Si 사이의 우수한 확산 방지막으로 널리 사용되어져왔다.¹⁹⁻²¹⁾ 따라서 기존의 Al 배선공정에서 가장 많이 쓰이던 TiN 박막이 Cu 배선 공정에서도 확산 방지막으로 연구되어지고 있다. 이에 확산 방지막 물질로써 TiN을 선정하였으며, 금속-유기물 원자층 증착법(MOALD)과 리모트 플라즈마 원자층 증착법으로 각각의 TiN 박막을 증착하여 특성을 비교하고자 한다.

금속-유기물 원자층 증착법(MOALD)과 리모트 플라즈마 원자층 증착법으로 증착한 TiN 박막의 화학적 조성 과 불순물의 함량을 AES를 사용하여 분석하였다. Fig. 5

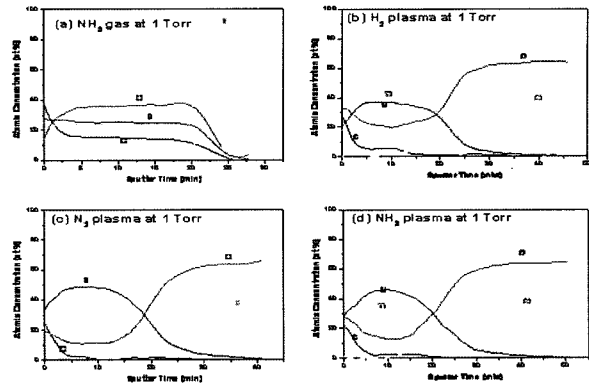


Fig. 5. (a)NH₃ gas를 이용하여 금속유기물 원자층 증착법으로 증착한 TiN과 각각의 (b)H₂, (c)N₂, (d)NH₃ plasma를 이용하여 리모트 플라즈마 원자층 증착법을 이용하여 증착한 TiN의 AES depth profile 결과.

에서는 공정압 1 Torr에서 증착한 TiN 박막의 AES depth profile를 나타내고 있다. Fig. 5(a)는 NH₃ 가스를 이용하여 금속-유기물 원자층 증착법으로 증착한 TiN 박막의 AES 결과이다. 탄소의 함량이 대략 15 at.% 정도 높게 검출되었는데, 이는 소스 내 결합된 리간드를 충분히 제거하지 못하였기 때문에 불순물이 증가한 것으로 판단되어진다. 반면에 H₂, N₂, 그리고 NH₃ 플라즈마(Fig. 5(b)-(d))를 사용하여 리모트 플라즈마 원자층 증착법으로 증착한 TiN 박막 내에서 탄소의 함량은 각각 6 at.%, 3 at.%, 그리고 2 at.%으로 급격히 감소한 것으로 측정되어졌다. 이는 금속-유기물 원자층 증착법에 비해 리모트 플라즈마 원자층 증착 시 플라즈마에 의한 라디칼의 영향으로 화학적 또는 물리적 반응으로 결합되어진 리간드를 쉽게 제거하였기에 막 내 불순물의 함량이 낮아진 것으로 판단된다. 이에 불순물의 함량 변화를 Table 1에 정리하여 비교하였다.

Fig. 6은 contact hole에 리모트 플라즈마 원자층 증착

Table. 1. 금속유기물 원자층 증착법과 다양한 플라즈마를 이용하여 리모트 플라즈마 원자층 증착법으로 증착한 TiN막 내의 불순물 함량 변화.

Reactant gas	Composition(at.%)			
	Ti	N	C	O
NH ₃ gas (MOALD)	25	26	13	36
H ₂ plasma (Remote PEALD)	37	37	6	20
N ₂ plasma (Remote PEALD)	37	48	3	12
NH ₃ plasma (Remote PEALD)	37	47	2	14

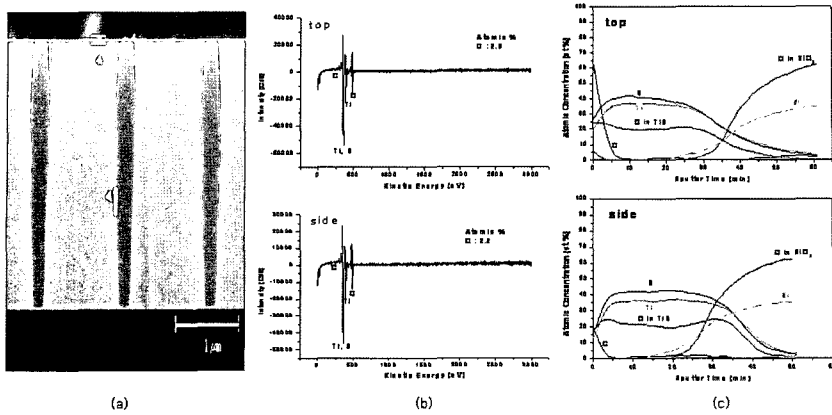


Fig. 6. 250°C에서 0.25 μm wide and 2.5 μm deep 크기의 contact hole에서 리모트 플라즈마 원자층 증착법으로 증착한 TiN 박막의 FESEM 사진과 contact hole에서의 top과 side의 carbon 함량을 AES survey 및 depth profile로 분석한 결과.

법으로 증착한 TiN 박막의 FESEM 사진과 contact hole에서의 top과 side의 carbon 함량을 AES survey 및 depth profile로 분석한 결과를 나타내고 있다. AES survey의 경우 AES 장비에서 pre-sputtering 방법으로 TiN 박막을 40~50 Å 정도 Ar sputtering 한 후 분석을 진행하였다. FESEM 결과(Fig. 6(a))에서 알 수 있듯이 리모트 플라즈마 원자층 증착법에 의해 contact hole에 증착된 TiN 박막은 우수한 단차 도포성을 나타내고 있으며, top과 side에서 각각 2.0와 2.2 at.%의 carbon 함량(Fig. 6(b))을 갖는 균일한 박막이 증착되어졌다. 이 결과를 좀 더 정확하게 측정하기 위해서 Fig. 6(c)에서 보듯이 AES depth profile로 분석해 본 결과 동일한 결과인 불순물의 함량을 나타내었다. 이렇게 균일한 carbon 함량을 갖는 이유는 리모트 플라즈마 원자층 증착법으로 증착할 시 플라즈마의 loss 없이 top과 side에 균일한 radical density에

의해 반응이 이루어지는 것으로 판단되어지며, 이 결과 bottom에서도 플라즈마의 loss가 없는 반응이 이루어져 top, side 그리고 bottom에서 모두 균일한 조성을 갖는 박막을 증착시킨 것으로 판단된다.

단차 도포성(step coverage)을 좀 더 정확히 확인하기 위하여 폭이 0.25 μm , 높이가 2.5 μm (aspect ratio=10:1)인 contact hole에 리모트 플라즈마 원자층 증착법으로 N_2 플라즈마를 사용하여 TiN 박막을 증착하여, XTEM으로 단면

을 관찰하였다. Fig. 7에서는 N_2 플라즈마를 사용하여 증착한 TiN 박막의 XTEM 결과로 top, side와 bottom의 증착된 두께가 각각 92 Å, 94 Å, 그리고 88 Å으로 약 95% 이상의 단차 도포성을 갖는 우수한 박막이 증착되어졌다. 이것은 원자층 증착법 공정의 전형적인 특징으로 리모트 플라즈마 원자층 증착 공정중에 self-limited mechanism에 의해 균일한 성장과 함께 균일한 플라즈마 라디칼 density에 의해 우수한 단차 도포성을 보이는 것으로 판단된다.

이와 같이 리모트 플라즈마 원자층 증착법으로 형성된 TiN 확산방지막이 물리적, 화학적, 전기적으로 우수한 특성을 보여줌으로써 실제 반도체 공정에서 리모트 플라즈마 원자층 증착법이 사용될 수 있을 것으로 기대된다.

3. 결 론

세계 반도체산업은 회로선폭의 미세화와 대면적의 실리콘 웨이퍼를 통해 생산성을 향상하고 기술력을 발전시키려고 하고 있다. 이에 따라 반도체를 더욱 미세화, 고집적화 할 수 있는 제조장비 및 공정의 개발이 매우 시급한 상황이다. 최근에는 반도체 소자 업체에서 100 nm급의 소자에 대한 연구가 끝나고 양산 적용을 위한 단계에 이르렀으며 연구소에서는 45nm에서 32nm 급 소자까지 연구하고 있다. 이와 같은 나노급 소자에서 요구하는 박

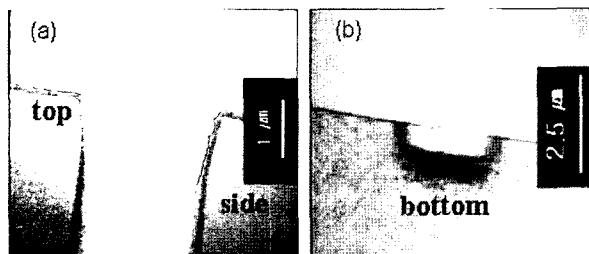


Fig. 7. NH_3 plasma를 이용하여 리모트 플라즈마 원자층 증착법을 이용하여 contact hole에 증착한 TiN 박막의 TEM image.



막의 두께가 1~2nm이고 원자적으로 균질하고 밀도가 높은 박막 제작이 가능한 원자층 증착 기술이 필요하게 되었으며 그 중 리모트 플라즈마 원자층 증착 기술은 나노 급 소자 제조에 매우 중요한 증착 기술이 될 것이다. 본 기술은 나노 소자제작에 매우 중요한 박막인 게이트 산화막 개발이나 확산 방지막 개발에 요소 기술이 될 것이며 차세대 소자 개발에 큰 부분을 담당할 것이다.

참고문헌

1. T. Suntola, Handbook of Crystal Growth 3 (ed., D. T. J. Hurle), 601 (1994).
2. J. Y. Kim, S. Seo, D. Y. Kim, H. Jeon, and Y. Kim, *J. Vac. Sci. Technol. A*, **22**, 1 (2004)
3. S. Choi, J. Koo, Y. Kim and H. Jeon, *J. Korean Phys. Soc.* **44**, 35 (2004).
4. Y. Won, S. Park, J. Koo, S. Kim, J. Kim, and H. Jeon, *Appl. Phys. Lett.* **87**, 262901 (2005)
5. R. H. Dennard, F. H. Gaensslen, H. -N. Yu, V. L. Rideout, E. Bassous, and A. R. LeBlanc, *IEEE J. Solid-State Circuits*, **9**, 256 (1974).
6. R. Rios, and N. D. Arora, *Tech. Dig. Int. Electron Devices Meet.* 1994, 613 (1994).
7. M. Cao, P. V. Voorde, M. Cos, and W. Greene, *IEEE Electron Device Lett.* **19**, 291 (1998).
8. G. D. Wilk, and R. M. Wallace, *Appl. Phys. Lett.* **76**, 1 (1999).
9. P. K. Roy, and I. C. Kizilyalli, *Appl. Phys. Lett.* **72**, 2835 (1998).
10. C. J. Taylor, D. C. Gilmer, D. Colombo, G. D. Wilk, S. A. Campbell, J. Roberts, and W. L. Gladfelter, *J. Am. Chem. Soc.* **121**, 5220 (1999).
11. R. A. McKee, F. J. Walker, and M. F. Chisholm, *Mater. Res. Soc. Symp. Proc.* **567**, 415 (1999).
12. S. Guha, E. Cartier, M. A. Gribelyuk, N. A. Borjarczuk, and M. A. Copel, *Appl. Phys. Lett.* **77**, 2710 (2000).
13. Y. Ma, Y. Ono, L. Stecker, D. R. Evans, and S. T. Hsu, *IEEE, IEDM* 99-149 (1999).
14. J. Kim, S. Kim, H. Jeon, M.-H. Cho, K.-B. Chung and C. Bae *Appl. Phys. Lett.* **87**, 053108 (2005).
15. Ivo J. Raaijmakers et al., VMIC conference., 219 (1990).
16. Semiconductor Technology Handbook, 5th edition, Technology Associates, Ca (1985).
17. M. Uekubo, T. Oku, K.Nii, M. Murakami, K. Takashiro, S. Yamaguchi, T. Nakano, and T. Ohta, *Thin Solid Films*, **286**, 170 (1996).
18. T. Oku, E. Kawakami, M. Uekubo, K. Takahiro, S. Yamaguchi, and M. Murakami, *Appl. Surf. Sci.*, **99**, 265 (1996).
19. M. H. Tasi, S. C. Sun, C. E. Tsai, S. H. Chuang, and H. T. Chiu, *J. Appl. Phys.*, **79**, 6932 (1996).
20. M. Ritala, M. Leskel, E. Rauhala, and J. Jokinen, *J. Electrochem. Soc.*, **145**, 2914(1998).
21. N. Toyama, *Solid State Electron*, **26**, 37 (1983).

전형탁



- 1982년 한양대학교 공과대학 금속공학과 학사
- 1984년 한양대학교 공과대학 금속공학과 석사
- 1991년 North Carolina State university 재료 공학 박사
- 1991년 현대전자 반도체 연구소 선임연구원
- 1992년-현재. 한양대학교 신소재공학부 교수