

PLA를 이용한 VLSI의 회로설계에 관한 연구 (A study on VLSI circuit design using PLA)

송홍복(Hong-Bok Song)¹⁾

요약

본 논문에서는 최근의 64비트 마이크로프로세서에 대해서 PLA설계법 및 검사가 쉽고 용이하도록 하는 방법에 대해서 논하였다. VLSI에서 RAM, ROM, PLA를 사용한 설계법이 정착 되어가고 있으며 PLA는 논리설계와 회로변경 및 검사가 용이하기 때문에 성능과 가격이 중요하다. 향후에도 PLA는 VLSI 설계의 기본요소로서 중요한 위치를 점유할 것이다

ABSTRACT

In this paper, a method how to make Programmable Logic Array (PLA) design and inspection of circuit relative to recent 64bit microprocessor simple and easy was discussed. A design method using Random Access Memory (RAM), Read Only Memory (ROM) and PLA has been settled down in Very Large Scale Integrated Circuit (VLSI) and logical design, modifying circuit and inspection are easy in PLA so it holds fairly good advantages in the aspect of performance and cost. It is expected PLA will also occupy an important position as a basic factor in designing VLSI in the future

논문접수 : 2006. 5. 1.

심사완료 : 2006. 5. 29.

1) 정회원 : 동의대학교 공과대학 전자공학과
교수

1.서론

VLSI에 대한 논리설계 법은 여러 서적에서 많이 출판되고 또한 기본적인 사항들도 서술되어 있다. VLSI는 수십만 개의 TR을 접속하고 (논리설계), 신호지연과 잡음 등을 충분히 고려하여 올바르게 배선을 수행한다. 이들을 수행을 착오 없이 수행하기 위해서는 자동설계시스템을 사용하는 것은 필수적이다. 아직까지 제조 시에 이들의 TR이 정확히 동작하고 있는 것을 확인하는 것은 어렵다. 마이크로프로세서 등과 같이 복잡한 회로에서 기능을 수백 개의 입출력 핀을 사용해서 검사하는 것은 쉬운 것은 아니다. 결국 VLSI의 설계방법은 자동시스템을 구사할 수 있고 동시에 검사 용이한 설계 방법이라고 할 수 있다. ROM, RAM, PLA(Programmable logic array)를 많이 사용하고 단순화한 설계기준을 이용하면 설계를 간단히 할 수 있다. PLA은 규칙적 구조를 가지기 때문에 논리설계와 검사가 간단하고, 설계에서 검사에 이르기 까지 한번에 자동화 처리가 용이하다. 단, 램덤 논리에 비해서 면적과 성능에서 다소 떨어진다. 그러나 VLSI의 집적도가 점점 높아지고, 설계기간, 디버그, 사양변경의ac 유a연한 변경 등의 문제를 고려하면 PLA의 사용은 필수적이다. VLSI 비용의 1/3은 검사비용이다. 마이크로프로세서는 대량생산으로 되는 다양한 사용자에게 여러 종류의 형태로 이용되어지기 때문에 성능과 가격이 중요하다. 성능이 떨어지지 않도록 PLA를 이용하는 기술, 검사의 비용을 줄이는 기술이 개발되고 있다. 제 2장에서는 PLA를 이용한 설계법을 서술하고, 제3장에서는 검사 간단화설계법에 대해서 서술한다. 제4장에서는 최근에 개발된 마이크로프로세서(ATT WE 32100, Motorola MC 68020, IBM Micro/370, Berkeley SOAR, INTEL 80386)에서 PLA 설계 예 및 검사 간단화 설계 예를 소개한다.

2. PLA를 이용한 설계법

2.1 PLA의 개념

조합논리 진리치표를 직접 표현한 ROM에서 실현가능하다. 따라서 n변수함수를 실현하기 위해서는 2n개가 필요하기 때문에 2ⁿ가 크면 실용적으로 되지 못한다. 보통 제어회로 등에서는 기능들을 진리치표에서 실현하기보다도 논리 식으로 표현하는 것이 훨씬 간단하다. 진리치표대신 논리 식을 이용하는 것이 PLA이다. 예를 들면 <표1>의 진리치표를 PLA로 표현하기 위해서는 f₀과 f₁을 표현하는 논리함은 다음과 같다.

<표1> 진리치표
<Table.1> Truth Table

x ₁	x ₂	x ₃	f ₀	f ₁
0	0	0	0	1
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0
1	0	0	0	0
1	0	1	1	1
1	1	0	1	0
1	1	1	1	0

$$f_0 = x_1 x_2 \vee x_1 \overline{x_2} x_3$$

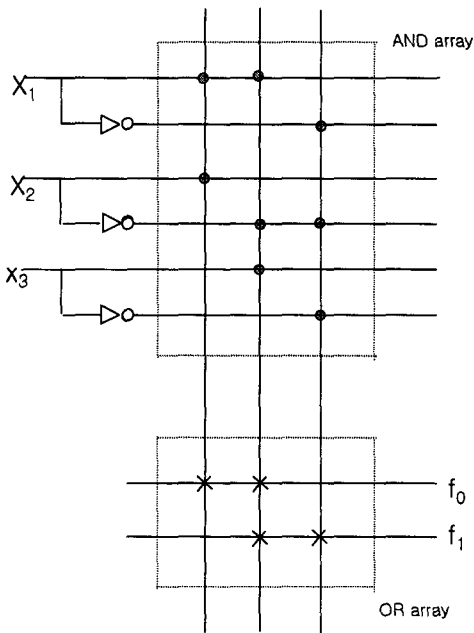
$$f_1 = \overline{x_1} \overline{x_2} x_3 \vee x_1 \overline{x_2} x_3$$

<표 1>을 PLA로 회로를 구성하면 [그림1]과 같다. AND 어레이의

$x_1 x_2$, $x_1 \overline{x_2} x_3$, $\overline{x_1} \overline{x_2} x_3$ 각 적항선은 좌에서 각각 적항을 실현한다. 또 OR 어레이는 각 적항의 논리합을 실현한다. 이 PLA에서 제 2번째 적항은 f₀과f₁ 양방향의 출력에 접속하고 있다. 따라서 f₀과f₁를 따로따로 최소화하면 적항은 4개가 필요하다. 이것에서 알 수 있듯이 PLA를 최소화를 위해서는 모든 출력을 동시에 고려한 다출력 함수의 간단

화가 필요하다. PLA는 규칙적 구조를 가지기 때문에 다음과 같은 특징을 가지고 있다.

- 1) 논리회로를 설계하는데 비교적 용이하다.
- 2) 레이아웃이 간단하다.
- 3) 논리회로가 설계 변경이 용이하고 변경을 행하여도 주변회로에 별 영향을 주지 않는다. 위와 같은 특징 때문에 PLA는 설계에서 검사에 이르기 까지 처리를 거의 자동화로 할 수 있고, 또 논리설계의 단계에서 칩면적의 추정을 할 수 있다.



[그림1] [표1]의 함수를 실현한 PLA
[Fig.1] PLA realized [Table.1] function

2.2 PLA 의 감축

2.2.1 논리식의 간단 화

종래에는 논리식의 적항수의 최소화는 입력수가 10을 초과하면 계산시간이 상당히 증가해서 대형 컴퓨터를 사용해도 최소화는 곤란했었다. 그러나 수년간의 연구에 걸쳐서 입력수가 20개 이하에서 적항수의 최소화가 가능하게 되

었다. 또한 입력수가 50-100, 출력수가 50-100개 정도가 논리식의 간단화가 실용 시간 내에서 행하여지도록 되었다. 최근 문제가 되고 있는 것은 다치입력 다치출력함수의 논리식의 간단화이다. 다치논리식의 간단화는 다음에 논하기로 하고, 2비트디코더를 갖는 PLA간단화, PLA를 이용한 순서회로가 최적부호할당, PLA이 분해이외에 다출력 함수의 간단화, 다단논리회로의 합성, 마이크로프로세서의 최적화에 이용할 수 있다. 다치논리식의 간단화 프로그램으로서는 MINI, MINI-II, ESPRESSO-MV가 있고, 최소화 프로그램으로서는 QM, ESPRESSO-EXACT가 있다.

2.2.2 디코더

보통 AND-OR형 PLA의 인버터의 부분을 2비트 디코더로 바꾸어 놓으면 AND 어레이 부분이 작아지게 된다. 특히, 자성(떡)함수가 대칭성을 갖는 경우 어레이 부분은 크게 줄어든다. 2비트 디코더를 갖는 PLA의 경우 입력변수를 2개씩 대하지만 변수의 조합에 의해서 필요한 적항수가 크게 변한다. 디코더를 갖는 PLA의 간단화는 다치논리간단화 프로그램을 이용한다. 입력변수의 할당에는 Heuristic법이 개발되고 있다. 제어회로이 경우 입력변수의 할당을 고려한 2비트 디코더를 갖는 PLA는 보통 PLA에 비해서 적항수가 2할 정도 적다. 단, 디코더 부분에는 여분이 하드웨어가 필요하다.

2.2.3 출력위상 최적화

PLA출력부에는 버퍼(Buffer)를 부착하고 있다. 버퍼로서는 반전형과 비 반전형이 있지만 칩면적과 지연시간은 어느 경우에도 동일하다. 예를 들면, $f = x_1 x_3 \vee x_1 x_4 \vee x_2 x_3 \vee x_2 x_4$ 라고 하는 함수를 그대로 실현하면 적항수는 4개가 필요하다. 단, f 대신에 \bar{f} 를 실현하면 $\bar{f} = \overline{x_1 x_2 \vee x_3 x_4}$ 로 되고, 적항수는 2개면 충분하다. 일반적으로 출력수m의

PLA에서 적항수가 최소가 되도록 각 함수의 출력극성을 선택하는 문제를 출력위상최적화문제라 한다. 이 문제는 2 개의 모든 조합에 대하여 다출력 논리식의 간단 화를 실행하면 좋지만 m 이 클 경우에는 계산시간이 너무 커서 실용적으로는 되지 못한다. 비교적 좋은 해를 단시간 내에 찾는 Heuristic법이 개발되고 있다. 이 방법을 이용하면 계산연산회로의 경우에는 약 10%, 제어회로의 경우 약 5% 적항수를 줄일 수 있다. 그러나 PLA로는 30%정도 줄일 수 있다.

2.3 PLA의 합성과 분해

PLA를 크게 하기 위해서는 어레이의 무정의 (Don't care)부분이 증가하면 칩의 이용률이 나쁘게 된다. PLA의 적항수를 증가하면 지연시간이 증가한다. 또한 신호선이 다수의 부하를 구동하기 때문에 소비전력도 증가한다. 이들의 문제를 해결하기 위해서는 합성과 분해가 있다.

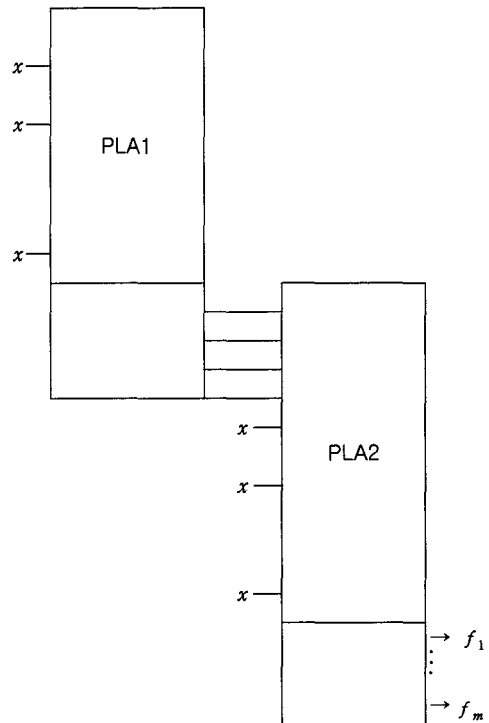
2.3.1 PLA합성

합성은 PLA의 입력 선을 좌우로 증가하고 적항 선을 할당에 바꾸어 넣어서 불필요한 부분을 제거해서 출력 선을 좌우로부터 추출해서 PLA의 크기를 줄이는 방법이다. 합성방법으로서의 알고리즘은 여러 가지로 고안되어 있다. 합성의 PLA는 일반적인 PLA에 비해서 어레이의 크기를 반으로 줄일 수 있다고 하지만 거의 줄어들지 않는 PLA도 있다. 합성에서 PLA의 크기를 줄여도 배선부분이 복잡하게 되고 전체의 면적이 원래의 PLA보다 크게 되는 것도 있다. 합성의 PLA는 회로의 변경이 복잡하고 장래의 수정이 예측되는 부분에는 사용되지 않는다. 또한 배선부분의 용량예측이 곤란하고 MOS회로 등에서 동작속도가 부하의 용량에 크게 의존하는 경우에는 안정적으로 상용할 수 없다. 이처럼 합성의 기술에는 현 시점에서는

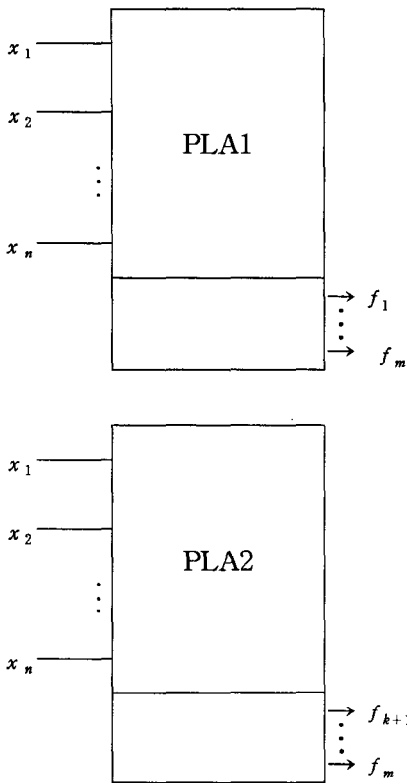
실용상이 문제점이 많다. <표2>의 마이크로프로세서에서 사용되지 않는다.

2.3.2 분해

PLA의 분해는 합성보다도 간단하다. 잘 실행하면 합성보다도 훨씬 좋은 결과를 얻을 수 있다. 분해란 출력의 논리함수 성질을 상세히 분석해서 대규모인 함수를 몇 개의 함수로 작게 분할 PLA로 실현하는 기술이다. 이것과 유사한 기술은 분할이 있다. 분할은 PLA의 패턴만 주목해서 논리함수로서 취급되어지지 않는다. 분해는 [그림2]와 같이 직렬분해와 병렬분해가 있다.



(a) 직렬 분해
(a) Serial Decomposition



(b) 병렬 분해

(b) Parallel Decomposition

[그림2] PLA 분해

[Fig.2] PLA Decomposition

직렬분해는 다단논리회로에 대응한다. 다단논리회로로 하면 어레이 총면적 많이 줄일 수 있다. 단, 단수와 배선부분이 증가하기 때문에 지연시간이 문제로 대두된다. 병렬분해는 출력수가 많은 PLA에서 유리하다. 제어용 PLA의 경우에는 PLA가 크게 되면 특정의 변수집합만으로 의존하는 출력함수가 크게 된다. 그 때문에 병렬분해를 행한 PLA이 입력에는 원래의 입력변수의 일부분만을 추가하면 충분하다. 출력수가 많은 경우에는 적합수의 총합을 거의 증가하지 않게 PLA를 분해할 수 있다. PLA를 잘 분해하려면 분해해서 작은 PLA의 면적이 총합은 처음이 PLA에 비해서 상당히

작게 된다. 또한 적합수를 줄이고 부하를 적게 하기 위해서는 동작속도도 개선시킬 수 있다. 작은 PLA는 할당된 칩 영역에 배치하는 것도 용이하지만 배선부분은 복잡하게 된다. 분해의 한 가지 더 유용한 것은 검사가 용이하다는 것이다. PLA를 분해하면 PLA의 입력수가 감소하고 검사의 복잡도도 줄어든다. 이와 같이 PLA이 분해기술은 상당히 유효하기 때문에 [표2]에서 보는 것처럼 많은 마이크로프로세서 설계에 사용되고 있다.

<표2> 비트 마이크로 프로세서와 PLA
<Table.2> Bit Microprocessor and PLA

프로세서명	설계	TR수	PLA수	테크노로지	핀 수	동작주파수 (MHZ)
WE 32100	ATT	180k	8	1.75 μ CMOS	108	20~25
MC 68020	Motorola	200k	6	2 μ H CMOS	114	16.67
MICRO/370	IBM	200k	2+42	2 μ N CMOS	171	10~18
SOAR	Berkeley	35.7k	11	4 μ N CMOS	84	2.5
80386	INTEL	285k	3	1.5 μ	132	16

* cycle 시간

2.4 PLA를 이용한 순차회로

VLSI시스템은 데이터버스부와 제어부로 분할할 수 있다. 제어부는 보통 유한상태기계 (Finite State Machine:FSM)로서 실현한다. FSM은 조합회로부와 레지스터부로 구성된다. 조합회로부는 램덤로직, PLA혹은 ROM에서 실현할 수 있다. 이 중에서 성능, 소비전력, 면적 및 설계시간이 트레이드오프를 고려하면 PLA가 가장 사용하기 쉽다.

2.4.1 FSM분해

FSM은 병렬로 동작하는 몇 개의 작은 FSM으로 분해한다. 이렇게 하면 각 FSM의 조합회로부가 간단하게 되고 레지스터부의 부하가 줄어든다. 단, 너무 작게 분해하면 불필요한 부분이 증가하고 또한 배선부분이 증가하기도 한

다.

2.4.2 상태할당

FSM의 각 상태에 2진 부호를 할당하는 것을 상태할당 이라한다. 회로가 가장 간단하게 되도록 상태할당을 구하는 문제를 최적상태할당문제라고 한다. 램덤로직의 경우 이 문제는 상당히 어렵다. PLA의 경우는 부호 길이와 적항수 만으로 PLA의 복잡도가 정해지기 때문에 다음과 같이 하면 비교적 좋은 해를 찾을 수 있다.

- 1) FSM의 상태를 S라고할 때 현재의 상태와 다음의 상태관계를 S치변수(1Port code)을 이용해서 표현한다.
- 2)위의 논리 식을 실현하는 S치의 PLA를 고려해서, 다치논리식의 간단 화 프로그램으로 간단 화 한다.
- 3)간단화한 다치논리식을 참고로 해서 가능한 논리식의 적항수가 증가하지 않도록 S치 변수 부를 2치의 변수로 바꾼다. 이와 같은 방법으로 반드시 최적인 상태할당을 구할 수 없으며 처음부터 PLA 적항수를 최소화하기 때문에 적항수가 적은 할당을 얻을 수 있고 칩면적이 적게 된다.

3. 검사용이화 설계

게이트수가 수천 개까지의 회로는 ATPG(Automatic Test Pattern Generator)라고 하는 자동검사입력생성 프로그램에서 발생한 검사입력으로 검사할 수 있다. 게이트수가 수십만 개 이상이 되면 ATPG는 시간이 너무 많이 걸리기 때문에 기능검사를 수행한다. 기능검사는 모든 기본적인기능을 만족할지 어떤지를 검사한다. 그로인해서 모든 고장을 검출할 수 있다고는 말할 수 없다. VLSI의 경우 TR의 수가 대단히 많기 때문에 종래의 방법으로는 불가능하다. 그 때문에 VLSI설계의 처음부터 검사를 충분히 고려하는 것이 무엇보다도

중요하다. 아래에서 최근의 VLSI로 이용되고 있는 검사를 용이하게 설계할 수 있는 몇 가지 방법에 대해서 논한다.

3.1 분해

마이크로프로세서에서 회로는 버스구조에서 설계되고 논리도의 대부분은 버스에 접속되어 있다. 보통 버스는 외부에서 액세스할 수 있기 때문에 버스를 통해서 LSI의 작은 블록 도를 따로따로 검사할 수 있다. 우선 검사를 용이하기 위해서 통상은 버스에 직접접속하고 있지 않는 논리블록도도 검사 시에는 직접버스에 접속하고 마음대로 읽고 써 넣을 수 있도록 하고 멀티플렉서를 이용해서 우선 회로를 분해하기도 한다. MC 68020, 80386, WE32100등의 프로세서에서는 PLA, ROM, RAM, 레지스터, 캐쉬등은 검사 시에 직접외부로부터 제어할 수 있도록 되어 있다. 그 외에 어떤 특정의 신호가 주어지면 모든 출력단자가 고임피던스도 되고 칩을 포트에서 꺼집어낸것과 동일한 상태로 할 수 있는 칩도 있다.(WE32100, 80386). 이 기능에 VLSI의 칩의 내부만 아니라 포트의 주변회로의 기능도 용이하게 된다.

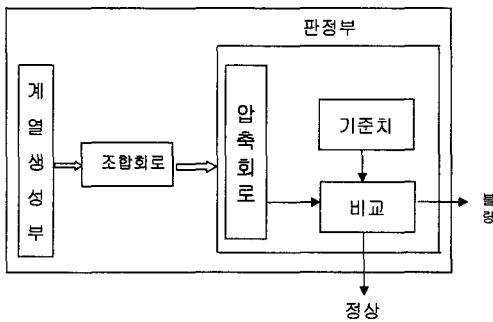
3.2 검사용 마이크로 코드

검사 시에는 특별한 마이크로 코드명령과 검사입력을 생성하는 ROM을 이용해서 마이크로 프로세서를 검사한다. 검사용 프로그램을 모두 ROM내부에 내장하면 칩의 면적이 너무 크기 때문에 ROM안에는 부트스트랩 논리만 내장되고 검사 시에 검사용 프로그램을 시리얼 입출력 포트에서 내장 RAM으로 읽어 들이고 자기 검사를 행하는 칩도 있다.(모토라사의 MC68HC11)

3.3 조립검사

스캔패스법에서 VLSI와 VLSI테스트간의 검

사입력이 전송에 상당한 시간을 요한다. VLSI 테스트는 상당히 고가이기 때문에 대량생산하는 마이크로프로세서등에서는 VLSI중에 검사 입력생성기와 판정회로를 만들며 검사비용은 싸다. 이것을 조립식 검사기라 한다. 미국이 일부회사에서는 이것을 조립식자기검사(BIST: Built-In Self Test)라고 부르고 있다. 조립식 검사 기구를 도입하면 전원 On시에 칩의 검사를 자동적으로 행하기 때문에 필드에서 신뢰도도 향상된다. [그림3]에서 표시하듯이 조립식 검사 기구는 계열생산부와 판정부로 구성되어 있다. 계열생산부는 2진 계수기와 LFSR(Linear feedback Shift Register)으로 구성한다. 판정부에는 응답출력계의 압축회로가 있고 통상 계수기와 LFSR을 이용한다. 이중에서 LFSR를 이용해서 응답출력계를 압축하는 방법을 시그네처 해석법이라 한다. 68020과 80386의 PLA와 ROM은 조립식 검사 기구를 이용해서 검사하고 있다. ROM과 PLA를 망라적인 검사패턴을 이용해서 검사하고 있기 위해서는 검사시간에서 입력 수는 20개 이하로 하는 것이 필요하다.



[그림3] 조립검사
[Fig.3] Constructing Examination

4. 마이크로프로세서와 PLA

PLA는 설계가 용이하지만 동작속도와 칩의 면적에서 램덤 논리보다 작기 때문에 다품종소

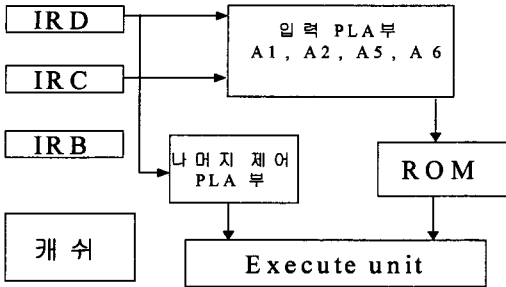
량의 LSI에 적용되어 왔다. 그러나 최근의 32비트 마이크로프로세서와 같은 대량생산을 하는 VLSI에서 PLA를 많이 사용하고 있다. PLA의 특징은 2장에서도 서술했듯이 32비트에서 특히 중요한 것은 설계변경이 용이하다는 것이다. 32비트 프로세서는 대단히 복잡해서 다수의 그룹들이 형성해서 설계를 수행한다. 오자수정과 기능의 개선을 위해 마이크로프로그램부와 제어 부는 여러 번 변경할 수 있다. 그 때문에 설계변경을 할 수없도록 구성법은 사용하는 것이 못된다. 마이크로프로세서면적의 80%는 ROM, RAM, 레지스터 등의 규칙적인 부분을 차지하고 있으며 이들의 면적회로의 설계는 많은 시간은 걸리지 않는다. 시간이 걸리는 것은 제어회로이고 전체의 설계시간의 80%를 차지한다. 마이크로프로세서에서 PLA를 이용하는 곳은 주로 설계에 시간이 많이 걸리고 또한 설계변경이 많은 마이크로프로그램부와 제어부에서 사용한다.

ALU등과 같이 속도를 특히 중요시 하는 부분과 설계가 확고히 되어있고 장래에 설계변경의 필요성이 없는 부분은 PLA이외의 설계 법을 사용한다. 32비트 마이크로프로세서는 가격과 성능 외에 신뢰도도 중요하게 된다. 만들어 넣은 검사 기구를 이용해서 신뢰도를 향상시킨 프로그램도 나오고 있다. 본 장에서 최근 발표된 32비트 마이크로프로세서 <표2>를 예로 들고 PLA를 이용한 설계법 및 검사 용이 법을 소개한다.

4.1 Motorola MC 68020

모토로라사의 프로세서는 6개의 큰 PLA를 이용하고 있다. [그림4]에서 표시한 것처럼 MC 68020은 EU(Execute Unit)와 EU 및 캐슈를 제어하는 마이크로머신부에서 구성하고 있다. IRB, IRC, IRD의 3개의 16비트 레지스터는 입력 PLA부에 있는 4개의 PLA(A1,A2,A5, 및 A6:표4를 참조)를 구동하고 있다. 이들의 PLA 출력은 마이크로코드용 ROM의 어드레스(11비

트)를 표현한다. 나머지 제어부에서는 PLA부에는 2개의 큰 PLA가 있고 2개의 PLA의 출력 수는 150개이다. 그 외에 작은 PLA가 몇 개 있지만 그들의 출력 수는 약 50개이다.



[그림4] MC 68020 마이크로 머신
[Fig.4] MC 68020 Micro machine

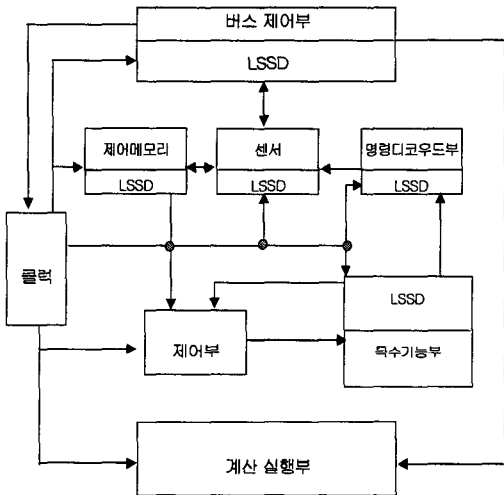
MC68020의 검사는 칩을 작게 한 블록에 분할하려고 하는 기본방침을 이용하고 있다. PLA, ROM 및 캐쉬검사는 검사용 마이크로코드, 버스 및 멀티플렉서를 이용해서 다른 부분으로 분리하고 독립으로 행한다. A1과 A2의 PLA는 2가지 방법으로 검사할 수 있다. 하나는 테스트로부터 검사백터를 주입하고 또 다른 하나는 조립검사기이다. 조립검사 시에는 EU 레지스터를 이용해서 망라적인 검사입력을 생성한다. A5와 A6의 PLA 주입은 IRC와 IRD의 비트를 결합한 것이고 이들의 PLA를 망라적 방법으로 검사하기에는 시간이 너무 걸린다. A1, A2, A5, A6의 PLA의 출력 수는 모두 11이고 이것들이 NMA(the next microcode address) 버스에 접속하고 있다. 이것을 그대로 관측하는 것은 대단한 것이기 때문에 16비트 시그네처 레지스터를 이용해서 데이터를 압축한다. 나머지 제어 PLA는 데이터 압축을 수행하지 않고 멀티플렉서를 이용해서 버스에서 직접 출력 값을 관측한다. ROM은 검사 시에 입력 편에서 역세서 할 수 있다. 11입력핀이기 때문에 망라적인 검사를 행한다. 레지스터는 모두 32비트이고 32비트 데이터 레지스터를 이용해서 역세서할 수 있다. EU부와 제어부는 기능 검사를 이용해서 조사한다. MC68020은 대량생

산하는 칩이기 때문에 칩의 면적은 적을수록 좋다. 검사용에 부가한 논리회로는 전면적의 3%이하이고 또 검사용 마이크로코드는 전 마이크로코드의 2%이하이다.

4.2 IBM Micro/370

Micro/370은 IBM연구소에서 개발한 32비트 프로세서이고 시스템/370(대형컴퓨터)의 명령중에서 102개의 명령을 직접 수행한다. 그림5에 Micro/370이 블록 도를 나타낸다. 명령디코더부는 2개의 PLA를 사용하고 있다. 제어부는 수개의 PLA를 이용해서 실현하고 있다. 버스 제어부의 상태는 42개이고 회로를 간단히 하기 위해 병렬로 동작하는 5개의 유한상태순서기로 분해하고 있다. 버스 제어부를 표준 셀로 설계해서 보기도하고 큰 PLA를 2-3개 이용해서 설계해서 실험해보지만 기대하는 밀도, 성능 및 소비전력을 얻을 수 없다. 또한 램덤논리는 설계의 변경이 곤란하기 때문에 사용할 수 없다. 그 때문에 처음부터 큰 PLA로 실현하고 PLA의 분할과 배치를 여러 번 반복 조립해서 최적화했다. 최종적으로 얻어진 회로는 42개의 PLA로 성립하고 극히 밀도가 높은 회로로 되었다. 이외에 계산실행부는 형상이 규칙적이고 설계도 정해져 있기 때문에 손으로 설계를 하였다. 시퀀서부분은 PLA에서 지연되기 때문에 자동배치배선을 이용한 표준셀(Standard Cell)법으로 실현했다. Micro/370의 검사에는 기능검사와 LSSD를 이용한 스트랙차트검사 양방향을 이용하고 있다. 제어메모리와 데이터 버스부에는 기능검사를 이용하고 있다. 면적과 검사회로의 성능을 고려하면 스트랙차트 검사는 사용하지 않는다. 버스 제어부는 명령데이터 및 시퀀서부는 대단히 복잡하기 때문에 LSSD가 필수적이다. LSSD를 사용하기 위해 레지스터 매크로(Macro)의 면적 증가는 상당히 크고 원래의 면적의 2-3배 이상으로 되었다. 그러나 대부분의 면적이 배선 때문에 소비되고 있으므로 제어회로전체에서 면적 증가분은 10%이하로 되고 있다. [그림5]에 나

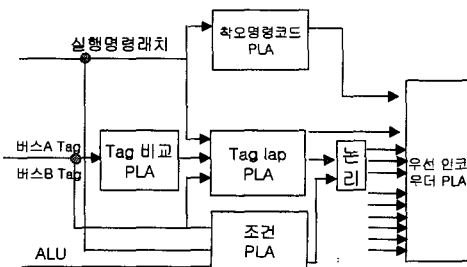
타난 것처럼 LSSD레지스터는 칩을 버스제어부, 시퀀서 명령디코더부, 제어메모리, 따라서 계산실행, 특수기능부의 4가지 부분으로 분할하고 있다. 이들의 부분은 따로따로 검사한다. Micro/370은 핀수가 171개 이고 그 중에서106개가 신호용이고 26개가 검사용이고 38개가 전원과 접지이다.



[그림5] Micro/370 블록도
[Fig.5] Micro/370 Blockdiagram

4.3 Berkeley SOAR

SOAR(Smalltalk on a RISC)는 Smalltalk를 효율 좋게 실행하는 32비트 프로세서이다. 다른 프로세서와는 다르게 대학에서 개발한 실험용 칩이며 SUN워크스테이션과 외부메모리하에서 동작한다. <그림6>에 SOAR에서 이용한 트랩기수의 일부를 표시한다.



[그림6] SOAR 트랩기구
[Fig.6] SOAR Trap Circuit

SOAR제어부는 <표3>에 표시한 12개의 PLA로 구성되어있다. 이들의 PLA는 면적과 동작속도가 최적으로 되도록 분할하고 있다. <표4>에SOAR에서 이용한 명령디코더용 PLA의 최적화열을 표시한다.

<표3> SOAR PLA
<Table.3> SOAR PLA

PLA	입력	출력	적항
디코우드	9	16	38
	9	23	43
	7	10	19
레지스터 액세스	12	10	17
	12	7	10
	6	7	7
조건	11	2	34
트랩	8	1	8
	15	5	23
	10	2	4
	10	4	9
	8	1	8

<표4> SOAR 용 PLA 최적화
<Table.4> PLA Optimazation using SOAR

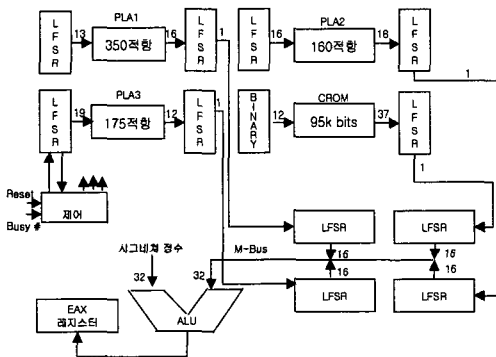
PLA	입력수	출력수	적항수			
			단순한 간단화	무정의 고려		
				원래의 함수	출력위 상준 최적화	모든 출력을 부정
A	9	16	38	30	27	31
B	9	23	41	37	26	30
T	10					

최초의 설계에서 이 PLA는 10입력이고 출력이 39개 적항이152개이다. ESPRESS-IIc를 상용해서 간단화한 것으로 80개의 적항까지 줄였다.(PLA(T)). 그러나 이 PLA는 또 너무 크기 때문에 입력수9개 출력수16의 PLA(A)과 입력수9 출력수23의 PLA(B)의 2개로 병렬로 분해했다. 이들의 PLA를 따로따로 간단화한 것으로 적항 수는 각각 38개와41개로 되었다. 실제의 SOAR의 LSI중에서 이들의 PLA가 실현되

고 있다. 그러나 우선 아래와 같이 최적화가 가능하다. 이들의 PLA의 입력 중에 RESET 입력이 있다. RESET입력치가 0일 때 4개의 출력치만 이 의미를 갖고 다른 출력치는 어떻게 해도 좋다. 이 조건을 무정의 조건으로 간단히 하면 PLA(T)의 적항 수는 63개 까지 줄일 수 있다. 또한 문헌 12의 방법을 이용해서 출력위상을 준 최적화하면 PLA(T)의 적항 수는 47까지 줄일 수 있다. 이처럼 SOAR의 PLA에서 출력위상최적화가 상당히 효과적이지만 문헌 12)의 알고리즘에서 반드시 최적해는 구할 수 없다. 실제 출력함수를 모두 부정해서 간단화 하면 적항 수는 39까지 줄어든다. 출력위상할당문제에 관해서 써 넣는 연구가 필요하다.

4.4 INTEL 80386

INTEL 80386은 8086 및 80286의 목적코드(Object code)를 직접실행 가능한 32 비트 마크로프로세서이다. 조립검사기구와 부가검사기구를 이용하면 칩중의 TR의 50% 이상을 검사할 수 있다. INTEL에서 이 조립검사기구를 BIST(조립자기검사), 부가검사를 검사용 후크(Hook)라고 부르고 있다. <그림7>에 조립검사기구를 표시한다. 3개의 큰 PLA이다.



<그림7> 80386 PLA
[Fig.7] 80386 PLA

<표5>의 검사 중은 보통의 PLA입력을 절단해서 LFSR이 AND어레이에 2ⁿ -1개의 유사함수를 더한다. PLA의 OR출력부에는 각 출력을 병렬로 입력한다. LFSR이고 망라적인 입력에 대한 계산결과를 축적한다. CROM(마이크로프로그램용)의 입력부에는 2진 카운터를 접속하고 있다. 검사 중은 이 카운터를 2개의 모든 조합을 계수한다. RESET중에서 BUSY #핀을 저전위로 하면 조합검사를 개시한다. 검사를 시작하면 디바이스는 512K 사이클의 자기검사를 행한다. PLA의 3입력수가 최대이고 19입력이기 때문에 2¹⁹=512k로 된다. 이것은 16Mhz동작 시에 약 33ms 걸린다. 자기검사는 PLA 3이 처음의 값으로 벗어날 때에 종료한다. 다음에 마이크로코드명령을 실행하고 두개의 32비트축적레지스터의 시그네처와 칩내부에 기억하고 있는 바른 시그네처와의 EXOR을 얻고, EAX레지스터에 넣는다. 디바이스가 정상인 경우에는 EAX레지스터의 값은 모두 0으로 된다. EAX레지스터 내용은 사용자가 읽기 때문에 전원투입시에 프로세서 검사를 할 수 있다. 부가검사기구를 이용하면 거의 레지스터를 직접 읽고 쓸 수 있다. 이들의 레지스터는 보통레지스터이외에 마이크로프로그램전용 레지스터도 포함하고 있다. 또 모든 입출력 핀을 전기적으로 절단하는 기구가 있다. CLK2(외부클럭)를 입력해서 출력이 고임피던스로 되고 모든 입력이 무시된다. 이것은 마이크로프로세서의 주변회로를 검사할 때 유효하다.

<표5> 80386 PLA
<Table.5>80386 PLA

PLA	입력	출력	적항
1	13	16	350
2	16	18	160
3	19	12	175

5. 결론

본 논문에서는 최근의 32비트 마이크로프로세서를 예로 들어서 PLA설계 및 검사를 쉽고 간편하게 설계하는 것에 대해서 소개하였다. VLSI에서 ROM, RAM, PLA을 많이 사용한 설계법이 정착한 기술로 되어 있다. PLA는 논리설계, 변경, 검사가 용하기 때문에 향후에도 VLSI설계의 기본요소로서 중요한 지위를 점유할 것이다.

참고문헌

- [1] Mead, C. and Conway, L.: Introduction to VLSI Systems, Addison-Wesley Publishing Co. pp.386, 1980
- [2] Muroga, S.: VLSI System Design, John Wiley & Sons, pp.489, 1982
- [3] Alan V. Oppenheim Schafer, Ronald W. Schafer "Digital Image processing" Prentice Hall pp.284-333, 1984
- [4] Weste, N.H.E, and Eshraghian, K.: Principles of CMOS VLSI Design: A Systems Perspective, Addison-Wesley Publishing Co., pp.531, 1985
- [5] T. Ninomiya, M. Mukaidono, "Clarifying the Axioms of Kleene Algebra based on the Method of indeterminate Coefficients", Proceedings of the 29th International Symposium on Multiple-valued logic, IEEE, May, 1999.
- [6] D.M. Miller and R. Drechsler, "On the Construction of Multi-valued Decision Diagrams", Proc. 32nd IEEE Int. Symp. on Multiple-valued logic, Boston, Massachusetts, , pp.245-253, 2002.

