

모바일 3D 그래픽 가속기를 위한 저전력 텍스처 캐쉬 구조 설계*

김영식^o, 이재영
한국산업기술대학교 게임공학과
{kys^o, jylee}@kpu.ac.kr

A design of low power structures of texture caches for
mobile 3D graphics accelerator*

Youngsik Kim^o, Jae-Young Lee
Dept. of Game & Multimedia Eng., Korea Polytechnic University

요 약

본 논문에서는 모바일 3D 그래픽 가속기의 텍스처 데이터 메모리 지연시간을 감소하기 위해 사용하는 텍스처 캐쉬의 다양한 저전력 구조를 고찰하였다. 또한 텍스처 필터링 알고리즘에 따라서 가변적 전력 모드 전환 기준을 갖는 텍스처 캐쉬를 설계하였다. 각 텍스처 캐쉬 구조의 성능 비교 분석을 위하여 Quake 게임 엔진을 벤치마크로 사용한 트레이스 기반의 시뮬레이션을 수행하였다. 또한 저전력 텍스처 캐쉬 구조에 적합한 텍스처 필터링 알고리즘에 따라서 가변적 전력 모드 전환 기준을 갖는 알고리즘을 제안하고 시뮬레이션을 통하여 검증하였다.

ABSTRACT

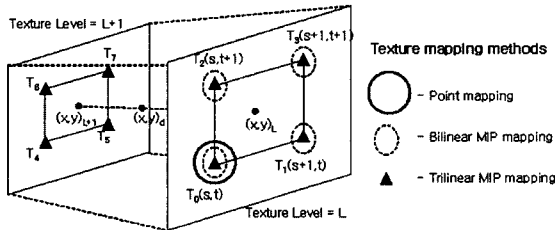
This paper studied various low power structures of texture caches for mobile 3D graphics accelerator to reduce the memory latency of texture data. Also the paper designed the texture cache with the variable threshold values of power mode transition according to the filtering algorithms. In the trace driven simulation, we compared the performance of those structures using Quake game engine as the benchmark. Also the algorithm was proposed and verified by the simulation, which has variable threshold values of power mode transitions according to the selected texture filtering method.

Keyword : texture cache, 3D graphics accelerator, trace driven simulation, quake game engine

* 이 논문은 2005년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임 (KRF-2005-003-D00290)

1. 서론

3차원 실감영상을 실시간으로 처리하기 위해서는 컴퓨터 스크린에서 생성하는 3차원 이미지 픽셀마다 방대한 양의 메모리 액세스와 대규모 연산을 필요로 하기 때문에 매우 높은 전력 소모가 요구된다. 특히 그림1과 같이 3차원 텍스처 데이터 그래픽 처리 단계에서는 초당 수억 번의 메모리 액세스와 연산을 수반하기 때문에 매우 높은 전력 소모가 요구된다 [1-6,12].



$(x,y)_d$ = Required texel, d = Required level ($L < d < L+1$), $T_j(j=0\sim7)$ = Actual texels

(그림 1) 다양한 텍스처 매핑 방법 ([1])

컴퓨터 그래픽 영상에 현실성을 부여하기 위해 많이 사용되는 텍스처 매핑은 이미지를 장면내의 객체의 표면 위에 투영하는 방법을 이용하며, 이는 각 화면 픽셀에 매핑 되는 텍스처 공간에서의 위치를 찾는 매핑 과정과 이렇게 찾아진 위치에서 샘플링(Sampling)을 통하여 색깔정보를 얻는데 이때 발생하는 알리아싱(aliasing)을 최소화 하기위한 필터링 과정으로 이루어져 있다. 텍스처 매핑은 버텍스 버퍼의 s, t, r, q 를 사용하여 현재 프래그먼트에 해당하는 텍셀 값을 텍스처 맵으로부터 읽어온다. 텍스처 매핑 알고리즘은 여러 가지가 있는데 그 중에서 mip맵 레벨 기반의 bilinear 필터링과 trilinear 필터링이 많이 사용된다. 그림 1에서 보듯이 bilinear 필터링은 1개의 mip맵 레벨에서 4개의 텍셀 데이터를 보간(interpolate)하여 1개의 프래그먼트 데이터와 매핑하는 방법이고, trilinear 필터링은 인접한 2개의 mip맵 레벨에서 각각 4개씩 8개의 텍셀 데이터를 보간한다 [1,16].

mipmap은 같은 이미지에 대해 여러 해상도의 이미지를 가지고 폴리곤의 해상도에 따라 가장 근접한 해상도의 이미지를 텍스처 매핑하는 방법이다. 원래의 이미지에서 단계별로 1/4 정도의 해상도를 가지는 이미지를 생성해 여러 레벨의 이미지를 가지는데 이 방법은 원래 이미지의 메모리 요구량에 추가로 1/3 메모리만 요구하기 때문에 추가 메모

리에 대한 요구량도 적은 방법이다. 그림 1과 같이 mip매핑을 사용하는 2차원 텍스처 공간내의 해당 텍셀 좌표인 (s,t) 좌표와 함께 계산된 d 의 값을 이용하여 가장 근접한 2개의 mip맵 레벨을 결정하고 각각의 레벨 이미지 내에서 텍셀 주소와 가까운 4개의 텍셀에 대하여 bilinear 보간을 행하여 두 개의 텍셀 값을 결정한다. 이렇게 계산된 두 개의 값에 대해 선형보간법을 행하는 trilinear 보간을 이용하여 픽셀에 해당하는 텍셀 값을 결정하는 방법이다. bilinear 필터링이란 텍스처 공간 내에서 역(inverse) 매핑에 의해 계산된 좌표가 정확히 하나의 텍셀에 해당하지 않기 때문에 계산된 텍셀 좌표 값과 가장 인접한 주위의 4개의 텍셀들에 대해 통합을 수행하는 것을 의미한다. mip매핑에서 가장 중요한 것중 하나는 mip맵 레벨 d 의 결정인데 픽셀당 텍셀의 비율에 의해 결정된다.

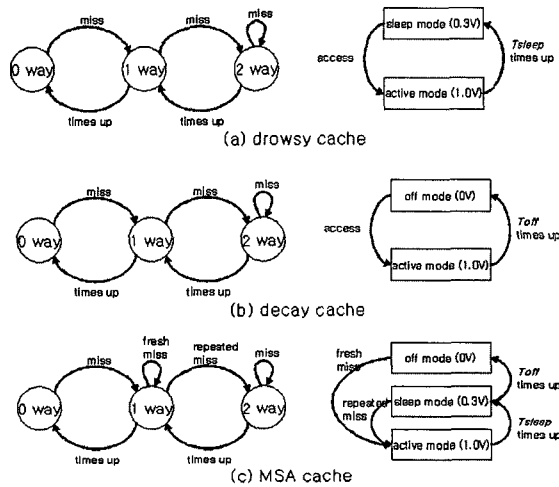
이와 같이 bilinear 와 trilinear 텍스처 매핑 알고리즘은 전형적인 액세스 패턴을 갖고 있어서 이를 캐쉬 시스템으로 구성하면 비교적 캐쉬 히트율이 높다. 본 논문에서는 모바일 3D 그래픽 가속기의 텍스처 데이터 메모리 지연시간을 감소하기 위해 사용하는 텍스처 캐쉬의 다양한 저전력 구조를 고찰하였다. 그리고 각 텍스처 캐쉬 구조의 성능 비교 분석을 위하여 Quake 게임 엔진을 벤치마크로 사용한 트레이스 기반의 시뮬레이션을 수행하였다. 또한 저전력 텍스처 캐쉬 구조에 적합한 텍스처 필터링 알고리즘에 따라서 가변적 전력 모드 전환 기준을 갖는 알고리즘을 제안하고 시뮬레이션을 통하여 검증하였다.

본 논문의 구성은 다음과 같다. 1장의 서론에 이어 2장에서는 저전력 텍스처 캐쉬의 관련 연구를 살펴보고, 3장에서는 모바일 기기의 동작모드에서의 동작전력과 대기모드 모드에서의 누설전력을 줄이고 기존 저전력 텍스처 캐쉬 구조에 비해 장점을 가지는 새로운 텍스처 캐쉬 구조를 제시한다. 4장에서는 3장에서 제시한 구조의 시뮬레이션을 통한 성능 평가를 수행하고 마지막으로 5장에서 결론을 도출한다.

2. 관련 연구

모바일 기기의 특성상 대부분의 시간을 대기모드에서 전력소모가 일어나므로 동작모드에서의 소비전력 감소뿐만

아니라 대기모드에서 누설 전력 감소 기법 연구도 매우 활발하다[7,8,9,10,11,13]. 본 논문에서 초점을 맞추는 저전력 텍스처 캐쉬는 대기모드에서 누설전력을 줄이는 MSA 캐쉬[11], drowsy 캐쉬[8], decay 캐쉬[13] 등의 가변 전력 모드 기법이다. (그림 2 참조) 가변 전력모드 기법이란 캐쉬 블록들이 미리 정한 프로토콜에 따라서 일정시간 액세스 없이 대기하고 있으면 누설 전력 소모가 적은 전력 모드로 전환하는 기법을 의미한다.



〈그림 2〉 3가지 텍스처 캐쉬의 전력모드 전환 방법

그림 2 (a) drowsy 캐쉬[8]는 전력모드가 active 모드와 drowsy(sleep) 모드가 있어서 미리 정한 시간 동안 액세스가 없으면 해당 블록을 drowsy(sleep) 모드로 바꿔서 누설 전력 소모를 줄인다. 이때 데이터 값이 사라지지 않을 정도의 전류만 소비하므로 데이터 값은 간신히 유지하지만 해당 캐쉬 블록을 액세스하기 위해서는 active 모드의 블록에 비하여 추가 지연시간이 필요하다. 그림 2 (b) decay 캐쉬[13]는 캐쉬 블록의 전력모드가 active 모드와 off 모드가 있어서 일정 시간 액세스가 없으면 해당 블록을 off 모드로 바꿔서 누설전력을 전적으로 차단하는 방법이다. 그림 2 (a), (b)의 방법들은 miss가 발생하면 기존 블록들의 상태는 변화시키지 않고 miss에 따라서 active 모드 블록의 개수가 늘어난다. 이에 비하여 그림 2 (c) MSA 캐쉬[11]는 전력 모드 전환 프로토콜을 좀 더 개선한 방법으로서 전력 모드는 active 모드, sleep 모드, off 모드 3가지를 가진다. active 모드 블록의 개수가 증가하기 위해서는 제일 처음에 miss가 발생한 경우와 sleep 모드 블록의 액세스가 발생한 반복된

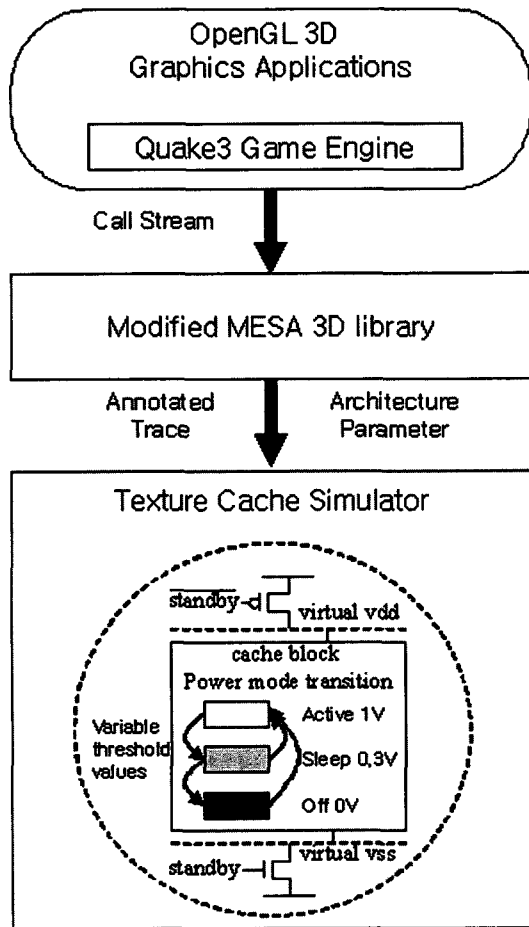
(repeated) miss 의 경우 뿐이다. 이와 같이 하는 이유는 miss가 발생하여 off 모드 블록을 active 블록으로 바꾸면서 (그림 2 (c)에서 fresh miss에 해당) 액세스가 되지 않고 대기 중인 블록들 중에서 LRU 블록은 액세스가 되지 않고 있다가 sleep 모드로 전환할 가능성이 크기 때문이다.

그런데 MSA 캐쉬[11], drowsy 캐쉬[8], decay 캐쉬[13] 등은 전력 모드 전환 기준인 캐쉬 블록의 대기시간 문턱 값을 상수로 정해야하는 단점이 있다. 본 연구진이 실험한 텍스처 캐쉬의 동작 패턴을 보면 bilinear 필터링과 trilinear 필터링 알고리즘에 따라서 텍스처 캐쉬의 히트율과 conflict miss 시에 교체되는 블록의 평균 대기 시간이 상당한 차이가 있었다. bilinear 필터링이 trilinear 필터링보다 캐쉬 히트율이 높으면서 bilinear 필터링에서 교체되는 블록의 평균 대기 시간이 크므로 trilinear 필터링의 경우에는 더 빨리 누설 전력을 줄일 수 있는 전력 모드로 전환해도 수행시간의 성능에는 영향이 없고 전력 소모를 줄일 수 있으므로 모드 전환 문턱 값을 낮춰야 한다. MSA 캐쉬[11]는 drowsy[8] 캐쉬와 decay 캐쉬[13] 보다 누설전력 측면에서 우수하지만 그에 따른 수행 시간 성능 저하를 줄이기 위해서는 캐쉬 블록의 전력 모드 전환 알고리즘이 개선되어야 한다. 즉 응용 프로그램의 캐쉬 수행 패턴 프로파일링 파라미터에 따라서 전력 모드 전환 결정의 문턱 값이 달라져야 하기 때문이다. 본 연구에서는 MSA 캐쉬[11]의 전력 모드를 텍스처 캐쉬에 적용하고 각 뱅크마다 전력 모드 전환 결정 문턱 값을 텍스처 필터링 알고리즘에 따라서 가변적인 방식을 제시한다. 본 연구에서는 기존의 저전력 텍스처 캐쉬의 성능을 비교 검증하고 3차원 그래픽 API의 텍스처 필터링 알고리즘에 따라서 가변적인 전력 모드 전환 문턱 값을 가지는 구조를 설계하였다.

3. 제안하는 구조

본 논문에서 제시하는 텍스처 캐쉬는 기본적으로 MSA 캐쉬 구조를 기반으로 한다. 그림 3 하단의 텍스처 캐쉬의 흰색, 회색, 검정색 캐쉬 블록은 각각 전력 모드가 active 모드 (1V), sleep 모드 (0.3V), off 모드 (0V)를 나타낸다. 가변적인 전력모드 기법을 가지는 MSA 캐쉬, drowsy 캐쉬, decay

캐쉬는 모두 전력 모드 전환 패널티를 고려해야 한다. 왜냐하면 차단된 전력을 다시 공급하기 위해서는 한꺼번에 많은 회로가 구동을 시작하므로 노이즈 및 ground bouncing 등 신호의 충실도(signal integrity)에 문제가 발생할 수 있고 이를 방지하기 위해서는 1 클럭 싸이클 이상의 전력 모드 전환 시간이 필요하기 때문이다. 그런데 기존 방식들은 전력 모드 전환 기준인 캐쉬 블록의 대기시간 문턱 값을 상수로 정해야하는 단점이 있다. 본 논문에서 제시하는 구조는 MSA캐쉬 구조를 기반으로 bilinear 필터링에서 교체되는 블록의 평균 대기 시간이 훨씬 크므로 trilinear 필터링의 경우에서 더 낮은 전력 모드 전환 문턱 값을 가지는 가변적인 전력 모드 전환 문턱 값을 가지는 하이브리드 텍스처 캐쉬 구조를 제시한다.



〈그림3〉 제안하는 텍스처 캐쉬 및 시뮬레이션 환경

제안하는 구조와 기존 구조와의 성능 비교를 위한 성능 척도는 다음 수식과 같이 3가지 척도(metric)을 정의하고 시뮬레이션을 통하여 결과를 얻었다. 정규화된 누설전력(normalized leakage power)과 수행시간 영향도(run time impact)는 MSA 캐쉬[11]에서 제시한 성능 척도와 동일하다. 정규화된 누설전력은 original 캐쉬의 누설전력을 100%로 하여 가변 전력모드 기법들의 누설전력을 정규화한 것이다. 수행시간 영향도는 original 캐쉬의 경우를 0%로 하여 추가적인 캐쉬 미스 발생에 따른 추가 수행시간의 비율을 나타낸 것이다. 따라서 정규화된 누설전력과 수행시간 영향도는 작을 수록 성능이 우수한 것이다.

- 정규화된 누설전력(normalized leakage power) :

$$L = \frac{E_{active} + E_{sleep} + E_{extra}}{E_{origin}}$$

E_{active} 와 E_{sleep} 은 전체 수행시간 중에 각각 active 모드 블록과 sleep 모드 블록들의 누설전력의 합을 의미한다. E_{extra} 는 가변 전력모드 기법 적용 시에 발생하는 추가적인 캐쉬 미스에 따른 추가적인 누설전력을 의미한다. E_{origin} 은 가변 전력모드 기법을 사용하지 않은 텍스처 캐쉬의 전체 수행시간 중에 캐쉬 블록의 누설전력 합을 의미한다.

- 수행시간 영향도(run time impact) :

$$R = \frac{T_{extra}}{T_{original}}$$

$T_{original}$ 은 가변 전력 모드 기법을 사용하지 않은 텍스처 캐쉬 시스템의 수행시간이며 T_{extra} 는 가변 전력 모드 사용에 따른 추가적인 수행시간이다.

- 새로운 성능척도(new performance metric) :

$$P = L \times (1 + R)$$

그런데 위의 2가지 성능 척도는 어느 하나만 고려해서는 전체적인 성능을 비교할 수 없다. 왜냐하면 누설전력을 줄이기 위해서 제시한 기법들이 기본적으로 캐쉬 히트율이

떨어지고 수행시간은 나빠지기 때문이다. 따라서 본 논문에서는 누설전력과 수행시간을 모두 고려한 새로운 성능척도(new performance metric)을 정의하여 누설전력과 수행시간을 동시에 고려하여 다양한 저전력 텍스처 캐쉬 구조의 성능 비교를 수행하였다.

4. 시뮬레이션

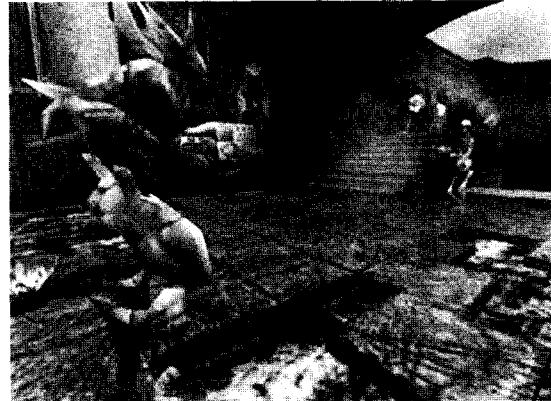
4.1 시뮬레이션 환경

구성	설명
세트 연관성	4 / 8 / 16 / Fully associativity
block size	32Bytes
cache size	4K/8K/16K/32Kbytes
miss penalty	18-cycle latency
sleep mode penalty	1-cycle latency
ratio of static energy of a sleep block to active block	0.08

〈표 1〉 성능 평가를 위한 텍스처 캐쉬 구성

시뮬레이션 방법은 그림 3의 상단과 같이 OpenGL를 기반으로 한 Quake3 게임 엔진(그림 4 [14])을 응용 프로그램으로 수행하고 MESA 3D 라이브러리[15]를 수정하여 텍스처 캐쉬의 텍셀 데이터 트레이스와 bilinear/trilinear 필터링의 파라미터를 추출한다. 그후 그림 4의 하단과 같이 트레이스 데이터와 필터링 파라미터를 구동입력으로 가변적인 전력 모드 전환 문턱 값을 가지는 텍스처 캐쉬 구조를 시뮬레이터로 구성하였다. 시뮬레이션을 통하여 캐쉬 히트율, 교체 블록의 평균대기 시간, 전체 수행시간, 블록 당 active 모드, sleep 모드, off 모드 비율 등을 측정하였고, 이를 기반으로 정규화된 누설전력, 수행시간 영향도, 새로운 성능 척도 등을 계산하였다. 다음 표 1은 본 논문에서 수행한 텍스처 캐쉬의 기본 구성을 정리한 것이다. 표 1에서 sleep 모드 패널티는 sleep 모드에서 active 모드 전환 시에 필요한 추가 지연시간을 의미하며, active 모드 블록 대비 sleep 모드 블록의 누설전력의 비율은 0.08로 가정한다 [11]. Quake3 게임엔진에서 bilinear/trilinear 필터링을 변화시켜 가면서 트레이스를 추출할 수 없어서 트레이스 데이터는 각 필터링 별로 따로 추출하고 성능 시뮬레이션에서는 실제 응용 프

로그램의 상황을 만들기 위해서 bilinear 필터링과 trilinear 필터링의 수행비율을 인위적으로 변화시켜 가면서 시뮬레이션 결과를 취합하였다.



〈그림 4〉 Quake III arena 벤치마크([14])

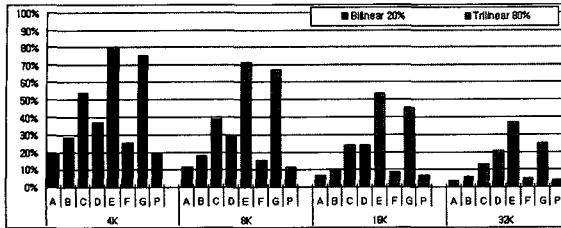
4.2 성능 검증

구성	설명		
	기본구조	Tsleep	Toff
A	MSA	0.5Kcycles	1Kcycles
B	MSA	1Kcycles	4Kcycles
C	MSA	4Kcycles	16Kcycles
D	Drowsy	1Kcycles	
E	Drowsy	16Kcycles	
F	Decay		1Kcycles
G	Decay		16Kcycles
P (Proposed)	A configuration@trilinear filtering B configuration@bilinear filtering		

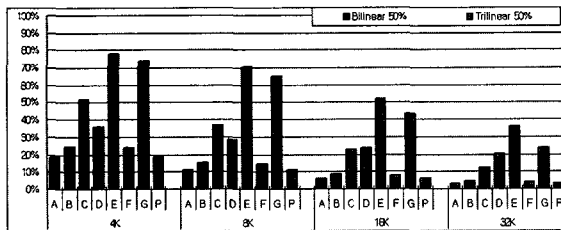
〈표 2〉 성능 비교를 위한 다양한 캐쉬 구성

표 2는 본 논문에서 제안하는 구조를 포함하여 성능 비교를 수행한 기존 저전력 텍스처 캐쉬 구조의 구성을 설명한다. 본 논문에서 제안한 구성인 P(Proposed)는 MSA 캐쉬를 기반으로 trilinear 필터링의 경우에는 A 구성 방식으로 동작하고 bilinear 필터링의 경우에는 B 방식으로 동작한다. 표 2의 구성에 따라서 성능 평가를 수행한 결과가 그림 5-10에 설명된다.

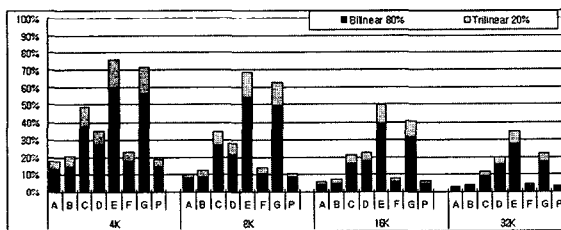
그림 5, 6, 7은 표 1, 2의 구성에서 4 way 세트 연관성의 경우에 정규화된 누설전력을 bilinear 필터링과 trilinear 필터링의 인위적인 수행 비율 변화 (bilinear:trilinear=20%:80%, 50%:50%, 80%:20%)에 따른 누적 결과로 보여 준다.



〈그림 5〉 정규화된 누설전력 (4 way 세트 연관성, Bilinear 20%/Trilinear 80%)



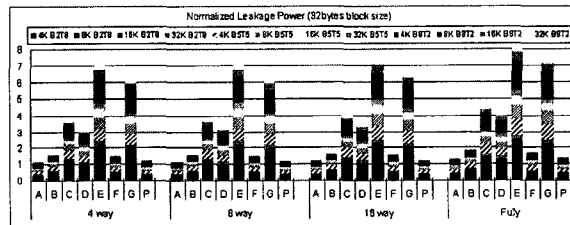
〈그림 6〉 정규화된 누설전력 (4 way 세트 연관성, Bilinear 50%/Trilinear 50%)



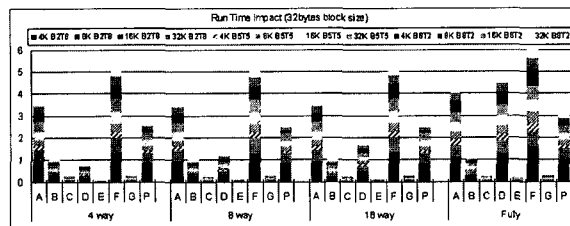
〈그림 7〉 정규화된 누설전력 (4 way 세트 연관성, Bilinear 80%/Trilinear 20%)

그림 5, 6, 7의 결과는 구성 A (MSA, $T_{sleep}=0.5Kcycles$, $T_{off}=1Kcycles$) 구조가 본 논문에서 제안하는 구조를 비롯한 다른 구조들 보다 우수함을 알 수 있다. 특히 구성 E(Drowsy, $T_{sleep}=16Kcycles$)와 구성 G(Decay, $T_{off}=16Kcycles$)의 경우는 누설 전력 측면에서는 나쁜 결과를 얻었으며 이는 텍스처 매핑 알고리즘의 액세스 패턴에 따라서 전력 모드 전환 문턱 값을 낮춰야 함을 보여 준다. 이러한 결과는 MSA캐쉬의 연구 결과와 유사하다. 다만 텍스처 처리 알고리즘이 일반적인 응용프로그램에 비하여 캐쉬 히트율이 비교적 높기 때문에 MSA캐쉬 연구 결과보다 더 낮은 전력모드 전환 문턱값에서 좋은 성능을 얻는 것으로 분석된다. 그러나 구성 A가 정규화된 누설전력은 우수하지만 수행시간 영향도는 그리 좋지 않았다. 그림 8, 9, 10은 표 1, 2의 4/8/16/Fully 세트 연관성, B2T8(=bilinear:trilinear=20%:80%), B5T5(bilinear:trilinear=50%:50%), B8T2(bilinear:trilinear=80%:20%) 등의 전체 구성 변화에 따라서 정규화된 누설전력, 수행시간 영향도, 새

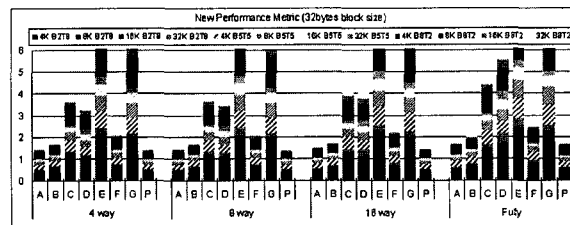
로운 성능 척도의 누적 결과를 보여 준다. 그림 8의 정규화된 누설전력의 결과는 그림 5, 6, 7의 결과와 유사하다. 그림 9의 수행시간 영향도를 보면 누설전력이 가장 우수했던 A 구성은 8가지 성능 비교 대상 중에서 2번째로 성능이 나쁘다. 이는 누설전력을 줄이기 위하여 sleep 모드와 off 모드 전환 문턱 값을 낮춘 결과 추가적인 캐쉬 미스가 많이 발생함을 의미한다. 또한 그림 5, 6, 7, 8에서 정규화된 누설전력 성능이 제일 안 좋았던 구성 E와 G는 그림 9의 수행시간 영향도 측면에서는 추가적인 캐쉬 미스가 많지 않아서 좋은 성능을 보임을 알 수 있다. 따라서 누설전력 뿐 만 아니라 수행시간도 반드시 고려하여야 한다. 텍스처 캐쉬의 크기가 4K/8K/16K/32Kbytes 로 증가함에 따라서 정규화된 누설전력, 수행시간 영향도, 새로운 성능척도 등은 각 구성(A/B/C/D/E/F/G/P)에 따른 성능 차이가 줄어드는 것을 알 수 있다. 반면에 세트 연관성에 따라서는 성능 차이가 늘어남을 알 수 있다.



〈그림 8〉 다양한 구성에 따른 정규화된 누설전력의 누적 값



〈그림 9〉 다양한 구성에 따른 수행시간 영향도의 누적 값



〈그림 10〉 다양한 구성에 따른 새로운 성능 척도의 누적 값

본 논문에서 제시한 구조는 누설전력 측면에서는 A 구성 다음으로 우수하며 수행시간 측면에서는 A 구성 보다 더 성능이 우수함을 알 수 있다. 또한 그림 10에서 보듯이 누설전

력과 수행시간을 모두 고려한 새로운 성능 척도 측면에서 본 논문에서 제시한 구조가 제일 성능이 우수하며 특히 구성 A 보다 성능이 우수하여 평균 3.2%, 최대 10.2%의 성능 이득을 갖는다.

5. 결론

본 연구에서는 기존의 저전력 텍스처 캐쉬의 성능을 비교 검증하고 3차원 그래픽 API의 텍스처 필터링 알고리즘에 따라서 가변적인 전력 모드 전환 문턱 값을 가지는 구조를 설계하였다. 제안한 텍스처 캐쉬는 동작 모드 뿐 만 아니라 대기 모드를 고려한 저전력 구조로써 이전 연구와 비교하여 누설전력과 수행시간을 모두 고려한 성능 척도에서 MSA캐쉬보다 평균 3.2%, 최대 10.2%의 성능 이득을 갖는다.

다음 연구에서는 다양한 프로파일링 기법을 동원하여 응용 프로그램 및 API의 콜 그래프를 추출하고 성능 병목을 분석하여 전력 모드 전환을 미리 예측할 수 있는 알고리즘을 제시할 예정이다.

참고 문헌

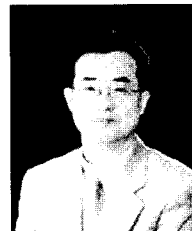
- [1] J. Euh, J. Chittamuru, and W. Burlison, "Power-aware 3D computer graphics rendering," *Journal of VLSI Signal Processing* 39, pp15-33, 2005
- [2] H. Igehy, M. Eldridge, and K. Proudfoot, "Prefetching in a texture cache architecture," In *Proceedings of 1998 SIGGRAPH/Eurographics Workshop on Graphics Hardware*, pp. 133-142, Aug. 1998.
- [3] D. Rakhmatov and S. Vrudhula, "Battery Conscious Task Sequencing for Portable Devices Including Voltage/Clock Scaling," *DAC02*.
- [4] W.C. Kwon and T. Kim, "Optimal Voltage Allocation Techniques for Dynamically Variable Voltage Processors," *DAC03*.
- [5] K. Flautner and D. Flynn, "A combined hardware-software approach for low-power SoCs: applying adaptive voltage scaling and intelligent energy management software," *DesignCon 2003 System-on-Chip and ASIC Design Conference, 2003*.
- [6] Intel, "Trends and Challenges in High-Performance Microprocessor Design," *Electronics Design Process 2004, Key note speech, April 2004*.
- [7] W. Zhang, et. al., "Compiler-directed instruction cache leakage optimization," *MICRO' 02, 2002*
- [8] N.S. Kim, K. Flautner, D. Blaauw, and T. Mudge, "Drowsy Instruction Caches: Leakage Power Reduction using Dynamic Voltage Scaling and Cache Sub-bank Prediction," *MICRO' 02, 2002*.
- [9] M.D. Powell, S.-H. Yang, B. Falsafi, K. Roy, and T.N. Vijaykumar, "Gated-Vdd: A circuit technique to reduce leakage in deep-submicron cache memories," *ISLPED*, pp.90-95, 2000
- [10] H. Makino, et. al., "A low power SRAM using auto-back-gate-controlled MT-CMOS," *ISLPED*, pp293-298, 1998
- [11] J.J. Li and Y.S. Hwang, "Snug set associative caches: Reducing leakage power while improving performance," *ISLPED' 05*, pp.345-350, Aug. 2005.
- [12] T. Akenine-Mller and J. Strm, "Graphics for the Masses - A hardware rasterization architecture for mobile phones," *ACM Trans. on Graphics*, pp. 801-808, July 2003.
- [13] S. Kaxiras, Z. Hu, and M. Martonosi, "Cache decay: exploiting generational behavior to reduce cache leakage power
- [14] Quake3 game engine, <http://www.idsoftware.com/games/quake/quake3-arena>
- [15] MESA project, <http://www.mesa3d.org/>
- [16] T. Akenine-Moller and E. Haines, *Real-time rendering*, second ed. A K Peters, Ltd. 2002.

김 영 식 (Youngsik Kim)



1993년 연세대학교 전산학과 학사
 1995년 연세대학교 컴퓨터학과 석사
 1999년 연세대학교 컴퓨터산업시스템공학과 박사.
 1995년~1997년 연세대학교 시간강사
 1999년 ~ 2005년 삼성전자 System LSI 책임연구원
 2005년 ~ 현재 한국산업기술대학교 게임공학과 전임강사.
 관심분야: 게임기 구조, 컴퓨터 구조, 3차원 그래픽 가속기, 임베디드 시스템 등

이 재 영 (Jae-Young Lee)



서울대학교 계산통계학과(이학사)
 서울대학교 대학원 계산학과(이학석사)
 Northwestern University, IL, USA(공학박사)
 중소기업청 공업연구원
 경남대학교 컴퓨터공학과 교수
 현, 한국산업기술대학교 게임공학과 교수.
 관심분야: 멀티미디어 시스템, 게임 인공지능