

기지국용 Cross Post-Distortion 평형 선형 전력 증폭기에 관한 연구

A Research on a Cross Post-Distortion Balanced Linear Power Amplifier for Base-Station

최흥재 · 정희영* · 정용채 · 김철동**

Heungjae Choi · Heeyoung Jeong* · Yongchae Jeong · Chul Dong Kim**

요 약

본 논문에서는 feedforward와 post-distortion 기법을 이용하여 평형 증폭기 내에서 발생하는 혼변조 왜곡 성분을 제거할 수 있는 새로운 왜곡 상쇄 메커니즘인 cross post-distortion 선형화 기법을 제안한다. 출력 동적 영역과 대역폭 측면에서 제안하는 선형화 방식은 기존의 feedforward 방식에 뒤지지 않는 성능을 가지고 있으면서 상대적으로 높은 효율을 제공한다. 이론적 뒷받침을 위해 제안하는 시스템과 feedforward 방식의 전력 증폭기와 오차 증폭기의 전력 용량을 비교 분석하였고, IMT-2000 대역에서 실제 구현을 통하여 이를 실험적으로 뒷받침하였다. 최대 출력 전력 240 W의 기지국용 상용 대전력 증폭기에 적용했을 때, wideband code division multiple access (WCDMA) 4FA 신호에 대하여 평균 출력 전력 40 dBm에서 약 18.6 dB의 개선 효과를 얻었다. 제작된 전력 증폭기는 WCDMA 신호 기준으로 feedforward 방식에 비해 약 2 % 개선된 효율을 보였다.

Abstract

In this paper, we propose a new distortion cancellation mechanism for a balanced power amplifier structure using the carrier cancellation loop of a feedforward and post-distortion technique. The proposed cross post-distortion balanced linear amplifier can reduce nonlinear components as much as the conventional feedforward amplifier through the output dynamic range and broad bandwidth. Also the proposed system provides higher efficiency than the feedforward. The capacities of power amplifier and error power amplifier in the proposed system are analyzed and compared with those of feedforward amplifier. Also the operation mechanisms of the three kind loops are explained. The proposed cross post-distortion balanced linear power amplifier is implemented at the IMT-2000($f_0=2.14$ GHz) band. With the commercial high power amplifiers of total power of 240 W peak envelope power for base-station application, the adjacent channel leakage ratio measurement with wideband code division multiple access 4FA signal shows 18.6 dB improvement at an average output power of 40 dBm. The efficiency of fabricated amplifier improves about 2 % than the conventional feedforward amplifier.

Key words : Balanced Amplifier, Feedforward, Post-Distortion, Base-Station

I. 서 론

대전력 증폭기(High Power Amplifier: HPA)는 무선

「이 연구에 참여한 연구자는 2단계 BK21 사업의 지원비를 받았음.」

전북대학교 정보통신공학과 및 반도체설계교육센터(IDECE WG)(Dept. of Info. & Comm. Engineering, Chonbuk National University)

*(주)에어포인트(Airpoint Co., Ltd.)

**세원텔레텍(주)(Sewon Teletech, Inc.)

· 논문 번호 : 20070904-093

· 수정완료일자 : 2007년 10월 16일

통신 시스템, 특히 기지국 응용 분야에서 가장 중요한 장치중의 하나이다. 그 중 평형 전력 증폭기(Balanced Power Amplifier: BPA)는 높은 출력 전력과 안정된 격리 특성을 얻기 위한 기본적인 구조로 널리 쓰이고 있다. 최근에는 CDMA와 같이 주파수 사용 효율을 높이기 위하여 시간에 따라 진폭이 변하는 변조 방식을 사용하는 데, 높은 전력 영역에서는 HPA의 비선형성에 의해 진폭과 위상의 왜곡이 발생한다. 기지국 HPA의 엄격한 선형성 요구 조건을 만족시키기 위한 선형화 방법 중 feedforward(FFW) 방식은 광대역에서 뛰어난 개선 효과로 인해 활발하게 연구되고 있으며, 그 신호 상쇄 메커니즘은 여러 회로에 응용되어 왔다^{[1]~[5]}. 뛰어난 선형성 개선 효과에도 불구하고, FFW 방식은 PA 출력단의 방향성 결합기와 균지면 시간 보상 지연 회로의 손실로 인한 효율 저하라는 치명적인 단점을 가지고 있다. 또, 다른 방식으로써 오차 신호를 전력 증폭기의 출력 단에 인가하는 Post-Distortion(PoD)이 있다^[6].

본 논문에서는 FFW 선형화 기법의 주 신호 제거 루프 구조와 PoD 선형화 기법을 이용하여 평형 전력 증폭기에서 발생하는 왜곡 신호를 상쇄시킬 수 있는 cross post-distortion 평형 선형 전력 증폭기(cross Post-Distortion Balanced Linear Power Amplifier: cross PoD BLPA) 회로를 제안한다. 먼저 왜곡 신호 상쇄 메커니즘, 전력 증폭기와 오차 증폭기의 전력 용량에 관한 정성적 분석을 제시하였다. 그리고 이를 실험적으로 뒷받침하기 위하여 최대 전력이 240 W 급인 cross PoD BLPA를 제작하였고, 루프 제거와 ACLR 개선 효과를 보였다.

II. Cross Post-Distortion 평형 선형 전력 증폭기에 관한 이론 분석

2-1 회로 구성 및 동작 원리

그림 1은 일반적인 2-way 평형 증폭기 구조를 보여준다. 두 개의 PA가 전력 분배기와 결합기를 이용해 병렬로 결합되어 있다. 이 구조는 높은 전력이 필요할 때 사용되는 구조이다. 두 개의 트랜지스터 또는 전력 증폭기(Power Amplifier: PA)가 일반적으로 같은 전기적 특성을 갖고 있기 때문에, PA1의 출력 단에서 발생하는 왜곡 신호를 PA2의 출력 단으로 인가할 경우, 전체 평형 증폭기에서 발생하는 왜곡 성분을 상쇄시킬 수 있을 것이다.

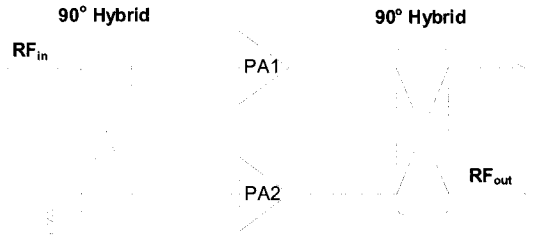


그림 1. 일반적인 평형 전력 증폭기의 블록도
Fig. 1. Conventional balanced power amplifier structure.

그림 2는 본 연구에서 제안하는 Cross PoD BLPA의 블록도를 보여준다^[7]. 이 시스템은 세 개의 상쇄 루프로 구성되어 있다. 주신호 제거 루프(1st loop), 평형 증폭기 루프(2nd loop), 오차 신호 주입 루프(3rd loop). 주신호 제거 루프는 PA1의 출력 단에서 얻어진 왜곡 신호를 포함하는 증폭된 신호의 일부를 추출하여 오차 신호를 생성한다. 평형 증폭기 루프는 입력 신호를 증폭시키고 출력 전력을 발생시킨다. 오차 신호 주입 루프는 주신호 제거 루프에서 오차 신호를 입력으로 받고 적절한 이득, 위상 조정 후 PA2의 출력 단으로 인가한다.

일반적으로 전치 왜곡기(PD)와 같이 왜곡 신호 발생 회로를 필요로 하는 경우, 전력 증폭기의 전달 함수를 예측하는 데에 한계가 있기 때문에 선형성 개선 정도와 대역폭에 제한이 있지만, 제안하는 구조에서는 이러한 왜곡 신호 발생 회로를 필요로 하지 않는다는 점이 중요한 장점 중의 하나이다.

또한, 평형 증폭기 구조 내의 두 개의 PA가 같은 선형성을 가지고 있다는 가정 하에, 완전한 신호 상쇄가 가능하다. 게다가, FFW 방식과의 구조적 유사성으로 인하여, 제안하는 구조는 넓은 동적 영역에 대하여 뛰

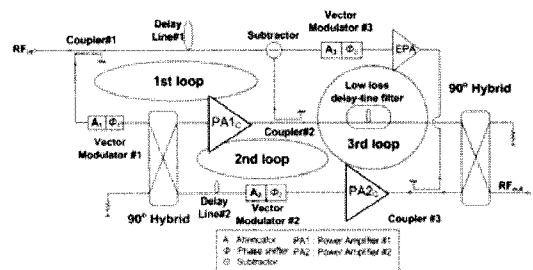


그림 2. 제안하는 cross PoD BLPA의 블록도
Fig. 2. Whole block diagram of the proposed cross post-distortion balanced linear power amplifier.

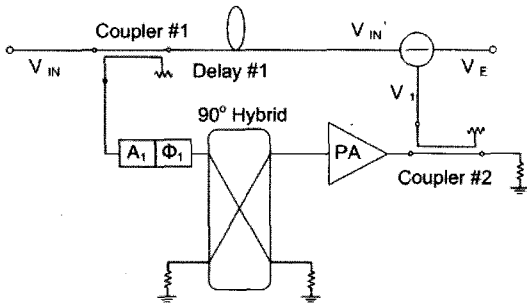


그림 3. 제안하는 시스템의 주신호 제거를 위한 첫 번째 루프

Fig. 3. 1st loop of the proposed system for carrier signal cancellation.

어난 선형성 개선 효과를 얻게 해 준다. 그리고 PA의 출력 단에 지연 선로 여파기와 결합기가 존재하여 상당한 전력 손실을 유발하는 일반적인 FFW 방식과 비교했을 때, 제안하는 cross PoD BLPA는 평형 증폭기 구조 중 하나의 PA의 출력 단에만 지연 선로 여파기와 결합기가 존재하여 전체 전력 손실을 상당히 줄일 수 있다.

2-2 주 신호 제거 루프의 수학적 분석

그림 3은 cross PoD BLPA 회로 중 주 신호 제거 블록을 보여준다. 주 신호를 완전하게 상쇄시키고 그로 인해 오차 신호로서 순수한 혼변조 왜곡 신호만을 얻기 위해서 루프의 두 경로 사이의 이득, 위상, 군지연 정합에 관한 분석이 이루어져야 한다. 그림에서 입력 신호 V_{IN} 의 일부가 이득/위상 조정 경로(A_1 & ϕ_1)로 인가되면 PA에 의해 증폭되며, PA의 출력 신호에는 주 신호 외에 혼변조 왜곡 신호가 포함되어 있다. 그 후, PA 출력 신호의 일부가 빼기 회로(θ)로 인가된다. 이 신호는 군지연 회로 #1을 통과한 기준 신호 V_{IN}' 와 상쇄적으로 결합되어 순수한 혼변조 왜곡 성분만을 갖는 출력 신호 V_E 가 얻어진다. 이 때, 두 경로 사이의 이득과 위상, 군지연의 부정합 조건에 따라 주신호 제거 정도가 결정되므로 이를 수식적인 모델을 통해 분석해 보자.

2-2-1 이득과 위상 부정합

빼기 회로의 두 입력을 V_{IN}' 과 V_1 , 그리고 출력을 오차 신호 V_E 로 표현한다고 하자. 진폭 A , 위상 ϕ 인 입력 정현파(V_{IN})가 부정합 조건 ΔA 와 역위상 부정합 조건 $\Delta \phi$ 를 갖는 신호 V_1 과 결합될 때, 출력 V_E 는 다음과 같

이 나타낼 수 있다.

$$V_{IN}' = A \cos(\omega t + \phi) \quad (1)$$

$$V_1 = (A + \Delta A) \cos(\omega t + \phi + \pi + \Delta \phi) \quad (2)$$

$$V_E = V_{IN}' + V_1 \quad (3)$$

입력 신호의 진폭이 정규화 되었다고 가정할 때 출력 오차 신호의 제곱 값을 표현하면 다음과 같다^[8].

$$|V_E|^2 = \left(\begin{aligned} & [1 - \cos(\Delta \phi) - \Delta A \cos(\Delta \phi)]^2 \\ & + [\sin(\Delta \phi) + \Delta A \sin(\Delta \phi)]^2 \end{aligned} \right) |V_{IN}'|^2 \quad (4)$$

2-2-2 군지연 부정합

넓은 대역폭을 갖는 신호의 상쇄를 위해서는 군지연 부정합 또한 중요하게 고려해야 할 요소이다. 입력 신호가 군지연 부정합 조건 $\Delta \tau$ 를 갖는 신호와 상쇄적으로 결합될 때, 출력 신호는 다음과 같다^[9].

$$V_{OUT} = 2 \cos\left(\Delta \omega \Delta \tau + \frac{\pi}{2}\right) V_{IN} \quad (5)$$

2-3 FFW LPA와 Cross PoD BLPA의 전력 증폭기 전력 용량 비교

제안하는 구조는 FFW 구조와 유사하기 때문에, cross PoD BLPA와 일반적인 FFW 방식에서 요구되는 PA 전력 용량을 비교하여 보았다. 그림 4는 비교의 일관성을 유지하기 위해 평형 전력 증폭기를 사용한 일반적인 FFW 블록도이며, 그림 5는 제안하는 cross PoD BLPA의 블록도이다. 비교의 간략화를 위하여 이득/위상 조정기에 관한 요소들은 고려 대상에서 제외하였다. 실제 시스템에서 이득/위상 조정기는 전력 증폭기의 입력 단에 장착되므로 전력 증폭기의 출력 전력 레벨에 영향을 주지 않으므로 이러한 간략화가 타당하다고 할 수 있다. 여기에서 두 개의 PA는 같은 전력과 선형성을 갖는다고 가정하자.

통상적으로 결합기 #2는 30~40 dB의 낮은 결합 특성을 갖는 반면에, 결합기 #3은 대개 10 dB 정도의 높은 결합 특성을 갖는다. 그리고 전력 증폭기의 출력 전력 손실을 줄이기 위해 결합기 #2의 출력 단에 연결되는 군지연 여파기는 낮은 삽입 손실을 갖는다. 따라서 그림 5의 경우, 두 PA의 출력 신호는 거의 같은 손실을

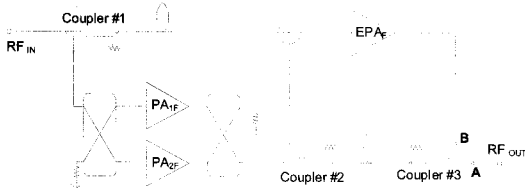


그림 4. 일반적인 FFW LPA
Fig. 4. Conventional FFW LPA.

경험하게 된다.

그림 4에서, 평형 전력 증폭기의 출력(P_{PAF})과 전체 LPA 시스템의 출력(P_{OUTF})은 다음과 같이 dB 스케일로 표현된다.

$$P_{PA1F} = P_{PA2F} \quad (6)$$

$$P_{PAF} = P_{PA1F} + 3 = P_{PA2F} + 3 \quad (7)$$

$$P_{OUTF} = P_{PAF} - \alpha_2 - l_2 - \alpha_3 \\ = P_{PA1F} + 3 - \alpha_2 - l_2 - \alpha_3 \quad (8)$$

여기에서 첨자 F 는 FFW LPA를 나타내며, α_2 , l_2 그리고 α_3 는 각각 결합기 #2의 삽입 손실, 균지연 여파기의 삽입 손실, 그리고 결합기 #3의 삽입 손실을 의미한다.

그림 5에서 보여지는 cross PoD BLPA에 대하여 최종 출력 전력(P_{OUTC})은 다음과 같이 표현된다.

$$P_{OUTC} = P_{PA1C} - \alpha_2 - l_2 + 3 \\ \cong P_{PA2C} - \alpha_3 + 3 \quad (9)$$

여기에서 첨자 C 는 cross PoD BLPA를 의미한다.

FFW 방식과 cross PoD BLPA 방식에 사용된 모든 PA의 출력 전력이 같다고 가정할 때($PA_{1F} = PA_{2F} = PA_{1C} = PA_{2C}$), FFW 방식과 제안하는 방식의 최종 출력 전력의 차이는 식 (8)과 (9)를 이용하여 아래와 같이 나타낼 수 있다.

$$P_{OUTC} - P_{OUTF} = \alpha_3 \quad (10)$$

따라서 같은 전력을 갖는 PA를 이용하여 평형 증폭기를 구성하였을 때, 제안하는 cross PoD BLPA 방식이 FFW LPA 방식에 비해 최종 출력 전력을 기준으로 결합기 #3의 삽입 손실만큼 전력 손실이 작다는 것을 의미한다. 앞에서 이미 설명하였듯이 결합기 #3은 오차 증폭기의 전력 용량을 줄이기 위하여 10 dB의 높은 결

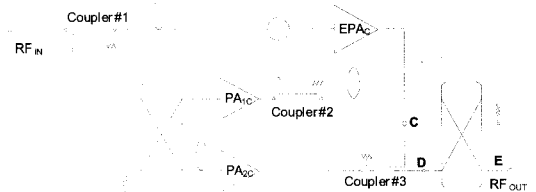


그림 5. 제안하는 시스템의 간략화된 블록도
Fig. 5. Simplified block diagram of the proposed system.

합도를 갖도록 설계하기 때문에, 그 삽입 손실은 약 0.5 dB 정도가 되어 전체 전력의 10%를 소모하게 된다. 이는 특히 전력 증폭기의 출력 전력이 높아질수록 전체 시스템 효율 저하의 원인으로 더 크게 작용하게 된다. 결국 사용되는 PA의 전력 용량의 측면에서 생각할 때, cross PoD BLPA가 FFW LPA보다 더 효율적이라고 결론지을 수 있다.

2-4 FFW LPA와 Cross PoD BLPA의 오차 증폭기 전력 용량 비교

PA의 전력 용량 외에 앞에서 설명한 두 방식에서 사용되는 오차 증폭기(Error Power Amplifier: EPA) 전력 용량 또한 비교하였다. 그림 4에서 FFW LPA 시스템의 최종 출력 전력을 P_{PAF} , 각 PA의 주 신호와 혼변조 왜곡 신호의 크기의 비를 IMD_{PA} 라고 할 때, 노드 A에서 상쇄되어질 IMD 전력(P_{IM_OUT})을 다음과 같이 표현할 수 있다.

$$P_{IM_OUT} \\ = P_{PAF} - IMD_{PA} - \alpha_2 - l_2 - \alpha_3 \quad (11)$$

노드 B에서 P_{IM_OUT} 을 상쇄시키기 위한 EPA의 출력 전력 레벨(P_{OUT_EPAF})은 다음과 같다.

$$P_{OUT_EPAF} = P_{IM_OUT} + C_3 + BF_{EPA} \quad (12)$$

여기에서 C_3 는 결합기 #3의 결합 계수이고, BF_{EPA} 는 EPA 자체에서 비선형 성분을 발생시키지 않고 선형 동작을 하기 위한 EPA의 back-off 값을 의미한다.

식 (8)과 (12)를 이용하여 FFW LPA의 최종 출력 전력(P_{OUTF})과 EPA의 출력 전력(P_{OUT_EPAF}) 사이의 비(PR_{FFW})를 정의할 수 있다.

$$PR_{FFW} = P_{OUT_EPAF} - P_{OUTF}$$

$$= C_3 + BF_{EPA} - IMD_{PA} \quad (13)$$

그림 5의 cross PoD BLPA의 경우에는 회로의 어느 부분에서 혼변조 왜곡 상쇄가 발생하는지를 고려해야 한다. 먼저 노드 C를 통해 인가되는 오차 신호는 노드 D에서 PA2의 출력 신호 중의 혼변조 성분을 상쇄시킨다. 그 후, PA2의 혼변조 신호를 충분히 상쇄시키고 남은 잔여 오차 신호 성분이 RF 출력 단자(노드 E)에서 PA1으로부터 전달된 혼변조 왜곡 성분을 상쇄시켜, 최종 출력에는 순수한 주 신호만 남는다. 따라서 PA1의 출력 중 IM 전력(P_{IM_OUT})은 출력 하이브리드 결합기를 거치면서 3 dB 손실을 갖는다.

노드 E 지점에서 각 PA의 IM 전력 레벨은 다음과 같이 표현된다.

$$\begin{aligned} P_{IM_OUT} &= P_{PA1C} - IMD_{PA} - \alpha_2 - l_2 - 3 \\ &\cong P_{PA2C} - IMD_{PA} - \alpha_3 - 3 \\ &= P_{IM_OUT} \end{aligned} \quad (14)$$

여기에서 P_{PA1C} 와 P_{PA2C} 는 각각 $PA1C$ 와 $PA2C$ 의 출력 전력이며, 이들은 서로 같은 선형성(IMD_{PA})을 가지고 있다고 가정한다. P_{IM_OUT} 과 P_{IM_OUT} 을 상쇄시키기 위해 요구되는 출력 전력(P_{OUT_EPAC})은 식 (15)처럼 정의할 수 있다.

$$P_{OUT_EPAC} = P_{PA1C} - IMD_{PA} + 3 + C_3 + BF_{EPA} \quad (15)$$

위의 식 (9)와 (15)를 이용하여 cross PoD BLPA의 EPA와 PA의 전력 용량 비를 결정할 수 있으며, 그 결과는 다음과 같다.

$$\begin{aligned} PR_{CPoDBLPA} &= P_{OUT_EPAC} - P_{OUTC} \\ &= C_3 + BF_{EPA} - IMD_{PA} + \alpha_3 \end{aligned} \quad (16)$$

식 (13)과 (16)의 결과를 비교하면, PA 전력 용량 분석의 결과와는 반대로 EPA의 전력 용량에 있어서 cross PoD BLPA 방식이 기존의 FFW LPA 방식에 비해 결합기 #3의 삽입 손실(α_3)만큼 더 큰 용량을 요구한다는 것을 알 수 있다. 하지만 실제 시스템 설계 시 EPA의 전력 용량은 PA 전력 용량에 비해 훨씬 작은 값이며, 상대적으로 낮은 전력 레벨에서의 10% 손실은 무시할 만하다고 할 수 있다.

위의 두 분석 결과를 종합해 보면 PA의 전력 손실의 측면에서는 Cross PoD BLPA 방식이 유리하고, EPA 전력 용량의 측면에서는 큰 차이가 없으므로, 결국 제안하는 시스템이 선형 RF 전력 증폭기의 효율 증대에 기여할 수 있다는 것을 알 수 있다.

III. Cross Post-Distortion 평형 선형 전력 증폭기의 설계

3장에서는 cross PoD BLPA의 각 루프의 세부 동작 원리와 설계 시 고려해야 할 사항들을 설명하고 있다.

3-1 주 신호 제거 루프

그림 6은 오차 신호를 얻기 위한 주 신호 제거 루프를 보여준다. 입력 신호의 일부가 결합기 #1을 통해 PA1으로 전달되며, 나머지 신호는 기준 신호로써 지연선로 #1을 통해 전달된다. 지연선로 #1의 값은 PA1과 이득/위상 조정기 #1에 의한 군지연 시간을 보상해 주도록 설정한다. PA1의 비선형성으로 인하여 PA1의 출력 신호는 주 신호 외에 혼변조 왜곡 성분을 포함하고 있다. 이 신호의 이득/위상을 적절히 조절하여 기준 신호와 상쇄적으로 결합시키면 주신호가 제거되어 왜곡 성분만을 갖는 오차 신호를 생성할 수 있다. 이 때 완전한 신호 상쇄 효과를 얻기 위해서 두 경로 사이의 이득, 역위상, 군지연 시간 정합이 매우 중요하다. 광대역에서 신호 상쇄 효과를 얻기 위하여 동일 군속도 신호 상쇄기를 이용한 빼기 회로를 설계하였다^[10].

3-2 평형 증폭기 루프

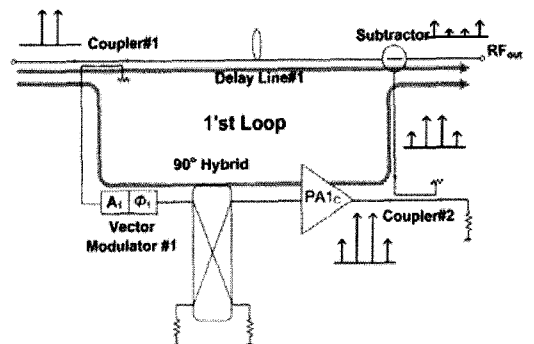


그림 6. 주 신호 제거 루프
Fig. 6. Carrier cancellation loop.

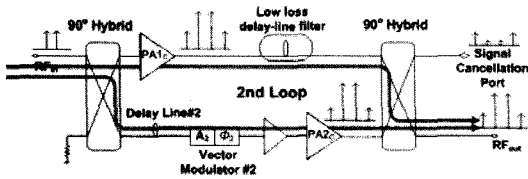


그림 7. 평형 증폭기 루프
Fig. 7. Balanced power amplifier loop.

그림 7은 평형 증폭기 루프의 블록도이다. PA1의 출력 단에 사용된 저 손실 균지연 여파기는 오차 신호 주입루프의 이득/위상 조정기와 EPA로 인해 발생하는 균지연 시간을 보상해줄 수 있는 값을 가져야 한다. 그리고 평형 증폭기 루프에서 이 균지연 여파기에 의한 균지연 시간 정합을 위해 PA2의 입력 단에 지연 선로 #2를 두어 두 경로 사이의 균지연 시간 정합을 한다. 이득/위상 조정기 #2를 가변 범위의 중심에 둘 때 어느 정도의 손실을 가지고 있기 때문에, 보상을 위해 PA2 입력 단에 소신호 증폭기를 사용하였고, 이 소신호 증폭기는 PA2에 포함될 수도 있다. 평형 증폭기 루프의 루프 상쇄도를 평형 증폭기 구조의 격리 단자에서 확인할 수 있으며, 격리 단자의 전력을 최소화시키기 위해 이득/위상 조정기 #2를 조절해 주어야 한다.

3-3 오차 신호 주입 루프

오차 증폭기의 블록도가 그림 8에 나타나 있다. 주신호 제거 루프에서 생성된 오차 신호의 이득과 위상을 EPA와 이득/위상 조절기 #3에 의해 조절하여 EPA의 출력 신호가 PA2의 출력 단으로 주입될 때 평형 증폭기를 구성하는 두 PA에서 발생하는 비선형 성분을 상쇄시킬 수 있도록 해 준다. PA2의 출력 단에 주입되는 오차

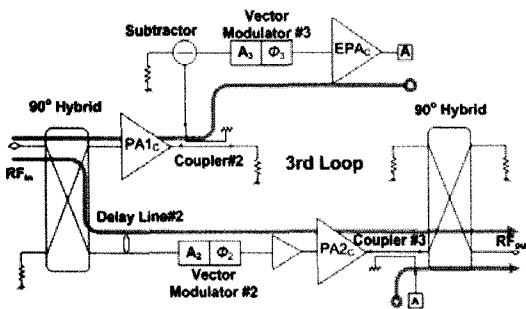


그림 8. 오차 신호 주입 루프
Fig. 8. Error signal injection loop.

신호의 레벨은 PA2에서 발생하는 왜곡 성분을 상쇄시키고 남은 성분이 최종 출력(RFOUT) 단자에서 PA1으로부터 기인하는 왜곡 성분을 상쇄시킬 수 있도록 조절되어야 한다.

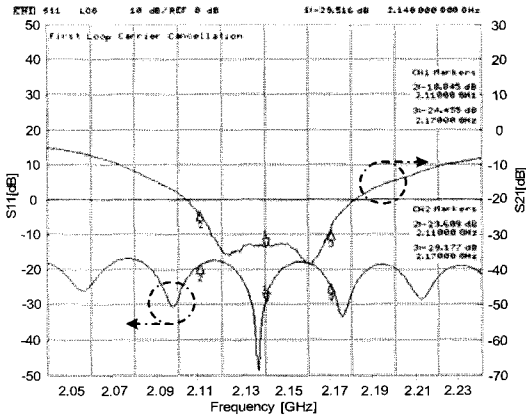
EPA 자체에서 비선형 성분이 추가적으로 발생하지 않도록 EPA는 선형 동작 영역에서 동작해야 하며, EPA의 출력 단자(A)는 결합기 #3을 통해 PA2의 출력으로 연결된다.

IV. 측정 및 결과 분석

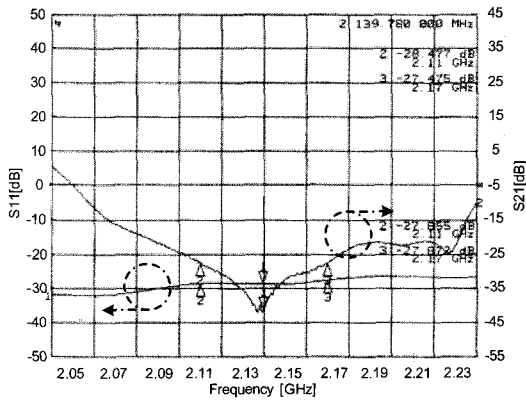
제안하는 구조의 타당성을 검증하기 위하여 IMT-2000 대역의 기지국용 상용 전력 증폭기 두 개를 평형 증폭기로 구성하여 총 출력 전력 240 W급의 cross PoD BLPA를 제작하였다. 여기에서 사용된 기지국용 상용 증폭기는 세원텔레텍(주)의 최대 출력 120 W급 STA-2100-39MM 시리즈이다.

그림 9는 회로망 분석기를 이용하여 측정한 각 루프 별 루프 상쇄도를 보여주고 있다. 그림 9(a)는 주신호 제거 루프의 측정 결과이며, 2.11~2.17 GHz 대역 내에서 입력 신호가 약 23.6 dB 이상 제거됨을 알 수 있다. 이 경우 PA의 동작 대역이 60 MHz로 제한되어 있기 때문에, 사용되는 PA의 동작 대역에 따라서 실제 상쇄 대역은 더 넓어질 수 있다. 그림 9(b)는 평형 증폭기의 입력과 신호 상쇄 단자(평형 증폭기의 격리 단자)에서 측정한 루프 상쇄도이다. 2.11~2.17 GHz 대역에서 28 dB 이상의 상쇄도를 보이고 있으며, 이 결과로부터 평형 증폭기로서 루프의 밸런스가 잘 맞아 있고 동작하는 데에 문제가 없음을 의미한다. 앞의 2장에서 설명했듯이 오차 신호 주입 루프의 동작 원리를 생각해 보면 오차 신호 주입을 통한 상쇄가 두 지점에서 순차적으로 발생하기 때문에, 이 루프의 상쇄도는 측정이 불가능하다.

그림 10은 인접 채널 누설 전력비(Adjacent Channel Leakage Ratio: ACLR) 측정 결과를 보여준다. 출력 동적 영역에서 측정된 5 MHz와 10 MHz 이격된 지점에서의 ACLR 특성이 그림 10(a)에 나타나 있다. 제안하는 시스템의 선형성화 결과가 매우 뛰어남을 확인할 수 있다. 그림 10(b)는 평균 출력 전력이 40 dBm 일 때 선형화 전후의 출력 스펙트럼을 보여준다. 5 MHz 이격된 지점에서 18.6 dB 개선되어 -46.6 dBc의 ACLR 특성을 가지고 있다. 선형화 후의 ACLR 특성이 그다지 좋지 않은



(a) 주 신호 제거 루프
(a) Carrier cancellation loop

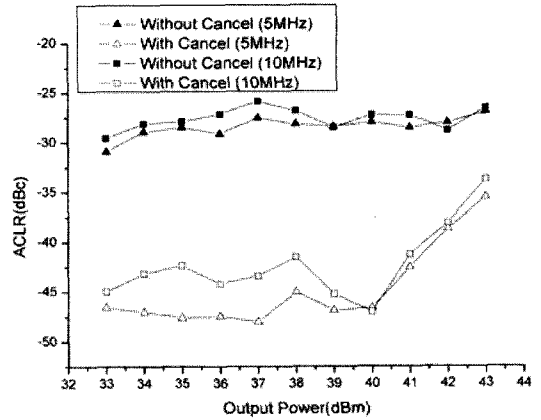


(b) 평형 증폭기 루프
(b) Balanced power amplifier loop

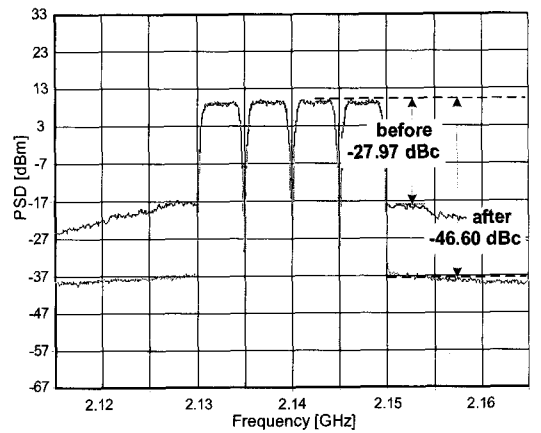
그림 9. 회로망 분석기로 측정한 루프 상쇄
Fig. 9. Loop cancellation results measured with network analyzer.

이유는 상용 전력 증폭기를 이용할 때 이미 선형성이 뛰어난 증폭기를 개선 효과를 확인하기 위해 과도하게 오버드라이브 시켰기 때문이다. 상용 전력 증폭기가 아닌 일반 트랜지스터를 이용하여 전력 증폭기를 설계할 경우, 각 루프에서 균지연 정합을 위해 고려해야 할 균지연 시간이 줄어들게 되므로 손실이 작아져 전체 시스템의 효율 개선에 도움이 될 것으로 예상된다.

일반적으로 약 10 dB의 PAR을 갖는 WCDMA 신호를 사용할 때 제안하는 cross PoD BLPA 시스템의 측정된 효율은 기존의 FFW LPA에 비해 약 2% 증가하였다. 만약 CW 신호를 기준으로 효율을 고려한다면 2장에서 분석한 것과 같이 효율 증가량은 더 크게 나타날 것이다.



(a) 출력 전력 레벨에 따른 ACLR 특성
(a) ACLR characteristics through the output dynamic range



(b) 평균 출력 전력 40 dBm에서의 출력 스펙트럼
(b) Power spectral density at an average output power of 40 dBm

그림 10. 선형화 전/후 cross PoD BPA의 ACLR 특성과 출력 스펙트럼

Fig. 10. ACLR characteristic and power spectral density of the cross PoD BPA before and after linearization.

V. 결 론

본 논문에서는 feedforward 구조의 주신호 제거 루프와 post-distortion 기법을 응용한 BLPA 구조의 왜곡 신호 상쇄 메커니즘에 관하여 제안하였다. BLPA의 한 부분에서 발생한 왜곡 신호를 추출하여 전체 BLPA에서 발생하는 왜곡 신호를 상쇄하였다. BLPA의 한 부분에서 추출된 왜곡 신호와 기준 신호를 상쇄적으로 결합하여 오차 신호를 만들고, 오차 증폭기를 이용하여 원하

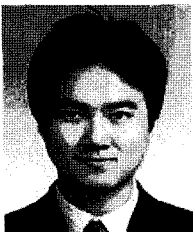
는 전력 레벨까지 증폭시킨 후 이득과 진폭을 조절하여 BPA의 다른 한 부분의 출력 단자에 인가함으로써 전체 BPA에서 발생하는 왜곡 신호를 상쇄시켰다.

제안된 cross PoD BLPA 설계 기법은 두 개 이상의 PA를 갖는 평형 전력 증폭기로 확장되어 전체 회로에서 발생한 왜곡 신호를 상쇄시키는 데에 사용될 수 있다. 본 논문에서 제안하는 구조는 전력 증폭기의 낮은 출력 전력 손실, 뛰어난 선형성, 넓은 동작 영역, 간단한 구조 및 오차 증폭기의 전력 용량 등에서 기존의 선형화 기법에 비해 장점을 가지고 있다. 따라서, 제안된 시스템은 광대역 통신 환경에서 기지국용 고효율 전력 증폭기로서 매우 뛰어난 성능을 발휘할 것으로 기대된다.

참 고 문 헌

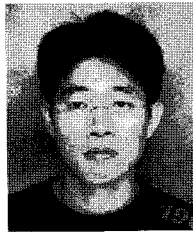
- [1] S. C. Cripps, *Advanced Techniques in RF Power Amplifiers Design*, Norwood, MA, Artech House, 2002.
- [2] P. B. Kenington, R. J. Wilkinson, and J. D. Marvill, "Power amplification techniques for linear TDMA base station", *IEEE Global Telecommunication Conf. Dug.*, vol. 1, pp. 74-78, Dec. 1992.
- [3] Fredric H Raab, Peter Asbeck, Steve Cripps, Peter B. Kenington, Zoya B. Popovic, Nick Potheary, John F. Sevic, and Nathan O. Sokal, "Power amplifiers and transmitter for RF and microwave", *IEEE Trans. on MTT*, vol. 50, no. 3, pp. 814-826, Mar. 2002.
- [4] Mark Billsberry, Melbourne Beach, "Balanced distortion reduction circuit", United States Patent, Patent no. US 6,734,726 B2, May 2004.
- [5] Yong-Chae Jeong, Jong-Sik Lim, "A novel frequency doubler using feedforward technique and defected ground structure", *IEEE Microwave and Wireless Components Letters*, vol. 14, no. 12, pp. 557-559, Dec. 2004.
- [6] Jae-Hee Han, Duck-Hee Lee, Sangwook Nam, Jong-Sik Lim, Jongsup Yun, and Sungchoon Kang, "Post-distortion linearizer for multicarrier power amplifiers using a fifth-order error signal generator", *Proc. 2001 Asia Pacific Microwave Conference*, vol. 1, pp. 272-275, Dec. 2001.
- [7] Heungjae Choi, Yongchae Jeong, J. Stevenson Kenney, and Chul Dong Kim, "Cross post-distortion balanced power amplifier", *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1115-1118, Jun. 2007.
- [8] T. O'Sullivan, R. A. York, B. Noren, and P. M. Asbeck, "Adaptive duplexer implemented using single-path and multipath feedforward techniques with BST phase shifters", *IEEE Trans. on MTT*, vol. 53, no. 1, pp. 106 -114, Jan. 2005.
- [9] K. J. Parsons, P. B. Kenington, "Effect of delay mismatch on a feedforward amplifier", *Proc. Inst. Elect. Eng.*, vol. 141, no. 2, pp. 140-144, Apr. 1994.
- [10] Yong-Chae Jeong, Dal Ahn, Chul-Dong Kim, and Ik-Soo Chang, "Feedforward amplifier using equal group-delay signal canceller", *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1530-1533, Jun. 2006.

최 흥 재



2004년 2월: 전북대학교 전자공학과 (공학사)
 2006년 2월: 전북대학교 정보통신공학과 (공학석사)
 2006년 2월~현재: 전북대학교 정보통신공학과 박사과정
 [주 관심분야] Wideband Amplifier, High Efficiency Amplifier, Linearizer

정 희 영



2004년 2월: 금오공과대학교 전자통신공학과 (공학사)
 2006년 8월: 전북대학교 정보통신공학과 (공학석사)
 2006년 9월~2007년 5월: 한국기술연구소 전자과측정연구팀 연구원
 2007년 5월~현재: (주)에어포인트 무선신호처리팀 연구원

[주 관심분야] Linearizer, HPA, ICS, Adaptive Interference Canceller for WiMAX/WCDMA/CDMA 등

정 용 채



1989년 2월: 서강대학교 전자공학과 (공학사)

1991년 2월: 서강대학교 전자공학과 (공학석사)

1996년 8월: 서강대학교 전자공학과 (공학박사)

1991년 2월~1998년 2월: 삼성전자 정보통신본부 선임연구원

1998년 3월~현재: 전북대학교 전자정보공학부 부교수 및 IDEC WG 참여교수

2006년 7월~2007년 12월: Georgia Institute of Technology 방문연구교수

[주 관심분야] RF 및 Microwave 회로 해석 및 설계

김 철 동



1971년 2월: 서울대학교 전자공학과 (공학사)

1985년 5월: 미국 Wisconsin-Madison 전기공학과 (공학박사)

1985년~1990년: 미국 AT&T Bell Labs. MTS

1990년 2월~1997년 11월: 삼성전자 정보통신사업본부 상무이사

1997년 11월~현재: 세원텔레텍(주) 대표이사

[주 관심분야] 선형증폭기 설계, 초고주파 회로설계, 이동통신시스템 기술