

논문 2007-44SD-12-5

디지털 제어 방식의 APC 기능을 갖는 1.25Gb/s 버스트-모드 광 송신기

(A 1.25Gb/s Burst-mode Optical Transmitter with Digitally Controlled APC)

기 현 철*

(Hyeon Cheol Ki)

요 약

본 논문에서는 Gb/s 동작과 같은 고속 동작에 적합한 새로운 버스트-모드 광 송신기 구조를 제시하였다. 이 구조로써 디지털적으로 제어되는 APC 회로를 포함하는 EPON용 버스트-모드 광 송신기를 상용 0.8μm BiCMOS 기술을 이용하여 제작하였다. 제작된 광 송신기는 1.25Gb/s에서 잘 동작했고 53.3ps의 지터, 191ps의 상승시간 및 258ps의 하강시간을 갖는 양호한 아이 패턴을 보였다. APC 기능의 특성을 파악하기 위해 외부 전압 V_{REF}를 증가시키며 출력광의 전력을 측정했다. 광 전력은 0.293mW/V의 비율로 V_{REF}에 선형적으로 비례하였다.

Abstract

In this paper, we proposed a new burst-mode optical transmitter structure which is suitable for high data rate operation such as Gb/s operation. With this structure we made a 1.25Gb/s burst-mode optical transmitter including a digitally controlled APC circuit for EPON systems using commercial 0.8μm BiCMOS technology.

It well functioned at 1.25Gb/s and showed good eye patterns with 53.3ps jitter, 191ps rise time and 258ps fall time. To characterize the APC function we measured optical output power as increasing external voltage V_{REF}. The optical power is linearlyproportional to V_{REF} at the rate of 0.293mW/V.

Keywords : APC, optical, transmitter, EPON, burst-mode

I. 서 론

광섬유는 기간망(backbone network)에서와 같이 신뢰성 있는 장거리 고속통신 구현을 위한 최적의 매체로 인정받고 있다. 최근에는 광섬유를 이용한 고속 접속망(access network)인 FTTH(Fiber-To-The-Home)에 대한 연구가 활발히 진행되고 있다. FTTH는 양방향(interactive) 비디오, 음성, 영상, 음악 및 고속 인터넷과 같은 다중 미디어 서비스를 가능하게 하는 접속망의 한 해법으로서 수많은 가입자에 대한 분배(distributive)

와 양방향 통신이 혼합된 서비스를 제공할 수 있어야 한다. 이를 효과적으로 구현하기에 가장 적합한 기술이 PON(Passive Optical Network)으로 알려져 있다.

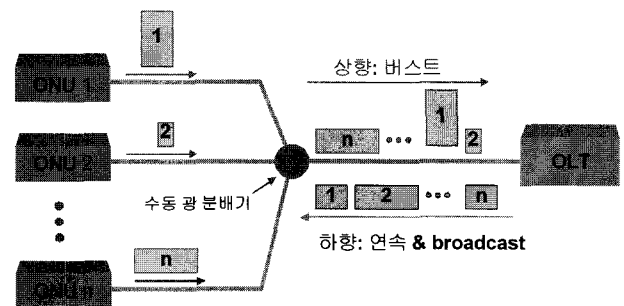


그림 1. PON 시스템의 구조.

Fig. 1. Structure of PON systems.

* 정회원, 경원대학교 전자공학과

(Dep. of Elec. Eng. Kyungwon Univ.)

접수일자: 2007년7월31일, 수정완료일: 2007년11월13일

그림 1은 P2MP(Point-To-MultiPoint)를 통해 다중 접속(multiple access)을 하는 PON구조를 보여 주고 있다. PON은 수동 광 분배기에 의한 다중접속(multiple access) 기능에 의해 OLT(Optical Line Terminal)로부터 다수의 ONU(Optical Network Unit)가 다운링크(downlink) 하거나 다수의 ONU가 OLT로 업링크(uplink)하는 것을 가능하게 하여준다. 업링크 시 동일 광섬유 선을 시분할 다중(time division multiplexing) 방식으로 공유하여 사용하므로 각 ONU는 자신에게 할당된 송신 시간구간에서 버스트-모드(burst-mode)로 데이터를 송신해야 하고 OLT는 버스트-모드 데이터를 수신해야 한다. 또한, PON 시스템의 신뢰도와 가격 경쟁력을 높이기 위해 수동 광 분배기의 분배율을 높이고 먼 거리까지 도달할 수 있도록 하는 것이 중요하다. 따라서 높은 민감도(sensitivity)와 넓은 동작영역(dynamic range)을 갖는 버스트-모드 광 수신기와 빠른 APC(Automatic Power Control)기능을 갖고 저가로 구현될 수 있는 광 송신기가 PON 시스템의 핵심 회로 블록이 되며 이에 대한 연구가 활발히 진행되고 있다 [1~3].

특히, PON시스템의 버스트-모드 송신기는 정전 시 백업 충전지로 동작해야 하므로 저전력 특성이 요구되고 기존의 구리선에 대해 경쟁력을 확보하기 위해서는 저가로 구현될 수 있는 기술이 요구된다. 이에 따라 저전력이면서 저가 구현이 가능한 효율적인 광 송신기 구조에 대한 연구가 진행되고 있다 [4~6].

본 논문에서는 0.8 μ m SiGe BiCMOS 상용 파운드리 기술을 이용하여 제작한 1.25Gb/s EPON (Ethernet PON)용 광 송신기에 대해 기술한다. 제작된 광 송신기는 APC 기능을 포함하고 있으며 데이터 전송구간 이외에는 LD 구동기의 바이어스 전류 공급을 차단함으로써 소모 전력이 극소화 되도록 하였다.

II. EPON 용 광 송신기의 설계

기존의 광통신이 점 대 점 (point-to-point) 통신 방식인데 반해 PON방식은 수동 광 분배기를 통한 다중 접속(multiple access)으로 동보(broadcast) 기능을 제공한다. 이 경우 각 ONU는 업링크(uplink)하기 위해 동일 광섬유 선을 시분할 다중(time division multiplexing) 방식으로 공유하게 된다. 따라서 각 ONU는 자신에게 할당된 송신 시간구간에서만 데이터를 송신하여야 하므로 버스트-모드(burst-mode) 광 송신기를 필요로 하게

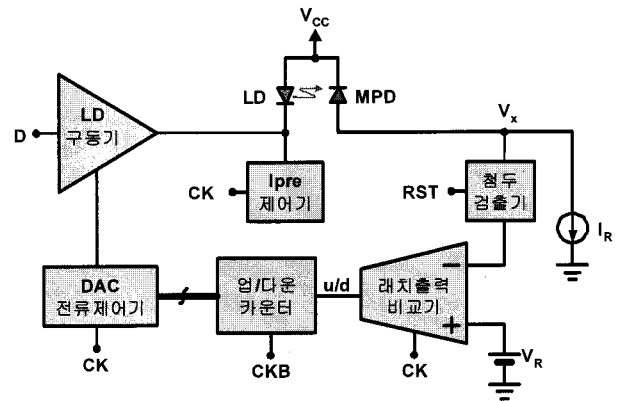


그림 2. 제안된 EPON 용 광 송신기의 구조.

Fig. 2. Proposed structure of optical transmitters for EPON .

된다.

그림 2는 본 논문에서 제안하는 EPON 용 버스트-모드 광 송신기의 구조를 보여주고 있다. LD(Laser Diode) 구동기는 업/다운 카운터의 디지털 값이 MOSFET으로 구성된 DAC (Digital to Analog Converter) 전류제어기에 의해 아날로그로 변환된 전류 값에 의해 변조전류가 제어되도록 하였다. 결과적으로, LD 구동기의 변조전류는 디지털적으로 조절되므로 업/다운 카운터가 홀더(holder) 역할을 하여 홀더 구현에 필요한 큰 값의 용량기가 필요 없어서서 단일 칩화에 유리한 구조가 된다. 또한, 데이터를 송신하는 시간 구간 이외의 구간에서는 구동기의 바이어스 전류가 완전히 차단되도록 함으로써 소모 전력이 극소화 되도록 하였다.

광 송신기의 중요한 기능 중 하나인 APC(Automatic Power Control) 회로는 레이저 다이오드로부터 출력되는 출력광의 세기를 안정적으로 유지하는 역할을 한다. 레이저 다이오드 출력 광의 세기는 그림2의 모니터 광 검출기(MPD: Monitor Photo Detector)에서 전류로 검출되고 설정된 기준전류 I_{REF} 와 비교함으로써 전압 V_x 가 야기된다. 야기된 전압 V_x 는 데이터에 따라 변동하므로 침두치를 검출하여 비교기(comparator)에서 기준 전압 V_R 과 비교함으로써 업/다운 카운터의 증감을 결정해 준다.

1. 디지털 제어 방식의 LD 구동기

그림 3은 본 논문에서 제안한 디지털 제어 방식의 LD 구동기의 구조를 간략화 하여 보여주고 있다. LD 구동기는 큰 전류를 고속으로 스위칭할 수 있도록 하기 위해 바이폴라 구조의 SiGe HBT로 차동쌍(differential

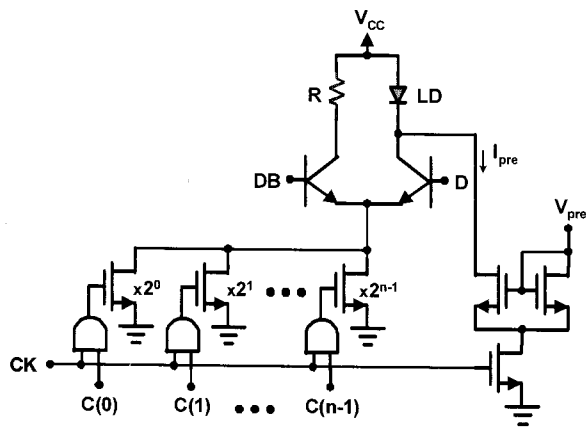


그림 3. 제안한 디지털 제어 방식의 LD 구동기.
Fig. 3. Proposed digitally controlled LD driver.

pair)을 이루어 구성하였다.

LD 구동기의 변조전류는 업/다운 카운터의 디지털 출력 값을 DAC(Digital to Analog Conversion)하여 변환된 아날로그 전류 값으로 조절되도록 함으로써 디지털적으로 제어되도록 하였다. 업/다운 카운터의 디지털 출력 $C(0)$, $C(1)$, ..., $C(n-1)$ 은 그림 3에서 볼 수 있듯이 병렬 연결된 MOSFET의 게이트 폭에 2^0 , 2^1 , ..., 2^{n-1} 로 가중치를 줌으로써 아날로그 전류로 변환되도록 되어있다. 또한, MOSFET의 게이트 단자에 인가되는 업/다운 카운터 출력 $C(0)$, $C(1)$, ..., $C(n-1)$ 가 전송구간을 지정하는 신호 CK와 AND되게 함으로써 데이터 전송구간 이외에서는 신호 CK가 '0'이 되어 병렬 연결된 MOSFET을 모두 턴-오프 시킨다. 따라서 데이터가 전송되고 있지 않은 시간구간에서는 LD 구동기의 바이어스 전류가 차단되어 소모 전력이 최소화 될 수 있도록 되어있다. 실제 PON시스템에서 ONU가 데이터를 전송하지 않고 있는 상태가 데이터를 전송하고 있는 상태 보다 훨씬 더 길 수 있으므로 바이어스 전류 차단에

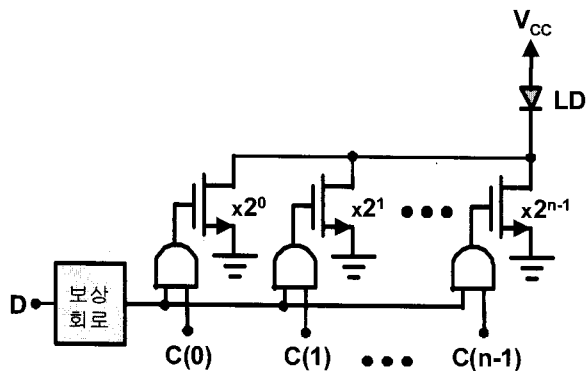


그림 4. 기존의 디지털 제어 방식의 LD 구동기.
Fig. 4. Conventional digitally controlled LD driver.

의한 소모전력 감소 효과가 매우 크다.

그림 4는 기존의 디지털 제어 방식의 LD 구동기로서 병렬 연결된 MOSFET의 드레인 전류로 직접LD를 구동하므로 보다 낮은 전원전압으로 구동할 수 있는 장점이 있는 반면에 데이터 율(data rate)이 높아질 경우 MOSFET의 동작 속도 한계에 의해 고속 동작이 어려운 문제점이 있다. 제안한 LD 구동기에서는 고속 동작에 적합한 SiGe HBT 차동쌍으로 LD를 구동함으로써 같은 문제점이 극복될 수 있도록 하였다. 또한, 기존의 디지털 제어 방식 LD 구동기에서는 프리-바이어스 전류(pre-bias current)를 별도로 공급하지 않고 변조 전류의 양을 그 만큼 늘려 구동시킴으로써 구동회로를 단순화 하고 있다. 그러나 프리-바이어스 전류 없이 LD를 구동함에 따라 출력파형 왜곡이 발생하며 이를 해결하기 위해 그림 4에 보인 것과 같이 보상회로가 추가된다. 이 보상회로는 CMOS로 구성되어 고속 동작이 곤란할 뿐 아니라 데이터 율이 높아질수록 안정성을 확보하기도 어려워진다. 따라서 제안한 LD 구동기에서는 1.25Gbps의 고속 동작을 필요로 하므로 그림3에 보인 것과 같이 프리-바이어스 전류 I_{pre} 를 변조 전류와 분리하여 별도 공급되도록 하였으며 전송구간을 지정하는 신호 CK로 제어되도록 하여 데이터가 전송되지 않은 시간구간에서는 프리-바이어스 전류 공급회로의 바이어스 전류를 차단하도록 하여 불필요한 전력 소모를 방지하였다.

2. APC 회로

APC 회로는 온도 변화나 LD의 노화로 인해 구동 전류에 대한 출력 광 특성이 변화하는 것을 자동으로 보정해주는 회로로서 MPD(Monitor Photo-Diode)로써 검출한 출력 광의 세기를 근거로 LD 구동전류를 제어한다. 연속모드(continuous-mode)의 경우 MPD 전류의 평균을 구함으로써 출력 광의 세기를 알 수 있으므로 APC 기능을 쉽게 구현할 수 있다. 그러나 버스트-모드(burst-mode)의 경우 버스트(burst)의 활성 구간 양상에 따라 마크 밀도(mark density)가 심하게 변화하므로 출력 광의 세기를 정확히 측정하는 것이 매우 어렵고 따라서 APC 회로의 구현이 쉽지 않다.

기존의 버스트-모드 LD 구동기의 APC 방식을 그림 5에 간략히 보였다. MPD에서 검출한 출력 광의 세기는 MPD 전류의 크기로 나타나므로 I-V변환기로서 MPD 전류의 크기를 전압의 크기로 변환한 후 전압 신호의 탑-레벨(top-level)을 검출하는 침투 검출기로서 전압의

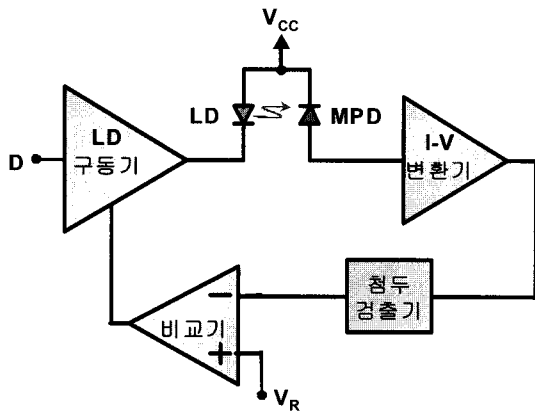


그림 5. 기존의 버스트-모드 LD 구동기의 APC 구조.
Fig. 5. APC structure of conventional burst-mode LD drivers.

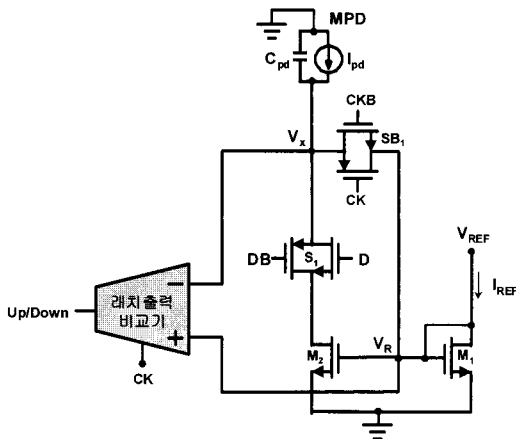


그림 6. 기존의 디지털 제어 방식의 APC 회로.
Fig. 6. Conventional digitally controlled APC circuit.

첨두치를 구하여 기준 전압 V_R 과 비교함으로써 구동기의 변조 전류를 제어하도록 되어있다. 이 경우 I-V 변환기와 첨두 검출기는 데이터 속도로 동작해야 하므로 데이터율이 높아질 경우 고속 동작이 어려워지거나 고속 동작이 가능하더라도 많은 전력을 소모하게 되는 문제점이 있다.

그림 6은 기존의 디지털 제어 방식 LD 구동기에서 사용된 APC 회로의 구조를 보여주고 있다. CMOS 스위치 S_1 은 데이터 $D=1$ 인 경우 닫혀 단락회로가 되므로 M_1 과 M_2 로 구성된 전류 미러에 의해 MPD 전류가 기준전류와 비교되어 전압 V_x 를 야기시키고 전압 V_x 를 M_1 의 게이트 전압 V_R 과 비교함으로써 업/다운 카운터의 증감 방향을 결정해 줌으로써 LD 구동기의 변조 전류를 제어한다. $D=0$ 인 경우 스위치 S_1 은 열려 개방회로가 되므로 M_2 의 드레인 단자가 플로우팅되어 홀드 상태를 유지하며 CMOS 스위치 S_2 는 버스트가 없는 구간에서 회로를 리셋 시켜주는 역할을 한다. 이 APC 회

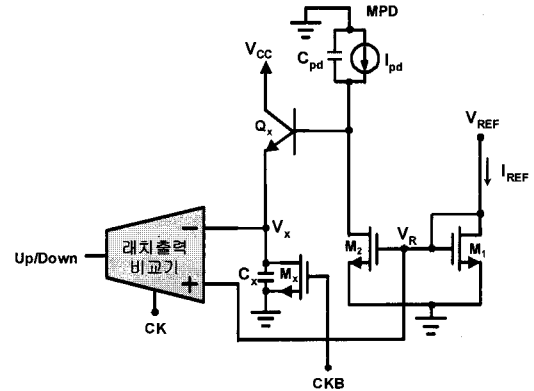


그림 7. 제안한 디지털 제어 방식의 APC 회로.
Fig. 7. Proposed digitally controlled APC circuit.

로는 회로가 콤팩트하고 소모 전력이 매우 적다는 장점이 있으나 데이터율이 높아 데이터 펄스폭이 좁아질 경우 MPD와 CMOS 스위치 S_1 과의 턴온 시간차에 의한 전압 V_x 생성에서 순간적 에러의 비중이 커지게 되어 마크밀도에 따라 비교기의 판단이 달라지는 문제점이 있어 높은 데이터율에서 적용하기에는 부적합한 구조이다.

따라서 높은 데이터율에서도 안정적으로 동작할 수 있는 버스트-모드 APC 회로가 필요하며 그림7과 같은 디지털 제어 방식의 APC 회로를 구성하였다. 전류 미러에 의해 MPD 전류가 기준전류와 비교되어 발생하는 전압은 MPD 전류와 기준전류가 같아지는 점을 중심으로 급격히 변화하므로 절대적인 값이 아닌 상대적인 값을 추출하여 비교하여도 같은 기능을 실현할 수 있다. 따라서 첨두 검출기로 탑-레벨 검출기를 쓰는 대신 그림7의 HBT Q_x 와 커패시터 C_x 로 구성된 단순하지만 고속 동작이 용이한 첨두 검출기를 사용하였다. MOSFET M_x 는 전송 버스트 구간이 끝나면 커패시터 C_x 에 충전된 전하를 방전하여 리셋(reset)시켜 줌으로써 매 버스트 마다 새롭게 다시 측정되도록 하고 있다.

한편, 매 버스트가 시작된 후 첨두 검출기가 첨두치를 측정하는 데에 소요되는 시간 T_{apc} 는 APC 회로의 올바른 동작을 위해 반드시 확보되어야 하는 시간이다. 만약 첨두 검출기가 첨두치 검출을 완료하기 전에 버스트가 끝나게 되면 첨두 검출기가 잘못된 값을 검출하여 APC 회로가 오작동하게 된다. 따라서 EPON 시스템에서 사용되는 버스트의 최소 길이를 고려하여 T_{apc} 를 설계하여야 한다. T_{apc} 는 커패시터 C_x 에 충전될 때의 시상수로 표현될 수 있으며 다음 수식으로 표현된다.

$$T_{apc} = \frac{C_x r_o}{\beta + 1} \quad (1)$$

여기서, β 는 HBT Q_x의 전류이득이고 r_o는 MOSFET M₂의 출력저항이다.

III. 1.25Gb/s EPON 용 버스트-모드 광 송신기의 측정

제작된 EPON 용 버스트-모드 광 송신기 칩은 패키징한 후 테스트 베드에 탑재하여 측정하였다. 입력 데이터는 PPG(Pseudorandom Pulse Generator)로써 데이터율이 1.25Gb/s이고 PRBS =2⁷-1가 되도록 설정하여 광 송신기 칩에 인가하여 구동했고 Agilent사의 HP 86100B DCA (Digital Communication Analyzer)를 써서 출력 광의 세기와 파형을 측정하였다. 또한, APC 동작을 위해 버스트 구간을 지정하는 CK신호를 인가하여 APC 기능이 동작하도록 하고 전압 V_{REF}의 크기에 따른 광 출력 신호의 크기를 측정하였다.

그림 8은 이상의 측정 방법으로 측정한 광 송신기의 출력 광신호의 아이 패턴을 보여주고 있다. 출력 광의 평균 세기는 -1.42dBm이고 이 때 변조 전류는 30mA로 측정되었다. 그림 8의 출력 광신호의 아이 패턴에서 볼 수 있듯이 지터는 53.3ps이고 상승시간과 하강시간은 각각 191ps 및 258ps로서 전반적으로 양호한 아이 패턴 특성을 보여주고 있다.

그림 9는 전압 V_{REF} 조절에 따른 출력 광 세기 변화를 보여주고 있다. 전압 V_{REF}가 증가함에 따라 출력 광

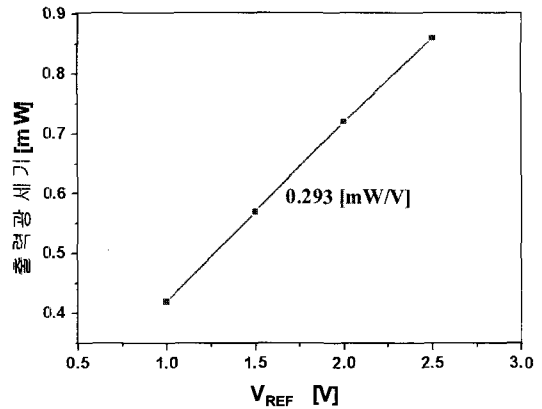


그림 9. V_{REF} 조절에 따른 출력 광 변화 특성.
Fig. 9. Characteristics of optical output depends on V_{REF} variations.

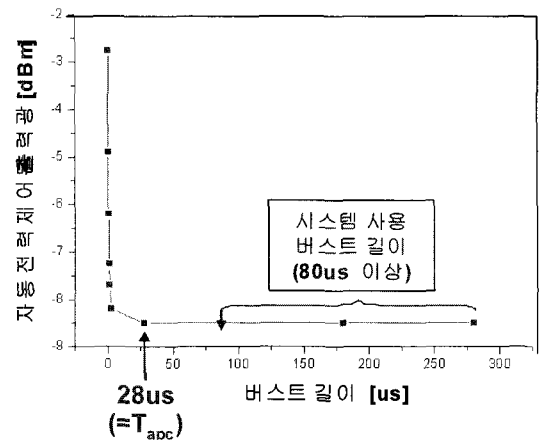


그림 10. 버스트 길이에 따라 APC로 조절된 광출력 특성.
Fig. 10. Characteristics of optical output adjusted by APC depends on burst length.

의 세기도 선형적으로 증가하고 있어 APC 동작이 바르게 작동하고 있음을 알 수 있었다. 전압 V_{REF} 증가에 따른 출력 광 세기의 증가 비율은 0.293mW/V를 나타내었다.

한편, 버스트 길이에 따라 APC된 출력광의 크기를 측정한 결과 그림10과 같은 특성을 보였다. 버스트 길이가 20 μ s이하일 경우 침투 검출기의 충전 시간이 부족하므로 출력 광의 세기를 실제보다 작게 평가하게 되고 이로 인해 APC 회로가 지나치게 구동 전류를 증가시켜 나타난 결과이다. 그림10의 특성으로부터 제작된 칩의 T_{apc}는 28 μ s가 됨을 알 수 있다. 본 칩이 사용되고자 하는 EPON 시스템의 최소 버스트 길이는 80 μ s이므로 T_{apc}가 적절하게 설계되었음을 확인 할 수 있었다.

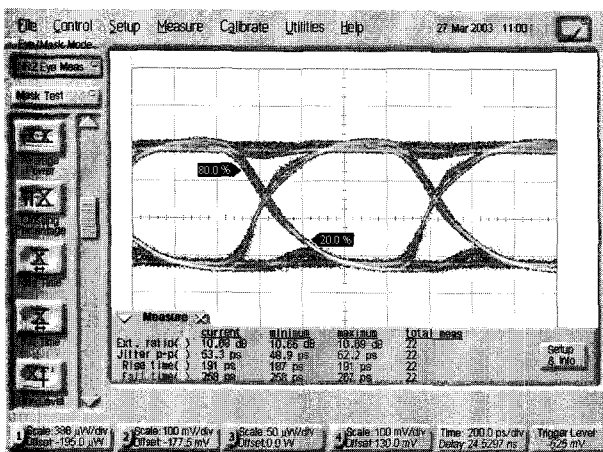


그림 8. 제작된 EPON 용 버스트-모드 광 송신기의 출력 광신호의 아이 패턴.
Fig. 8. Optical eye pattern of the fabricated burst-mode optical transmitter for EPON.

IV. 결 론

본 논문에서는 1.25Gbps EPON용 버스트-모드 광 송신기를 설계하고 0.8 μ m BiCMOS 상용 파운드리로 제작하였다. 제작된 버스트-모드 광 송신기는 디지털 제어 방식의 APC기능을 갖추고 있고 기존의 디지털 제어 방식 버스트-모드 광 송신기의 동작 속도 문제를 개선한 구조로 구현되었다.

측정결과 1.25Gb/s에서 정상적인 동작을 하였고 양호한 출력 광신호 아이 패턴을 보였다. 지터는 53.3ps이고 상승시간과 하강시간은 각각 191ps 및 258ps로서 전반적으로 양호한 특성을 보였다. APC 기능을 통해 외부 단자에서의 전압 V_{REF} 로 출력광의 세기를 제어한 결과 0.293mW/V의 비율로 증감했고 선형적인 변화 특성을 보였다.

정상적인 APC에 필요한 최소 버스트 길이 T_{apc} 는 28 μ s로서 PON 시스템에서 사용하는 버스트 길이가 80 μ s이상 임을 고려할 때 T_{apc} 의 설계는 적절한 것으로 판단되었다.

참 고 문 헌

- [1] M. Nakamura, Y. Umeda, J. Endo, and Y. Akatsu, "1.25Gb/s Burst-Mode Receiver ICs with Quick Response for Passive Optical Network Systems", NTT Technical Review, Vol.4, No.10, October pp.16-22, 2006.
- [2] Q. Le, S. Lee, Y. Oh, H. Kang, and T. Yoo, "Burst-Mode Receiver for 1.25Gb/s Ethernet PON With AGC and Internally Created Reset Signal", IEEE Journal of Solid-State Circuits, Vo394, No.12, December pp.2379-2388, 2004.
- [3] N. Ishihara, M. Nakamura, Y. Akazawa, N. Uchida, and Y. Akahori, "3.3V, 50Mbps CMOS Transceiver for Optical Burst-Mode Communication", IEEE Internation Solid-State Circuits Conference, 0-7803-3721-2/97, pp.244-246, 1997.
- [4] J.Bauwelink, D. Vehulst, P. Ossieur, X. Z. Qiu, J. Vandewege, and B. De Vos, "DC-coupled Burst-Mode Transmitter for 1.25 Gbit/s Upstream PON", Lectronics Letters, Vol.40, No.8, 25th, April, 2004.
- [5] C. Sackinger, Y. Ota, T. J. Gabara, and W. C. Fischer, "A 15-mW, 155-Mb/s CMOS Burst-Mode Laser Driver with Automatic Power Control and End-of-Life Detection", IEEE

Journal on Solid-State Circuits, Vol.35, No.2, February pp.269-275, 2000.

- [6] T. Matsuyama, M. Miki, T. Inoue, and N.Ueno, "A 156 Mbps CMOS Laser Driver for Optical Burst-Mode Transmission", Symposium on VLSI Circuits Digest of Technical papers, pp.174-175,, 2000.

— 저 자 소 개 —



기 현 철(정회원)

1984년 2월 한양대학교

전자공학과 졸업.(공학사)

1986년 8월 한양 대학교 대학원

전자공학과 졸업.

(공학석사)

1992년 2월 한양대학교 대학원

전자공학과 졸업.

(공학박사)

1986년~1989년 한국 전자통신 연구원 연구원.

1996년~1997년 미국 조지아공대 post.doc

1992년 3월~현재 경원대학교 전자공학과 교수.

<주관심분야 아날로그/RFIC설계, 광통신용IC설계, ASIC 설계>.