

논문 2007-44SD-12-6

# 부분 공핍형 SOI 게이트의 통계적 타이밍 분석

## ( Statistical Timing Analysis of Partially-Depleted SOI Gates )

김 경 기\*

( Kyung Ki Kim )

### 요 약

본 논문은 100 nm BSIMSOI 3.2 기술을 사용한 부분 공핍형 SOI (Partially-Depleted SOI: PD-SOI) 회로들의 정확한 타이밍 분석을 위한 새로운 통계적 특징화 방법과 추정 방법을 제안한다. 제안된 타이밍 추정 방법은 Matlab, Hspice, 그리고 C 언어로 구현되고, ISCAS 85 벤치마크 회로들을 사용해서 검증된다. 실험 결과는 Monte Carlo 시뮬레이션과 비교해 5 % 내의 에러를 보여준다.

### Abstract

This paper presents a novel statistical characterization for accurate timing analysis in Partially-Depleted Silicon-On-Insulator (PD-SOI) circuits in BSIMSOI.2 100nm technology. The proposed timing estimate algorithm is implemented in Matlab, Hspice, and C, and it is applied to ISCAS85 benchmarks. The results show that the error is within 5% compared with Monte Carlo simulation results.

**Keywords :** PD-SOI, Statistical Modeling, Statistical Analysis, Cell Characterization, Timing Analysis.

### I. 서 론

부분 공핍형(PD)-SOI는 일반적 MOSFET보다 더 짧은 지연 시간, 작은 영역, 작은 기생 캐패시턴스(parasitic capacitances), 낮은 전력, 래치업 면역(latch-up immunity), 그리고 단 채널 효과(short channel effect)의 감소와 같은 많은 이점을 제공하기 때문에, VLSI 회로의 성능을 향상시키는 하나의 기술로 인식되어왔다<sup>[1]</sup>. 그러나, 그림 1에서 보여지는 것처럼 PD-SOI의 플로팅 바디(floating body)의 전위는 회로 동작의 불명확함을 유발하고, 그러한 불명확함은 타이밍 분석이나 디지털 회로들의 시뮬레이션을 복잡하게 만든다.

플로팅 바디의 전위 변화는 입력 신호들의 스위칭 히스토리(switching history)에 의해서 주로 결정되며, 변

화하는 전위는 PD-SOI의 문턱 전압(threshold voltage)을 변이시켜서 회로 전체의 경로 지연에 영향을 미친다. 이를 히스토리 효과(history effect)라고 하고<sup>[1]</sup>, PD-SOI 회로의 경로 지연(path delay)은 회로의 현재와 이전 상태의 변화에 대한 측정 없이는 정확히 예측할 수 없다. 또한, 경로 지연에 미치는 이 히스토리 효과는 스위칭 히스토리 외에 회로의 형태, 온도와 같은 환경 요소들에 의해서도 좌우된다.

그러므로 전통적인 최악의 경우만을 고려하는 정적 타이밍 툴(static timing tool)은 PD-SOI 회로의 타이밍

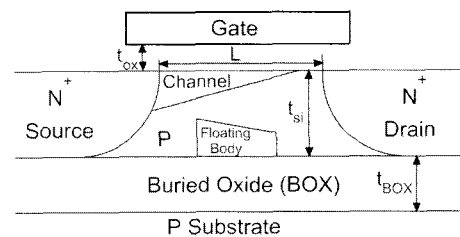


그림 1. PD-SOI NMOS 단면도  
Fig. 1. Cross-section of PD-SOI NMOS.

\* 정회원, 노스이스턴대학교 전기컴퓨터공학과  
(Department of Electrical and Computer Engineering, Northeastern University, Boston, MA, USA)

접수일자: 2007년9월17일, 수정완료일: 2007년11월26일

분석 및 추정을 정확하게 할 수가 없다. 지금까지 트랜지스터(transistor) 레벨과 게이트(gate) 레벨에서 PD-SOI를 위한 새로운 타이밍 분석 툴에 관한 몇몇 연구가 있어 왔다<sup>[2]-[4]</sup>. 그러나 이러한 연구들은 PD-SOI를 사용한 디지털 회로들에 있어서 가장 나쁜 경우의 지연 시간을 고려하거나, PD-SOI의 불확실성의 특성을 고려하지 않은 상태도 모델에 의한 가장 단순한 방법만을 고려했다. 따라서 본 논문은 PD-SOI를 사용한 디지털 회로의 불확실한 전파 지연(propagation delay)을 계산하기 위해서 PD-SOI의 불확실성의 특성을 고려한 새로운 통계적 접근 방법을 제안한다.

본 논문의 나머지 부분은 다음과 같이 구성된다. Section II는 PD-SOI MOSFET의 플로팅 바디 효과에 대해 설명하고, Section III는 PD-SOI 게이트에 대한 통계적 타이밍 모델과 분석을 제안한다. 결론 부분인 Section V에 앞서, Section IV에서는 ISCAS85 벤치마크 회로들에 관한 실험적인 타이밍 추정으로부터 얻은 결과를 제시하고 Monte Carlo 방법과 비교한다.

## II. PD-SOI MOSFET의 플로팅 바디 효과

정적인 정상 상태의 조건의 경우, 플로팅 바디 전압은 소스-바디 다이오드, 드레인-바디 다이오드, 그리고 드레인 영역 부근의 충격 이온화(impact ionization)에 의해 결정된다. 동적인 스위칭 조건 하에서는 플로팅 바디의 전위는 현재의 노드 전압과 전 상태의 전기적인 스위칭 히스토리에 의존한다. 이것은 PD-SOI에서 “히스토리 효과” 혹은 “스위칭 히스토리”로 알려져 있다<sup>[1]</sup>. 이 히스토리 효과는 PD-SOI 장치의 문턱 전압의 변이를 유발시키고, 이것은 전파 지연을 결정한다. PD-SOI 회로의 지연 시간은 초기의 조건, 스위칭 히스토리, 신호의 상승/하강 시간, 그리고 신호의 주파수에 따라 달라질 수 있다<sup>[2]-[4]</sup>.

그림 2는 디바이스의 이전 상태에 따라 전파 지연이 다르게 되는 경우들을 보여준다. 이 그림에서, PD-SOI 인버터(inverter)의 네 가지 근본적으로 다른 상태들, 즉 Pull\_Up\_Fast, Pull\_Down\_Slow, Pull\_Down\_Fast, 그리고 Pull\_Up\_Slow 상태들을 보여준다. 이런 상태들은 두 개의 다른 입력 파들의 초기 조건들에서 얻어진다.

Pull\_Up\_Fast 와 Pull\_Up\_Down의 천이 동안, 각 경우의 초기 조건(Input 1은 high, Input 2는 low)에 의해서 NMOS와 PMOS의 바디 전위가 각각 최고의 값에 도달하기 때문에 전파 속도가 가장 빠르다.

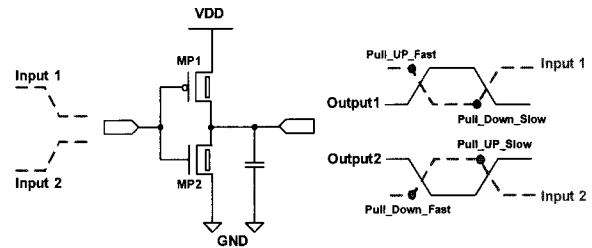


그림 2. 네 가지의 기본적인 전파 지연들  
Fig. 2. Four fundamental propagation delays.

마찬가지로, Pull\_Down\_Slow 와 Pull\_Up\_Slow의 천이 동안, PMOS와 NMOS에서 누적된 바디 전위가 이전의 두 가지 스위칭 경우와 비교해서 더 작기 때문에, 전파지연은 이전의 Pull\_Up\_Fast 와 Pull\_Up\_Down의 경우보다 더 느리게 된다.

일반적인 게이트 전파 지연의 계산 방법은 출력의 상승/하강 지연의 평균값을 계산하는 것이다. 그러나, 이 방법은 위에서 설명한 PD-SOI 게이트의 불확실성을 나타내기에는 부정확하다. 본 논문에서는 이러한 PD-SOI의 불확실성을 모델링할 수 있는 새로운 통계적 방법을 제안한다.

## III. PD-SOI 게이트를 위한 통계적 타이밍 모델과 분석

통계적 분석 방법은 공정 변수(process parameter)들의 변화를 고려해야 하는 초고속 VLSI 회로들에 사용되는 타이밍 분석 및 추정을 위한 방법이다. 통계적 분석 방법은 디바이스 공정 변수들이 변하는 확률을 고려하고, 전파 지연을 추정하기 위해서 회로 경로를 통하여 확률 변수를 전파한다<sup>[5]-[9]</sup>. 본 논문에서, 이런 통계적 방법의 개념을 PD-SOI의 플로팅 바디를 위해 적용하고자 한다. 그림 3은 정확한 타이밍 분석을 위한 새로운 타이밍 분석 방법을 보여준다. 우선, Matlab을 이

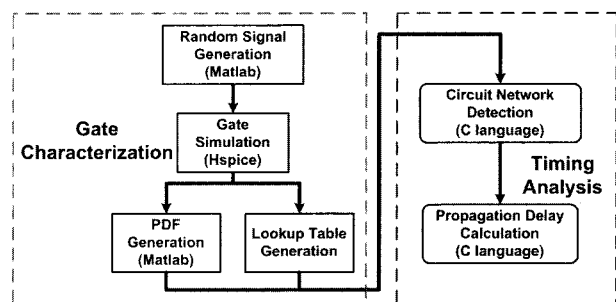
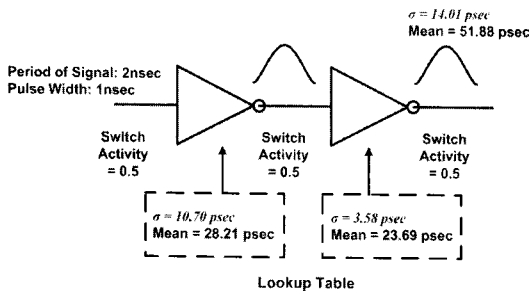


그림 3. PD-SOI를 위한 통계적 타이밍 분석기  
Fig. 3. Statistical Timing Analyzer for PD-SOI.

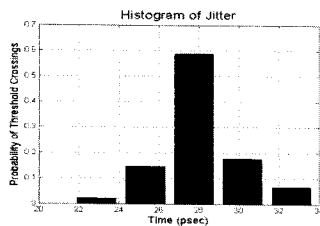
용해서 만들어진 랜덤 신호를 사용해서, 입력의 상승/하강 시간, 부하 커패시턴스, 게이트 크기, 출력의 확률 밀도 함수(probability density function: PDF), 그리고 입력의 스위칭률(switching activity)을 고려해서 검색 테이블(look-up table)들이 만들어진다. 그 다음, C 언어를 사용하여 이미 만들어진 검색 테이블들을 참조해서 전파 지연 시간을 계산한다.

1. PD-SOI 게이트를 위한 통계적 타이밍 모델링

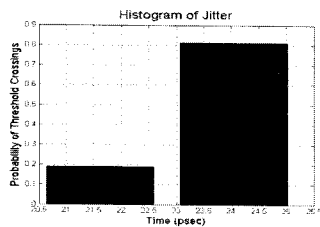
통계적 타이밍 분석을 위한 검색 테이블들을 만들기 위해서는 랜덤 변수들이 매개 변수로서 결정되어야 한



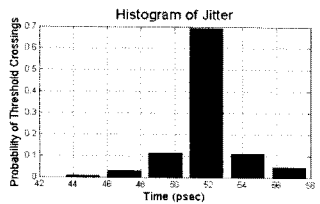
(a) 예제 회로



(b) 첫 번째 인버터의 PDF



(c) 두 번째 인버터의 PDF



(d) 출력의 PDF

그림 4. 통계적 타이밍 분석의 예  
Fig. 4. Example of statistical timing analysis:  
(a) Example circuit, (b) PDF of 1<sup>st</sup> inverter,  
(c) PDF of 2<sup>nd</sup> inverter, (d) PDF of output.

다. 예로서, 기본적인 인버터의 지연 시간은 다음과 같이 주어진다.

$$t_d = \left( \frac{1}{2} - \frac{1 - \frac{V_{th}}{V_{DD}}}{2} \right) t_{tr} + C_L \cdot \frac{V_{DD}}{2I_D} \quad (1)$$

수식에서  $V_{th}$ 는 문턱 전압,  $t_{tr}$ 은 입력의 전이 (transition) 시간, 그리고  $C_L$ 는 부하 커패시턴스이다<sup>[10]</sup>.

세 개의 변수  $V_{th}$ ,  $t_{tr}$ ,  $C_L$ 은 인버터의 속도를 조절할 수 있다. 먼저, 문턱 전압은 PD-SOI MOSFET에서 스위칭 히스토리, 펄스 폭, 그리고 입력 파형의 주파수의 함수이다.  $t_{tr}$ 와  $C_L$ 은 입력의 전이 시간, MOSFET의 크기, 그리고 팬-아웃(fan-out) 커패시턴스의 함수이다. 평균값(mean value), 분산(variance), 그리고 공분산(covariance) 데이터는 Hspice에서 Monte Carlo 시뮬레이션으로 만들어지고, 확률 밀도 함수는 Matlab에서 구해진 값을 이용하여 계산된다. 이때 모든 데이터들은 검색 테이블에 저장된다.

그림 4는 제안된 새로운 통계적 모델링 방법의 예를 보여준다. 타이밍 분석에 앞서, 인버터 A와 B의 검색 테이블이 만들어진다: 인버터 A와 B의 표준편차 (standard deviation)와 평균값은 각각 (10.70 psec, 28.21 psec)와 (3.58 psec, 23.69 psec)이다. 그림 4 (b)와 (c)의 각 인버터의 PDF를 나타낸다. 출력의 측정된 PDF는 그림 (d)에 나타나며, 출력의 표준편차와 평균값은 각각 14.01 psec와 51.88 psec이다. 그림 4로부터 각각의 인버터의 PDF들의 합계는 출력에서 측정된 PDF와 거의 같다는 것을 알 수 있다.

2. 통계적 타이밍 분석

일반적인 정적 타이밍 분석은 너무 지나칠 정도로 최악의 경우를 추정하기 위한 방법이다. 반면, 랜덤 변수를 사용하는 통계적 타이밍 분석은 PD-SOI 게이트에 대한 보다 나은 타이밍 분석을 제공할 수 있다. 이런 통계적 타이밍 분석 방법에는 두 개의 주된 알고리즘들이 있다.

첫 번째는 경로를 바탕으로 하는 알고리즘이다. 이 방법은 경로 공유(path sharing)와 전역 변수(global parameter)들로부터의 상관관계를 고려하기 때문에 정확하며 실제적인 상관관계를 찾아 낼 수 있다. 그러나, 회로 크기와 함께 지수적으로 증가하는 최악의 계산 복잡도를 가지고 있다. 이러한 알고리즘은 타이밍 그래프의 깊이 우선 탐색(depth-first search)로 간주될 수 있

다<sup>[6][7]</sup>.

다른 하나는 너비 우선 탐색(breadth-first search)로 간주될 수 있고, 선형의 복잡도(linear complexity)를 가지고 있는 블록에 바탕으로 하는 알고리즘이다.  $N$ 이 노드들의 수이고  $M$ 이 타이밍 그래프에서 전역 변이들의 수라고 가정하면, 타이밍 추정 함수는 정규함수의 타이밍 모델을 사용하여 아래와 같이 나타낼 수 있다<sup>[8][9]</sup>.

$$X = \mu x + \sum_{i=1}^N \alpha_{x,i} R_i + \sum_{j=1}^M \beta_{x,j} G_j \quad (2)$$

수식에서  $\mu$  는 평균값,  $R_i$ 은 단지 node  $i$  에만 관계되는 국부적이고 독립적인 변수이고,  $G_j$ 는  $j$  번째 전역 변수이고,  $\alpha_{x,i}$ 와  $\beta_{x,j}$ 는 대응되는 감도 인수(sensitivity factor)들이다.

두 번째 방법이 가지고 있는 단순한 접근법과 선형의 복잡도를 가지므로, 본 논문에서는 블록을 바탕으로 하는 알고리즘이 사용된다. 게이트 출력에서 통계적 도착 시간분배는 (2)부터 구해진 랜덤 변수들에 대한 최고(Max), 최저(Min), 평균값(Mean value), 분산(variance), 공분산(covariance)로 계산될 수 있다.

두 개의 변수들을 가지는 게이트의 최대 연산 지연은 다음과 같이 주어진다.

$$Max(x, y) = x + Max(0, y - x) \quad (3)$$

수식에서  $x$ 와  $y$ 는 임의의 변수이다.  $Max(x,y)$ 의 평균값은 다음과 같다.

$$Mean(Max(x, y)) = Mean(x) + Mean(Max(0, y - x)) \quad (4)$$

$$\begin{aligned} & Mean(Max(0, y - x)) \\ &= \mu + \sigma \cdot Mean\left(\text{Max}\left(-\frac{\mu}{\sigma}, \frac{(y-x)-\mu}{\sigma}\right)\right) \end{aligned} \quad (5)$$

수식에서  $\mu$ 는 평균이고,  $\sigma$ 는 표준편차이다. 마지막으로, 분산은 다음과 같이 계산될 수 있다.

$$\begin{aligned} & Var(Max(x, y)) = Var(x) + \\ & Cov(x, Max(0, y - x)) + Var(Max(0, y - x)) \end{aligned} \quad (6)$$

위의 수식은 검색 테이블을 통해서 쉽게 계산이 가능하며,  $Min$  연산은  $Max$  연산과 거의 동일하다. 세부적인 모든 계산은 [11]에 인용되어있다. 앞에서 언급한 이 연산들은 너비 우선 탐색을 이용하여 주 입력들에서 주 출력들까지 각 노드에서 통계적 도착 시간을 계산하는

표 1. 제안된 통계적 타이밍 분석을 위한 알고리즘  
Table 1. Algorithm for the proposed statistical timing analysis.

Algorithm 1. statistical timing analysis	
Sort gate delay graph	
Setup delay variables from lookup table for each gates	
For level = 1 : primary output level	
For each gate, if current_level = new_level	Compute and add arrival time into lookup table
Remove unnecessary variables form lookup table	
End	
For each gate, if current_level=unnecessary_level	Remove arrival time from lookup table
End	
End	
Save mean and variance tables for primary output	

데 사용된다. 만약, 이 탐색이 새로운 레벨을 만나면, 새로운 통계적 전과지연이 계산되고, 검색 테이블에 추가된다. 또한, 불필요한 변수들은 검색 테이블에서 제거된다. 탐색의 순서가 불필요한 레벨이면, 출력의 게이트 도착시간은 제외된다. 위의 알고리즘은 표 1의 유사 부호(pseudo-code)로 나타낼 수 있다.

#### IV. 실험 결과

PD-SOI를 위한 제안된 통계적 타이밍 분석을 위한 방법이 1 Gbyte 메모리의 Intel Pentium-4 PC (2.93 GHz)에서 Matlab, Hspice, 그리고 C 언어로 구현되었다. 알고리즘은 ISCAS85 벤치마크 회로들에 대한 결과로 입증된다. 각 벤치 마크 회로는 100 nm BSIMSOI 3.2의 기술을 사용해서 Hspice로 디자인된다. 실험에서 랜덤 변수들은 PD-SOI MOSFET에서의 모든 변이의 원인들을 고려해서 Hspice에서 50번의 Monte Carlo 시뮬레이션으로 만들어진다. 주 입력들은 가우스(Gaussian) 분포의 특징을 가진다. 표 2는 각각의 경우의 Monte Carlo 시뮬레이션과 제안된 방법의 평균 지연 시간을 요약한 것이다.

첫 번째 열은 측정된 회로들, 두 번째 열은 회로들의 게이트 수, 세 번째 열은 Monte Carlo 시뮬레이션과 제안된 방법 사이의 에러를, 네 번째와 여섯 번째 열은 각각의 방법의 CPU 시뮬레이션 시간을 나타낸다. 마지막으로, 다섯 번째, 일곱 번째 열은 각 방법의 추정된 전과 지연을 보여준다. 지연은 97%의 정확도로 추정되었다. 제안된 방법의 정확성은 Monte Carlo 시뮬레이션 결과와 비교해 5 %차 이내이다. 또한, 제안된 방법의

표 2. 전파 지연에 대한 실험 결과

Table 2. Experimental results for propagation delay.

Circuit	# of gates	error (%)	Monte Carlo Simulation		Proposed Method	
			CPU time (sec)	Delay (psec)	CPU time (sec)	Delay (psec)
C432	280	3.10	7,007.18	17.27	5.03	17.80
C499	373	4.70	9,090.32	14.22	5.12	14.90
C880	641	3.78	12,830.12	19.87	12.34	19.12
C1355	717	3.77	17,070.68	19.39	20.63	20.12
C2670	1193	2.40	28,102.04	303	225.63	311
C3540	1669	3.40	34,545.06	415	250.43	401
C5315	2307	3.00	47,596.08	296	374.53	305

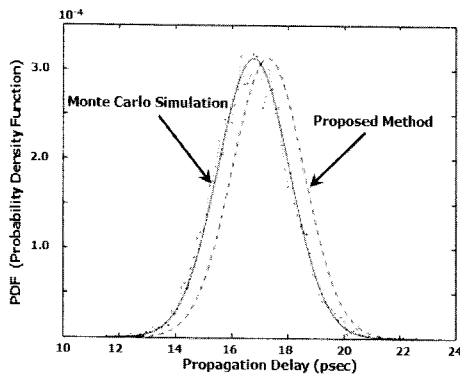


그림 5. C432 벤치마크 회로의 PDF

Fig. 5. PDF (Probability Density Function) for C432 Benchmark circuit.

시뮬레이션 시간은 Monte Carlo 방법보다 적어도 100 배의 빠른 시간을 가진다.

예로써 그림 5는 Monte Carlo 시뮬레이션과 제안된 방법이 적용된 C432 회로에 대한 PDF들을 보여준다. 그림에서 볼 수 있듯이, 제안된 방법은 Monte Carlo 시뮬레이션과 거의 같은 분포를 가진다.

### V. 결 론

PD-SOI MOSFET는 고성능 저전력 VLSI 설계를 위한 최첨단 기술이다. 그러나, PD-SOI에서 플로팅 바다는 히스토리 효과로 인해서 게이트의 전파 지연시간의 불확실성을 유발한다. 일반적인 정적 타이밍 분석은 이런 히스토리효과를 고려하지 않으므로 정확한 전파 지연을 측정할 수 없다. 본 논문은 PD-SOI를 사용한 디지털 회로의 정확한 타이밍 분석과 추정을 위한 새로운 통계적 특징화 방법과 분석 방법을 제안하였다. 제안된 방법은 ISCAS85 벤치마크 회로들에 적용되고 실험되었다. 실험 결과는 제안된 방법이 높은 정확성과

효율성을 가졌음을 보여준다. 또한, 이 방법은 트랜지스터 레벨의 타이밍 분석과 노이즈 분석 틀에도 응용될 수 있으리라 본다.

### 참 고 문 헌

- [1] G.G. Shahidi, "SOI Technology for the GHz era", IBM journal of Research and Development, Vol. 46, No. 2/3, pp. 121-131, March/May 2002.
- [2] Eric MacDonald, Nur A. Toubia, "Delay Testing of SOI Circuits: Challenges with the History Effect", IEEE International Test Conference, pp. 269-275, 1999.
- [3] Kenneth L. Shepard. "CAD Issues for CMOS VLSI Design in SOI," IEEE ISQED'01, pp. 105-110, 2001.
- [4] Shahriari, M. Najm, and et al., "A gate-level timing model for SOI circuits", IEEE Electronics, Circuits and Systems (ICECS), pp. 795 - 798 vol.2, Sept. 2001.
- [5] Horng-Fei Jyu, Sharad Malik, "Statistical Timing Analysis of Combinational Logic Circuits", IEEE Transactions on Very large Scale integration (VLSI) systems, Vol. 1, No. 2, pp. 126-137, June 1993.
- [6] J.A.G Jess, K. Kalafala, and et al., "Statistical Timing for parametric yield prediction of digital integrated circuits", IEEE Design Automation Conference(DAC), pp. 932-937, June 2003.
- [7] H. Chang and S.S. Sapatnekar, "Statistical Timing Analysis Considering Spatial Correlations using a Single Pert-like Transerval", IEEE ICCAD 2003, pp. 621-625, Nov. 2003.
- [8] Anirudh Devgan, Chandramouili Kashyap, "Block-based Static Timing Analysis with Uncertainty", IEEE ICCAD 2003, pp. 607-614, Nov. 2003.
- [9] Visweswariah Chandu, Ravindran Kaushik, and et al., "First-Order Incremental Block-Based Statistical Timing Analysis", IEEE DAC, pp. 331-336, June 2004.
- [10] R. Jacob Baker, "CMOS: circuit design, layout, and simulation", Second Edition, IEEE Press and Wiley-interscience, 2005.
- [11] Alberto Leon-Garcia, "Probability and Random Processes for Electrical Engineering", Second Edition, Prentice Hall, 1993.

---

저 자 소 개

---



김 경 기(정회원)

1995년 영남대학교 전자공학과  
학사 졸업.

1997년 영남대학교 전자공학과  
석사 졸업.

2004년~현재 노스이스턴 대학교  
전기컴퓨터공학과 박사 과정.

<주관심분야 : 아날로그/디지털 VLSI 설계, VLSI CAD >