

논문 2007-44SD-12-7

S-파라미터를 사용한 클락 그리드 네트워크의 분석과 모델링

(Analysis and Modeling of Clock Grid Network Using S-parameter)

김 경 기*

(Kyung Ki Kim)

요 약

클락 그리드 네트워크(Clock Grid Network)는 대부분의 고속 마이크로 프로세서에서 클락 스큐를 줄이기 위한 일반적인 방법이다. 본 논문은 클락 그리드의 모델링과 분석을 위해서 S-파라미터(Scattering Parameter)를 사용한 새로운 효과적인 방법을 제안한다. 또한, 그리드 사이즈와 와이어(wire) 폭이 그리드의 클락 스큐에 미치는 영향을 제시한다. 본 논문에서 클락 그리드의 상호 연결은 RC 수동소자에 의해서 모델화 되고, 제안된 방법의 결과는 Hspice의 시뮬레이션 결과와 비교해서 10 % 내의 오차를 보여준다.

Abstract

Clock grid networks are now common in most high performance microprocessors. This paper presents a new effective modeling and simulation methodology for the clock grid using scattering parameter. It also shows the effect of wire width and grid size on the clock skew of the grid. The interconnection of the clock grid is modeled by RC passive elements. The results show that the error is within 10 % comparing to Hspice simulation results.

Keywords : Scattering Parameter(S-parameter), Clock Grid, Clock Distribution.

I. 서 론

고속 마이크로 프로세서에서 클락 그리드(Clock Grid)는 클락 신호들을 전파하기 위한 하나의 효과적인 대안이지만, 그리드의 분포와 전파상의 특성 때문에 클락 그리드의 상세한 분석과 시뮬레이션은 계산상 매우 복잡하다. 더욱이, 클락 그리드를 분석하고 시뮬레이션 할 때, 많은 수의 내부 노드들과 RC 성분들은 회로 시뮬레이터에 큰 부담을 주게 된다. 예로써, Spice와 같은 시뮬레이터들은 클락 배선들에 의해 생기는 수많은 망로(mesh)로 인해 시뮬레이션과 분석을 위한 시간이 매우 길어지게 된다. 그래서 지금까지 클락 그리드를 위한 빠른 알고리즘들이 제시되어왔다^[1~2]. 그 방법들은

오래 걸리는 시뮬레이션 시간의 문제를 AWE (Asymptotic Waveform Evaluation)와 같은 RC 네트워크의 감소 방법으로 해결하고자 하였고, 주로 집중 모델(Lumped Model)을 사용하였다^[3]. 하지만, VLSI 시스템이 수 GHz에서 동작하게 되면서, 상호연결은 스킨 효과(Skin Effect), 유전 손실(Dielectric Loss), 반사 효과 (Reflection Effect), 그리고, 누화(Crosstalk)와 같은 고주파 효과들에 의해 많은 영향을 받게 되었고, 단순한 RC 모델만으로는 클락 그리드의 정확한 시뮬레이션과 분석이 힘들어 지고 있다.

이러한 문제점들을 고려한 효과적이고도 정확한 모델링과 시뮬레이션 방법을 위해서는 주파수에 의존하는 변수가 요구된다. 또한, 클락 네트워크에서 각 노드의 세부적인 내부 동작은 시스템 디자인에 크게 중요하지 않기 때문에 각 노드를 계산적 모델로 정확하게 나타내지 않아도 된다.

S-파라미터(Scattering parameter)는 이러한 문제점들을 해결하고 필요한 조건들을 만족시킬 수 있는 좋은

* 정회원, 노스이스턴 대학교, 전기컴퓨터공학과
(Department of Electrical and Computer Engineering, Northeastern University, Boston, MA, USA)

접수일자: 2007년9월11일, 수정완료일: 2007년11월26일

방법 중에 하나이며, 높은 주파수에서의 선형 클락 네트워크의 특징화와 모델링에 적합하다^[4].

본 논문은 S-파라미터를 사용한 클락 그리드를 위한 매크로 모델(macro-model)을 제안하고, 이 모델을 기본으로 와이어(wire) 폭 변화와 그리드 사이즈가 클락 스큐에 미치는 영향을 제시한다. 논문의 나머지부분은 다음과 같이 구성된다. Section II에서는 클락 그리드의 특징화와 모델링을 설명하고, Section III에서는 기본 그리드 모델과 S-파라미터를 사용한 시뮬레이터를 제안한다. 결론인 Section V에 앞서 Section IV에서는 4x4에서 128x128 그리드 범위 내에서 제안된 방법으로부터 얻은 결과를 보여주고 이 결과를 Hspice 시뮬레이션과 비교한다.

II. 클락 그리드의 모델링과 특징화

칩 전체에 제로 스큐(zero skew)를 가지는 클락 네트워크를 분포시키는 것은 힘들기 때문에 클락 분포는 초고속 집적회로 디자인에서 큰 과제가 되어왔다. DSM (deep submicron)의 기술적 과제와는 별개로, 클락 그리드는 최소의 스큐와 빠른 상승시간 (rise time)을 필요로 하는 클락 네트워크를 위해 사용될 뿐 아니라, 연계(coupling)효과, 전송 라인(transmission line) 효과, 전력 쇠퇴(collapsing), 그리고 공정변수의 변동에 대한 감도(sensitivity)도 줄일 수 있다. 또한 이 클락 그리드는 일반적으로 최상위 두 개의 메탈 층(layer)을 이용하여 구현되는데, 같은 층에서는 그리드 선이 서로 평행하고, 두 개의 다른 층에서는 서로 직각이다. 각각의 층에서 그리드 선들의 각 노드는 메탈 콘택(metal contact)을 통해서 서로 연결 될 수 있고, 콘택의 한쪽 끝은 클락 구동 노드를 형성 한다^[5]. 이 노드에 도달하는 클락 신호는 칩 상에 있는 게이트 부하를 구동한다.

클락 그리드는 간단한 RC 분배 배선으로 모델화 할 수 있으며, 두 개의 다른 층에서 그리드 와이어가 교차하는 노드를 연결해서 생기는 하나의 세그먼트(segment)를 그리드 기본 모델로 사용할 수 있다. 두 개의 다른 층에 있는 그리드 와이어들을 연결하는 콘택은 저항을 사용해서 모델화된다. 그림 1은 두 개의 그리드 라인의 교차점에서 구성되는 클락 그리드의 기본 모델을 보여준다. 이 모델은 네 개의 RC π -모델과 메탈 콘택 저항으로 이루어져있다.

클락 그리드의 전체 구조는 그리드의 기본 모델들의 결합으로 구성되며, 전체 클락 그리드의 가장자리부분

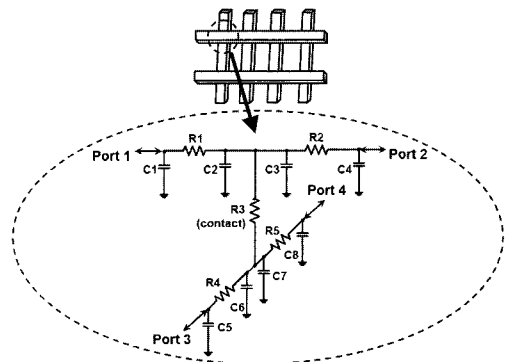


그림 1. 클락 그리드의 기본 모델

Fig. 1. Basic model of the clock grid.

은 버퍼가 사용된 클락 소스 신호에 의해 구동 된다. 칩 상에서 클락 그리드 노드로부터 전파된 클락 신호에 의해 구동되는 많은 게이트들(gates)은 부하 커패시턴스로 모델화 할 수 있다.

일단 모델이 만들어졌다 하더라도, 동시에 많은 스윙칭이 발생하는 드라이버들과 엄청난 수의 기생 성분들로 인해 클락 그리드의 지연 시간 계산과 스큐 분석은 아주 어려운 뿐만 아니라 많은 시간이 필요로 한다. 클락 그리드를 위한 효과적이고 빠른 시뮬레이션을 위해서 본 논문은 S-파라미터를 사용한 새로운 시뮬레이션 방법을 제안한다.

III. S-파라미터를 사용한 클락 그리드 시뮬레이터

그림 1에서, 그리드의 기본 모델은 4개 입력단자와 4개의 출력단자를 가지고 있으며, 아래의 수식 (1)과 같이 4x4 분산행렬(scattering matrix)로 특징지어진다.

$$\begin{pmatrix} \text{port1} \\ \text{port2} \\ \text{port3} \\ \text{port4} \end{pmatrix} = \begin{bmatrix} s_{11} & s_{12} & s_{13} & s_{14} \\ s_{21} & s_{22} & s_{23} & s_{24} \\ s_{31} & s_{32} & s_{33} & s_{34} \\ s_{41} & s_{42} & s_{43} & s_{44} \end{bmatrix} \times \begin{pmatrix} \text{port1} \\ \text{port2} \\ \text{port3} \\ \text{port4} \end{pmatrix} \quad (1)$$

위 수식에서 모든 단자들은 입력과 출력으로 모두 사용된다.

S-파라미터는 각 그리드 모델의 상호연결을 설명하고 설계하는데 효과적인 방법이며, 고주파수에서 동작하는 단선과 단락을 포함하는 모든 분포/집중(distributed/lumped) 회로 소자들로부터 추출이 가능하다. 또한, 이 S-파라미터는 오늘날 고속의 회로 디자인에서 중요한 전송 선로(transmission line)들을 특징화할 수 있다. 다중 단자들을 가지는 소자에서 입력 파들과 출력 파들의 관계를 보여주기 위해서 분산 행렬이

사용된다^[6].

각 단자에 대한 S-파라미터는 Hspice로부터 추출된 S-파라미터나 혹은 단일의 상호 연결선 모델의 Z-변수로부터 얻어질 수 있다^[4]. N개의 단자를 가지는 소자에 대해, S-파라미터들은 다음과 같이 정의 될 수 있다.

$$S_{ji}(s) = \frac{b_j}{a_i} \Big|_{a_k=0, k \neq i} \quad i, j = 1, 2, \dots, n \quad (2)$$

수식에서 복소 주파수 (complex frequency)인 a_i 과 b_i 은 각각 i -단자에서의 입력파와 j -단자에서의 출력파이다.

기본 그리드 모델과 단일의 상호연결 모델을 이용하면, 전체 클락 그리드는 그림 2와 같이 분포될 수 있다. 각각의 작은 블랙박스는 그림1에서 보여준 그리드의 기본 모델이다.

그림 2에서 Cell 1과 Cell 2가 출력 부하로서 게이트들에 서로 연결되어 있다고 가정하면, 나머지 다른 Cell들의 S-파라미터들은 신호 흐름 그래프(signal flow graph)를 사용해서 계산 된다^[7]. Cell 1과 Cell 2의 관점에서, 이렇게 계산된 다른 Cell들의 S-파라미터들은 전체 클락 네트워크를 위해서 사용될 수 있는 집중된 (lumped) 유효(effective) S-파라미터가 된다. 즉, Cell 1과 Cell 2의 입출력 단자들의 S-파라미터들은 신호 흐름 그래프를 이용해서 구할 수 있게 된다. 일단 이 유효 S-파라미터가 계산되면, Hspice를 사용하여 단지 Cell 1과 Cell 2의 입/출력 단자들의 S-파라미터 값들과 Cell 1과 Cell 2의 RC 모델만으로 쉽게 Cell 1과 Cell 2를 시뮬레이션 할 수 있고, 클락 그리드의 입력으로부터 Cell 1과 Cell 2의 출력 부하들까지의 클락 스큐를 쉽게 측정할 수 있다.

유효 S-파라미터를 계산하기 위해서는 메이슨(Mason)의 신호 흐름 그래프가 이용된다. 네트워크가 두 개의 단자들을 가지고 있다고 가정하면, 신호 흐름 그래프는 그림 3과 같다. 그림 3에서 Γ_S 와 Γ_L 는 각각 입력과 출력 반사 계수들(reflection coefficients)이다. 이 그래프를 사용하면, 네트워크의 투과율(transmittance)은 다음과 같이 계산된다.

$$\frac{b_1}{a_1} = \frac{S_{11}(1-S_{22}\Gamma_L) + S_{21}S_{12}\Gamma_L}{(1-S_{22}\Gamma_L)} \quad (3)$$

식 (3)에서 a_1 은 소스 노드(source node)이고 b_1 은 싱크노드(sink node)이다.

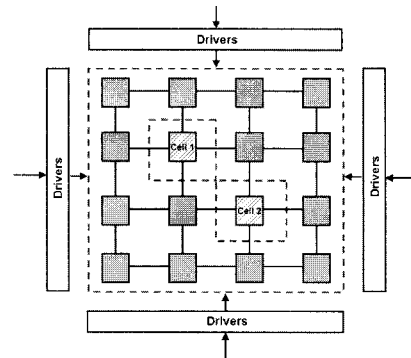


그림 2. 클락 그리드들의 분할 방법
Fig. 2. Partition method for clock grids.

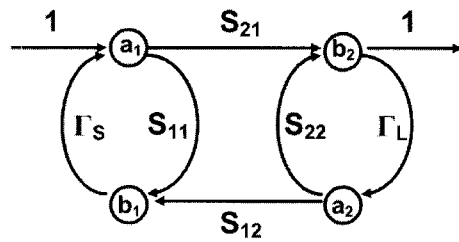


그림 3. 2개의 포트 네트워크를 위한 메이슨의 신호 흐름 그래프
Fig. 3. Mason's signal flow graph of two-port network.

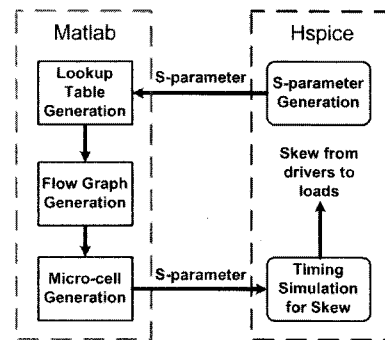


그림 4. 제안된 시뮬레이터의 블록 다이어그램
Fig. 4. Block diagram of the proposed simulator.

신호 흐름 그래프를 단순화시키는 규칙들은 다음과 같다.

- (1) 그래프에서 경로(path)들의 무게를 곱함으로써 직렬 경로(serial path)들을 나타낼 수 있다.
- (2) 공통된 노드들을 결합하는 브랜치(branch)들은 브랜치들의 무게를 더함으로써 나타낼 수 있다.
- (3) 루프는 (1- 루프의 무게)의 값에 의해 노드로 들어가는 각기 다른 에지(edge)의 무게를 나눔으로써 제거할 수 있다.

제안된 시뮬레이터는 그림 4에서와 같이 Matlab과 Hspice가 상호 연결되어 구성된다. Hspice에서는 두 개

의 단자를 가지는 RC 모델로부터 S-파라미터를 추출하고, 그 추출된 S-파라미터는 Matlab를 사용하여 검색 테이블(lookup table)에 더해진다. 이렇게 검색 테이블이 만들어지면, 출력 부하의 위치들을 근거로 전체 신호 흐름 그래프가 생성된다. 출력 부하들을 가진 Cell들을 제외하고, 다른 모든 Cell들에 대한 매크로 모델이 Matlab에 의해 만들어진다. 마지막으로, Hspice는 만들어진 매크로 모델과 출력 부하를 가지는 Cell들만으로 시뮬레이션을 빠르게 수행한다.

IV. 실험 결과

클락 그리드의 모델링과 분석을 위해서 제안된 S-파라미터를 이용한 시뮬레이터는 Matlab과 Hspice를 사용해서 구현되었고, 500 Mbyte 메모리를 가지는 500 MHz Ultra SPARC-IIe에서 수행되었다. [8]에서, 와이어 커패시턴스는 모든 층간(inter layer) 커패시턴스들의 평균이고, 와이어 저항은 그 길이와 넓이의 비율을 면 저항(sheet resistance)로 곱한 값이다. 그리드 라인들의 두 계층 사이의 콘택 저항은 2 ohm의 값을 가지고, 클락 노드와 게이트사이의 콘택 저항은 10 ohm 이다. 최악의 경우 클락 신호의 상승/하강 시간이 소스 클락 신호의 주기 시간에 대해 그 크기가 10 % 이내가 되도록 소스 클락 신호 버퍼들의 크기를 정하였고, 이 버퍼들은 0.25 μm 기술로 디자인되었다.

표 1은 4x4에서128x128의 범위에 있는 클락 그리드(와이어 폭 = 0.1 mm)의 계산 시간과 Hspice 시뮬레이션과 제안된 방법 사이의 차이 비율(difference rate)을 보여준다. 첫 번째 열은 측정된 클락 그리드의 크기를 나타내고, 두 번째 열은 Hspice 시뮬레이션과 비교한 제안된 방법의 오차비율(error rate)들을 보여준다. 세 번째와 네 번째 열은 각각의 시뮬레이션에 대한 CPU 시간들을 나타낸다. 마지막으로 네 번째와 여섯 번째 열은 각각의 방법에서 측정된 스큐 시간들이다. 표에서와 같이 제안된 방법의 정확도는 Hspice 결과와 비교해서 10 % 차 이내이다. 더욱이, 제안된 방법 CPU 시간은 Hspice의 CPU 시간보다 훨씬 빠르다.

그림 5는 Hspice와 제안된 방법으로 그림 2에 있는 Cell 1에서의 클락 신호 전압을 나타낸 것이다. 이 시뮬레이션 결과는 제안된 방법의 결과가 Hspice 결과와 거의 일치하는 것을 보여준다.

그림 6은 와이어 넓이와 그리드 사이즈의 변이를 고려한 클락 그리드의 최악의 경우(worst-case)의 스큐를

표 1. 클락 그리드의 실험 결과들

Table 1. Experimental results of the clock grid.

Clock Grid (NxN)	error (%)	Hspice		Proposed Method	
		CPU Time (sec)	Skew (psec)	CPU Time (sec)	Skew (psec)
4x4	5.8	6.88	19.02	0.51	20.13
8x8	8.0	18.69	8.23	0.62	8.89
16x16	9.6	56.89	5.49	1.86	6.02
32x32	2.3	319.30	4.43	5.29	4.33
64x64	6.6	2,132.43	3.81	19.45	4.06
128x128	7.4	172,853.54	3.80	74.98	4.08

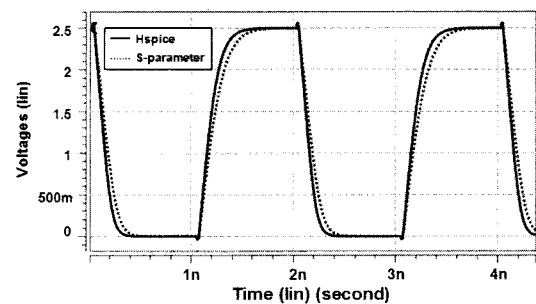


그림 5. 그림 2에서 Cell 1에서의 클락 신호

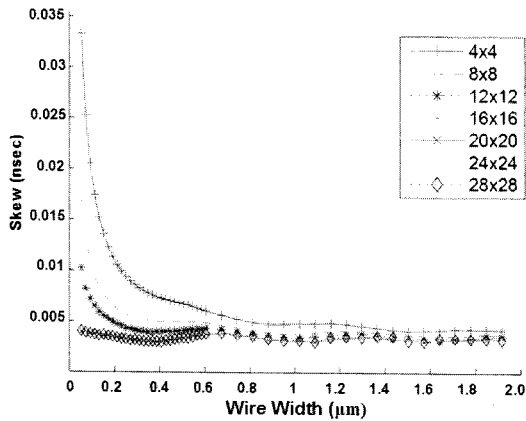
Fig. 5. Clock Signal at the Cell 1 in Fig.2.

나타낸다. 이 시뮬레이션에서 게이트 부하들은 Cell들 중에 20 %의 Cell들에 무작위로 분포시키고, 소스 클락 신호들은 그림 2에서와 같이 전체 그리드의 네 면의 가장 자리 노드들을 구동한다. 그림 6 (a)와 (b)는 그리드 크기와 와이어 폭의 따른 제안된 방법과 Hspice의 시뮬레이션 결과를 각각 보여준다. 이 그림에서 알 수 있듯이, 두 결과들은 같은 경향을 보여주며, 클락 스큐의 차이 비율은 아주 작은 값을 가진다.

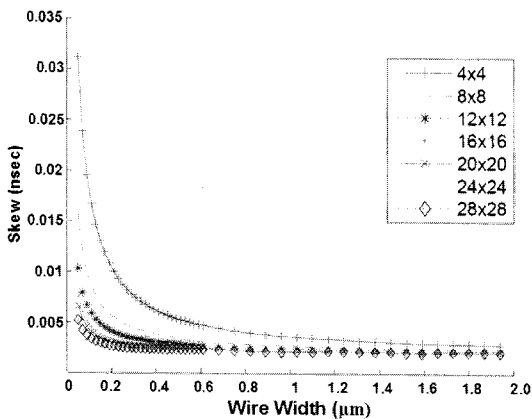
그리드 사이즈가 16x16보다 작을 경우, 최악의 경우의 스큐는 고정된 와이어 폭에 대해 그리드 사이즈가 증가 할수록 단일하게(monotonically) 감소한다. 그리드 사이즈가 16x16보다 더 커지면, 커진 그리드 사이즈와 상관없이 스큐는 특정 값으로 수렴한다.

와이어 폭에 관해서는, 최악의 경우의 스큐는 그리드 사이즈가 충분히 작을 때 와이어 폭이 커질수록 단일하게 작아진다. 그러나 이러한 감소의 경사는 와이어 폭이 커질수록 급격히 평평해지고, 그리드 사이즈가 특정 값보다 크면, 스큐는 와이어 폭의 변화에 더 이상 영향을 받지 않게 된다. 즉, 클락 스큐는 그리드 사이즈나 와이어 폭 둘 중 하나가 증가하게 되면 어떤 특정 값으로 수렴된다. 하지만, 그리드 사이즈의 증가는 와이어 폭의 증가보다 스큐의 감소에 더 큰 영향을 미친다.

따라서, 그리드 사이즈와 와이어 폭의 최적의 값을



(a)



(b)

그림 6. 제안된 방법과 Hspice에서의 클락 스큐의 비교: (a) 제안된 방법 (S-파라미터 시뮬레이션), (b) Hspice 시뮬레이션

Fig. 6. Comparison of the Hspice simulation and the proposed method for clock skew: (a) Proposed method (S-parameter simulation), (b) Hspice simulation.

얻기 위해서는, 그리드 사이즈의 증가가 스큐의 감소에 더 이상 영향을 미치지 않는 클락 스큐 한도를 충족하도록 그리드 사이즈가 우선적으로 결정되어야 한다. 일단 그리드 사이즈가 결정되면, 와이어 폭은 쉽게 결정될 수 있다. 클락 스큐를 좀 더 줄이기 위해서는 버퍼 삽입과 같은 다른 디자인 방법들이 연구될 필요가 있다.

IV. 결 론

본 논문은 S-파라미터로 특징화되고 모델화되는 주파수에 의존하는 클락 그리드의 시간영역 시뮬레이션을 위한 새로운 알고리즘을 소개하였다. S-파라미터에 의한 모델링을 사용하여, 신호 흐름 그래프가 Matlab에서

생성되고, 게이트 부하에서의 클락 스큐는 Hspice에서 계산되었다. 이 제안된 방법은 Hspice의 시뮬레이션 결과와 비교해서 10 %미만의 오차를 보이면서, Hspice의 시뮬레이션 시간과 비교해서 현저한 감소를 가져왔다. 또한, 다른 RC 네트워크 감소 알고리즘보다 더욱 정확하고 효과적인 시뮬레이션 결과를 보여주었다. 또한, 본 논문은 클락 그리드를 위한 그리드 사이즈와 와이어 폭의 효과적인 해결책을 제시하였다. 제안된 방법은 초고속 클락 분포 디자인에 효과적으로 사용 될 수 있고, VLSI 시스템에서 누화 와 반사 효과들을 포함한 내부 배선 분석에도 적용될 수 있다.

참 고 문 헌

- [1] Ghun Kim, Dong-Soo, et al., "An Effective Modeling Technique for the Delay Calculation and the Skew Analysis of Clock Grid Designs", IEEE ASIC/SOC, pp.340-344, Sept. 2000.
- [2] Yi Zou, Qiang Zhou, et al., "Analysis of Buffered Hybrid Structured Clock Networks", IEEE ASP-DAC'05, Vol. 1, pp.93-98, Jan. 2005.
- [3] Pillage, L.T, et al., "Asymptotic Waveform Evaluation for timing analysis", IEEE Tran. on Computer-Aided Design of Integrated Circuits and Systems, Vol.9, Issue 4, pp.352-366, Apr. 1990.
- [4] J. Dobrowolski, "Introduction to Computer Methods for Microwave Circuit Analysis and Design", Artech House, 1995.
- [5] W. Bailey and B. Benschneider, "Clocking design and analysis for a 600 MHz alpha micro-processor", IEEE Journal of Solid State Circuits, Vol. 33, No. 11, pp.1627-1633, Nov. 1998.
- [6] Ilona Rolfes, et al., "Multiport Method for the Measurement of the Scattering Parameters of N-ports", IEEE Tran. on Microwave Theory and Techniques, Vol. 53, No. 6, pp.1990-1996, June 2005.
- [7] T. Rahkonen, M. Neitola, "Automated flow graph analysis Using Matlab and Maple", IEEE International conference on Electronics, Circuits, and systems 2001, pp.605-608, Sep. 2001.
- [8] Jan M. Rabaey, et al. "Digital Integrated Circuits, A Design perspective", Prentice Hall, 2003.

저 자 소 개



김 경 기(정회원)

1995년 영남대학교 전자공학과
학사 졸업.

1997년 영남대학교 전자공학과
석사 졸업.

2004년~현재 노스이스턴 대학교
전기컴퓨터공학과 박사 과정.

<주관심분야 : 아날로그/디지털 VLSI 설계, VLSI CAD >