

히스토그램 기반 코드 영역 보상 기법을 적용한 W-CDMA 기지국용 CFR 알고리즘

정회원 장형민*, 이원철*

A Novel CFR Algorithm using Histogram-based Code Domain Compensation Process for WCDMA Basestation

Hyung-min Chang*, Won-cheol Lee* *Regular Members*

요 약

이동통신 기지국 시스템에서 송신 신호의 PAR 성능을 (peak-to-average power ratio) 개선함으로써 범용 전력 증폭기의 사용이 가능하게 되며, 이로 인해 전체적인 기지국 비용의 절감을 기대할 수 있다. 일반적으로 PAR 값을 줄임으로 인해 기지국 송신신호의 인근 대역 간섭 제한 성능을 나타내는 ACLR이나 (adjacent channel leakage ratio) 품질을 나타내는 EVM이나 (error vector magnitude) PCDE 성능의 (peak code domain error) 열화를 발생시킨다. 본 논문에서 이러한 문제점을 해결하기 위하여 필터링 기반의 CFR 방식인 (crest factor reduction) FDCFR 알고리즘을 (filter-dependent CFR) 소개하며, 히스토그램 기반 코드 영역 보상(HBWCDC; histogram based waterfilling code domain compensation)기법을 제안한다. 본 논문에서 제안한 CFR 알고리즘은 PAR 감소 뿐만 아니라 앞서 언급한 ACLR, EVM 및 PCDE 등의 성능 열화를 방지한다.

Key Words : Crest Factor Reduction, Peak-to-Average Ratio, W-CDMA, Peak Code Domain Error, Error Vector Measurement

ABSTRACT

This paper proposes a novel crest factor reduction (CFR) algorithm to be deployed on WCDMA basestation. Generally speaking, it is well described that the reduction of peak-to-average ratio (PAR) yields the possibility of using low cost power amplifier such that the basestation becomes economic. However, the simple reduction of PAR could degrade the signal quality measured by either peak code domain error (PCDE) or error vector measurement (EVM), and the level of channel interference constrained by adjacent channel leakage ratio (ACLR). Regarding these imperfections, this paper introduces an effective CFR algorithm in which the function of filter-dependent CFR (FDCFR) incorporated with the histogram-based waterfilling code domain compensation (HBWCDC) carries out. To verify the performance of the proposed CFR technique, substantial simulations including comparative works are conducted with obeying W-CDMA basestation verification specification. To exploit the superiority, the performance of the proposed method is tentatively compared with that associated to the simple memoryless clipping method and the memory-required filter-dependent clipping method.

※ 본 연구는 숭실대학교 교내연구비 지원으로 이루어졌음.

* 숭실대학교 정보통신전자공학부 통신 및 신호처리연구실 (hmchang@amcs.ssu.ac.kr, wlee@ssu.ac.kr)

논문번호 : KICS2007-05-205, 접수일자 : 2007년 5월 7일, 최종논문접수일자 : 2007년 11월 13일

I. 서 론

일반적인 기지국 시스템에서 신호 송신 시 여러 사용자들의 신호가 서로 혼합되며, 특히 서로 직교성을 갖는 채널 신호를 이용한 다중 캐리어 시스템을 고려할 경우 다수 FA(Frequency Assignment)에 해당하는 여러 신호들이 더해짐에 따라 결과 신호의 피크 성분이 발생한다. 만약에 혼합되는 신호 성분이 백색 잡음 특성을 갖는다면, 여러 신호가 더해질 경우 central limit theorem에 의해 높은 PAR을 갖는 Gaussian 분포를 갖는다^[1]. 높은 PAR은 RF 증폭기에서의 비선형 증폭 특성에 의해 스펙트럼 regrowth를 발생시키며, 이로 인해 사용하는 전력 증폭기의 동작구간을 backoff 시켜야 하는 문제를 야기시킨다. 즉, PAR이 낮으면 낮을수록 적은 전력 핸들링 용량을 사용할 수 있으며, 이로 인해 더욱 경제적이고, 고효율 동작이 가능하다^[2]. 혼합신호에서 볼 수 있는 Crest Factor 혹은 PAR을 줄이기 위해 기존에 WCDMA 기지국 시스템을 위해 제안된 방안으로는 OVSF 코드를 (othogonal variable spreading factor) 적절히 선택하여 성능상의 열화 없이 PAR을 줄이는 방법과 펄스 형상 이전에 클리핑을 통해 주파수 특성이 열화되지 않은 상태로 PAR을 줄이는 방법인 기저대역 클리핑, 최종단에서 클리핑을 하는 가장 간단한 방법인 최종 클리핑이 소개되었다^[1]. 본 논문에서는 기저대역 클리핑에서 PAR의 감쇄폭이 크지 못하다는 문제점과 최종 클리핑 방법에서 낮은 PAR을 갖도록 임계치를 설정하였을 때 ACLR 성능이 많이 열화되는 문제점을 해결하기 위하여 FDCFR 기법과 이와 더불어 워터필링 기법을 적용한 히스토그램 기반 코드 영역 보상 기법을 제안하였다. 본 논문의 구성 상 제 II장은 제안한 전체 CFR 기능 수행 과정에 대한 설명을 제시하며, 제 III장에서는 FDCFR 알고리즘의 동작 과정을 설명하였다. 제 IV장에서는 본 논문에서 제안하는 HBWCDC 기능을 추가한 유동적인 임계치를 갖는 FDCFR 기법에 대하여 설명하였고, 제 V장에서는 모의 실험 결과를 통한 제안한 방법의 성능을 고찰하고 마지막으로 제 VI장에서 결론을 맺는다. 본 논문에서 제안한 방법의 우수성을 입증하기 위해 일반적인 클리핑 방식과 필터 기반 CFR 방식(FDCFR)과 성능 상 비교 분석을 하였다.

II. 제안한 Cognitive 엔진용 GBNSGA 최적화 알고리즘

그림 1은 본 논문에서 제안한 전체 알고리즘 처리과정을 간략히 나타낸 블록도이다. 두 번째 블록에서 FDCFR은 CFR을 위해 클리핑 기반의 피크 축소 기능을 수행하게 된다. 여기서 일반적인 클리핑 방법은 비메모리 시스템인데 반하여 FDCFR은 필터를 이용하므로 메모리 시스템이라고 볼 수 있으며, 이때 적용되는 필터는 규격 상의 ACLR을 만족시키도록 설계한다^{[3][4]}. FDCFR 수행 후 피크가 축소된 신호는 원신호와의 차를 통해 오차 신호를 구한다. 여기서 오차신호는 IF가 (intermediate frequency) 아닌 기저대역 대역에서 각각의 다중캐리어 신호별로 계산한 후, 칩(chip) 레벨의 신호로 변환한다. 이후 각 코드 채널별로 이미 할당된 OVSF 코드를 사용하여 역확산을 수행하여, 코드별 CDE 신호를 (code domain error) 발생시킨다. PCDE 성능을 개선시키기 위해 각 코드별 CDE 신호의 슬롯당 평균 전력을 계산하여 비교적 큰 값들에 대한 보상을 수행한다. 이때 코드 영역 상에서 오차를 보상하는 과정은 그림 1의 가장 마지막에 수행되며, 본 논문에서 제안한 HBWCDC를 적용한다. 세 번째 블록에서 HBWCDC 기법 등을 이용하여 PCDE 성능 개선을 위한 코드 영역상의 오류 보상 신호를 발생한다. 이때 각 코드별 오류 보상 신호는 적절한 가중치를 적용하여 요구되는 PCDE 규격을 만족하지 못하는 코드별 오류에 대해서만 보상 신호를 생성한다. 이렇게 구해진 각 코드별 오류 보상 신호들은 다시 주어진 코드로 확산되고 IF 주파수 대역으로 상향 변환된다. 이후 정해진 PAR 성능을 만족하도록 네 번째 블록인 유동적인 임계치 값을 갖는 FDCFR 기법을 통해 다시 피크를 축소시킨 후, 첫 번째 FDCFR 출력 신호와 더해지게 된다. 이러한 처리과정을 통해 PAR 및 ACLR 성능을 만족시키고, 또한 EVM 및 PCDE 성능도 개선시킬 수 있다. 다음 절부터는 그림 1에서 나타낸 전체 CFR 처리 구조를 구성하는 요소 기능들에 대한 세부적인 동작원리에 대해 기술한다.

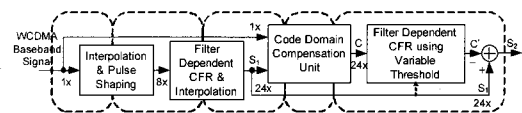


그림 1. HBWCDC 기법을 이용한 CFR 전체 블록도

Ⅲ. 필터 기반의 CFR(FDCFR : Filter-Dependent CFR) 알고리즘

일반적으로 기지국 시스템에서 단순히 송신 신호의 PAR을 감소시키기 위하여 최종클리핑 방법이 사용되지만, 이에 대한 영향으로 기타 ACLR, EVM 과 PCDE는 열화된 성능을 갖게 된다. 특히 이들 중 ACLR 성능이 급격히 저하되며 스펙트럼 regrowth 현상이 심각하게 발생한다. 본 절에서 소개하는 FDCFR 방법은 주어진 PAR 성능을 최대한 만족시키면서 규격에서^[4] 요구하는 ACLR 성능을 만족시키기 위한 기술이다. 다시 말해서 일반적으로 PAR 성능을 좋게 하기 위해 신호 성분의 피크 값을 무리하게 낮추게 되면, ACLR 성능이 급격히 열화되며, 이를 해결하기 위해 ACLR 성능을 만족시키는 필터를 사용하면 다시 PAR이 증가하는 현상을 초래한다. 이러한 이중 문제를 동시에 해결하기 위해 PAR과 ACLR을 모두 만족시키기 위한 FDCFR 방법 (filter-dependent CFR) 소개한다^[3].

FDCFR 방법의 기본적인 동작 원리는 ACLR 규격 만족을 위한 필터의 출력을 미리 예측한 후, 예측된 출력 신호에 포함된 피크성분들을 가능한 줄여주도록 사전에 필터 입력 신호 레벨을 조절한다. 이를 통해 최종 출력 신호의 PAR을 조절할 뿐 아니라 필터링을 통해 스펙트럼 Regrowth 현상을 억제할 수 있다. 그림 2에서 볼 수 있듯이 사전에 정해진 ACLR 규격을 만족시키는 필터의 바로 앞에서 피크 축소 전처리 유닛(PRPU: peak reduction processing unit)을 이용하게 된다. 그림 2에서 두 가지 FDCFR 처리 과정을 보여주고 있으며, 과표본화 과정의 존재 유무에 따라 구분된다. 또한 피크 축소 전처리 과정은 단순히 클리핑의 역할을 수행하는 것이 아니라 최종 필터 출력의 피크를 축소시키기 위해 후속 필터를 입력되는 신호의 형태를 변화시켜주는 역할을 담당하게 된다. 따라서 일종의 후속 필터 출력 예측기의 역할과 입력 신호 조절

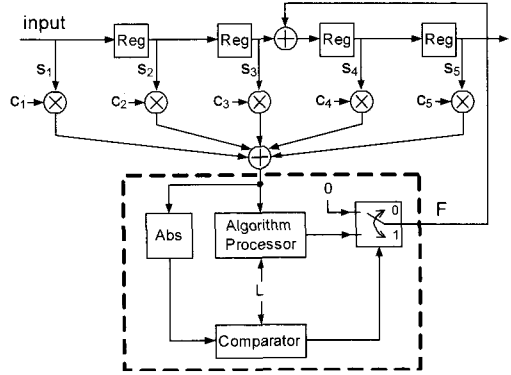
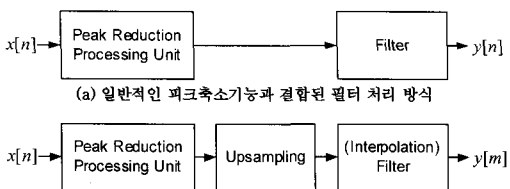


그림 3. 5 tap 필터를 갖는 PRPU의 예

기능을 동시에 담당한다. 또한 후속 필터 출력이 FDCFR 입력 신호보다 표본화율이 높다면 과표본 화기를 사용해야 하며 이 경우 줄더 많은 수의 입력 값들을 조절할 수 있음으로 인해 효과적인 CFR 기능을 수행할 수 있다. 이 점에 대해서는 추후 다시 논의될 예정이다. 본 논문에서는 과표본화 과정을 이용한 FDCFR 기능을 적용할 예정이며, 인터폴레이션 필터를 다상 필터 형태로 구성하여 효과적인 피크 축소 전처리 과정을 수행한다.

필터의 출력을 예측하기 위해서는 PRPU가 뒷단에 사용되는 필터의 계수 값 정보를 가지고 있어야 한다. 그림 3은 예로써 5 tap을 갖는 필터를 사용하였을 경우에 FDCFR의 PRPU에 대한 구조를 나타내고 있다. PRPU 입력은 레지스터를 거쳐 각각 계수들 (c_1, c_2, \dots, c_5)과 곱해진 후 더해 필터 출력을 예측하며, 예측된 필터 출력은 피크 축소 알고리즘 처리단의 입력으로 이용되어, 그 크기가 미리 정해놓은 임계치($=L$)보다 크면 그 피크를 줄이기 위해 계산된 피드백 값을 출력으로 내보내고, 그렇지 않으면 출력을 0으로 내보낸다. 여기서 피드백 값은 그 다음 심볼이 입력되기 전에 필터의 중심 계수(c_3)와 곱해진 입력 심볼(s_3)에 더해지게 된다. 이후 다음 심볼이 입력되면, 해당하는 필터 출력 값은 이전에 변형된 입력 값들과 새로 입력되는 입력 심볼과 아직 조절되지 않는 입력 심볼 값들을 이용하여 계산되고, 다시 예상되는 필터 출력을 임계치와 비교하여 피드백 값을 계산한다. 이렇게 필터 출력 후에 나타나는 피크 값을 줄여주기 위해 사전의 필터 입력 신호를 조절하는 방법은 기존의 필터 출력을 직접 클리핑하는 방법과는 차이가 있으며, 추후 최종 필터를 통과함으로써 ACLR 규격을 만족함과



(a) 일반적인 피크축소기능과 결합된 필터 처리 방식
(b) 과표본화 과정이 추가된 변형된 피크축소기능과 결합된 필터 처리 방식
그림 2. FDCFR 처리 과정도

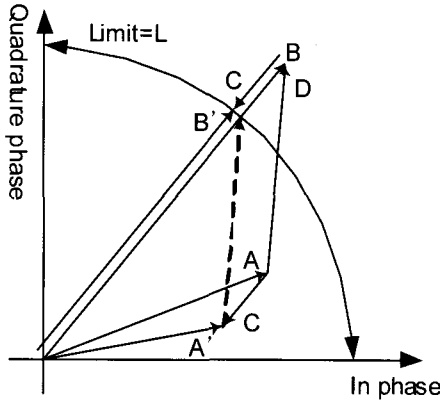


그림 4. 알고리즘 Processor의 처리 과정 설명도

동시에 낮은 레벨의 PAR성능을 가질 수 있게 된다. 그림 4는 PRPU의 클리핑을 기반으로 한 피크 축소 알고리즘 동작 원리를 나타낸다. 여기서 A는 그림 3에서 보여준 후속 필터와 같은 형태를 갖는 필터의 중심계수(c_3)와 이에 대응되는 입력 샘플 값 (s_3)이 곱해진 값이고, B는 PRPU에서 전체 필터의 출력이다. 또한 D는 필터의 중심계수 값을 제외한 계수들(c_1, c_2, c_4, c_5)과 그와 대응되는 입력 샘플들 (s_1, s_2, s_4, s_5)의 곱을 모두 더한 값이며, $D = B - A$ 로 표현될 수 있다.

알고리즘의 기본적인 동작원리는 클리핑 개념과 같이 필터 출력 B의 크기가 L보다 큰 경우 B의 크기를 상한 임계치인 L로 제한하여 원하는 PAR 성능을 만족시키도록 만드는 것이다. 여기서 일반적인 클리핑과 다른 점은 전체 필터 출력 샘플 값 B의 절대치가 L값을 초과하는 경우 B값을 직접 조절하여 B를 생성하지 않고, B가 A와 D로 이루어진 벡터라는 것을 이용하여 벡터 A를 A'으로 변형함으로써 간접적으로 B를 B'으로 조절한다. 전체 필터 출력을 보상하기 위한 과정은 다음과 같다. 즉, 수식 (1)을 사용하여 계산되는 벡터 C를 벡터 B에 더하면 보상된 전체 필터 출력 B'이 된다.

$$C = \left(L \frac{B}{|B|} - B \right) \quad (1)$$

그림 4에서 $B = A + D$ 라는 점을 이용하면, B'을 수식 (2)와 같이 다시 정리 할 수 있다.

$$B' = B + C = (A + D) + C = (A + C) + D = A' + D \quad (2)$$

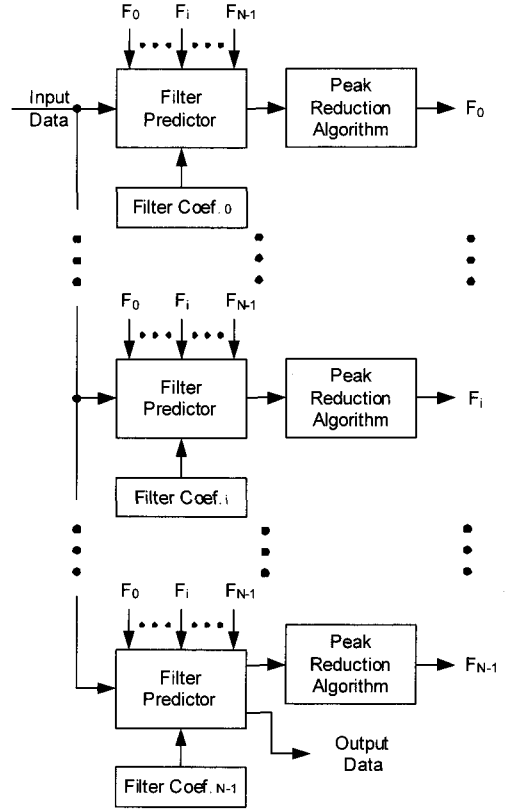


그림 5. 과표본화 과정이 추가되어 변형된 피크 축소 유닛 (PRPU : peak reduction processing unit)

또한 식 (3)을 이용하면, 보상된 전체 필터 출력 B'을 생성하기 위한 변형된 입력 샘플 값 A'을 아래 식 (3)과 같이 입력 심볼 s_3 에 피드백 C/ c_3 를 합한 후 계수 값 c_3 와 곱하여 얻게 된다.

$$A' = A + C = (c_3 \cdot s_3) + C = c_3 \left(s_3 + \frac{C}{c_3} \right) \quad (3)$$

그림 2 (b)에서 과표본화 및 인터플레이션 필터 과정은 다상 필터 구조로 처리될 수 있으며, PRPU의 예측 필터도 동일한 다상 필터 구조로 처리될 수 있다. 예를 들어 FDCFR 출력 신호가 입력 신호의 표본화율에 비하여 N배로 과표본화되는 경우, 그림 5와 같이 PRPU의 예측 필터는 N개의 브랜치를 갖는 다상 필터 구조를 갖게 되며 각 브랜치의 필터 출력을 이용하여 별도의 피크 축소 알고리즘 과정을 거치게 된다. 여기서 PRPU 출력 신호의 표본화율은 전체 FDCFR 입력 신호의 표본화율과 동일하며, 각각의 다상 필터 브랜치별로 자기 다른 피

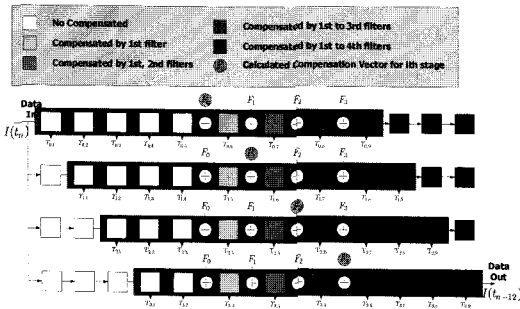


그림 6. 과표본화를 동반한 Peak Reduction Processing Unit의 형태

드백 값이 계산된다. 예로 보여준 그림 5에서와 같이 총 N 개의 피드백 값들이 각 브랜치별로 계산되지만, 모든 피드백 값들은 모든 브랜치에 동시에 공유되는 구조를 갖는다. 또한 그림 5에서 단일 샘플이 PRPU에 입력되면 저장되어 있던 샘플 값들과 더불어 모든 피드백 값이 브랜치별로 계산되고 동시에 공유되며, 이후 그 다음 순번의 샘플 값이 입력 되는 시점에서 각 브랜치별 다상 필터의 레지스터들에 저장되어 있던 값이 출력 됨과 동시에 피드백 값과 더해져서 다음 레지스터에 저장된다.

그림 6은 PRPU에서 다상 필터의 각 브랜치 필터의 세부적인 동작 과정을 나타내었다. 이 경우는 4배의 과표본화를 한 경우이고, 원래 필터의 계수는 총 36개임을 감안하여 각 브랜치의 다상 필터는 각각 9개의 계수를 갖게 된다. 그림 6에서 데이터 흐름 및 구조적인 이해를 위해 필터의 레지스터 부분만을 나타내었다. 입력 데이터 $I(t_n)$ 은 4개의 브랜치 모두의 입력으로 사용된다. 첫 번째 브랜치에서 9개의 계수를 갖는 첫 번째 다상 필터는 입력을 필터링함과 동시에 피크 축소 알고리즘 과정을 처리하여 피드백 F_0 를 구한다. 두 번째 다상 필터 브랜치에서는 일반적인 다상 인터폴레이션 필터의 구조에 준하여 필터링 하기 이전에 레지스터를 거쳐 한 샘플 지연을 시킨 후, 해당 브랜치 다상 필터를 이용하여 피드백 F_1 을 구한다. 세 번째 브랜치에서는 두 샘플 지연을 시키고 세 번째 브랜치 다상 필터를 이용하여 피드백 F_2 를 구하고, 네 번째 브랜치에서는 세 샘플 지연을 시키고 네 번째 브랜치 다상 필터를 이용하여 피드백 F_3 을 구한다. 첫 번째 브랜치에서 구한 피드백 F_0 은 모든 다상 필터에 공유되며 새로운 데이터 샘플이 입력되는 시점에서 다섯 번째 레지스터에 저장되었다가 출력되는 심볼에 더해진다. 두 번째 브랜치에서 계산된 피드백 F_1

도 모든 다상 필터의 여섯 번째 저장되어 있던 심볼과 더해진다. 이러한 과정을 수행하게 되면 제일 아래쪽 다상 필터의 마지막 레지스터에서 출력되는 샘플 시퀀스는 모두 4번의 보상 과정을 거친 결과 신호이며, 마지막 다상 필터의 마지막 레지스터의 출력 신호는 입력 심볼과 동일한 표본화율을 갖는다. 추후 PRPU 처리단을 통과한 변형된 입력에 의해서 후속 필터의 출력 신호는 정해진 피크 임계치를 최대한 만족하게 된다.

IV. 제안한 HBWDC(histogram based waterfilling code domain compensation) 기법

본 논문에서 소개하는 코드 영역 보상 기법(code domain compensation; CDC)은 앞에서 설명한 FDCFR 처리 과정에서 발생하는 열화된 PCDE 성능과 EVM 성능을 개선시키게 된다. 그림 1은 이와 같은 코드 영역 보상 기법을 이용한 CFR 알고리즘 구조를 나타내었다. 그림 1의 두 번째 블록에서 나타낸 FDCFR 처리 과정을 거친 신호는 원래의 칩 레벨 신호와 동기화되어 CDCU(code domain compensation unit)에 입력된다. 그림 1에서 각각의 블록에 입력되거나 출력되는 WCDMA 신호의 표본화율은 서로 다르며, 여기서 $1x$ 는 3.84Mcps와 동일한 표본화율을 의미한다. 기본적으로 CDCU에서 구한 보상 신호(C)는 앞서 FDCFR 처리과정을 통해 나온 피크가 제거된 필터 출력 값(S_1)에 더해 보상을 해줄 수 있다. 그러나 보상 신호 C 를 S_1 에 더해주는 과정에서 다시 PAR 값이 증가하게 되는 것을 방지하기 위해, 본 논문에서는 2차 FDCFR 과정을 다시 한번 적용하여 원하는 PAR 성능을 최대한 만족하도록 처리과정을 구성하였다.

그림 1에서 2차의 FDCFR 블록은 코드 영역 보상 신호 C 를 입력으로 받게 되고 1차 FDCFR을 통과한 WCDMA 신호 S_1 과 PAR 성능 만족을 위한 고정임계치의 차이 신호를 계산하여 이를 유동적인 임계치로 사용한다. 2차 FDCFR은 S_1 과 C 를 합하여 생길 수 있는 피크를 조절하며 또한 ACLR 규격을 만족 할 수 있도록 코드 영역 보상 신호 레벨을 재조정 하게 된다. 따라서 그림 1에서와 같이 최종 신호 S_2 는 보상 신호 C 를 1차 FDCFR의 출력 S_1 과 동기화되어 합해지며, 최종신호는 보상 과정에서 발생할 수 있는 PAR 증가를 억제함과 동시에 ACLR 규격을 만족하게 된다.

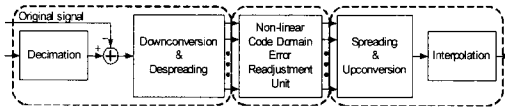


그림 7. Code Domain Compensation Unit 내부 블록도

그림 7에서 보여준 CDCU는 크게 세 개의 블록으로 나뉘어 처리된다. 첫 번째로 피크가 제거된 신호를 칩율로 낮춘 후, 동기를 맞춰 원신호와의 차이를 구한 뒤, 채널 코드별 역확산 과정을 거쳐 하향 변환하여 심볼 레벨 신호로 변환시킨다. 두 번째로 코드 영역 상에서 각 채널 코드별 CDE의 한 슬롯당 정규화된 평균 RMS (normalized average RMS of code domain error in a slot: NARMSE) 값을 구한 뒤, 각 코드 채널별 NARMSE의 크기에 따라 그 값을 적절히 키우거나 줄이는 CDERU(code domain error readjustment unit) 처리과정을 수행한다. 이때 CDERU의 처리 과정으로 본 논문에서는 비선형 매핑 기법을 이용하는 경우와 히스토그램 기반 워터필링 기법을 사용하는 경우를 소개한다. 그리고 마지막으로 수정된 CDE 신호를 채널 코드로 확산 시키고 IF 대역으로 다시 상향 변환하는 부분으로 구성된다.

그림 7의 첫 번째 블록을 거쳐서 출력되는 각 채널 코드별 심볼 단위 오차 신호를 CDERU에서 PCDE의 측정과 유사하게 채널 코드별 CDE 신호의 슬롯당 평균 전력 값을 구한다^[4]. 그림 8에서 볼 수 있듯이 각 채널 코드별 CDE 신호의 슬롯당 평균 전력 분포는 각 코드 채널에 따라서 서로 다른 값을 갖고, 0 번째 코드 채널이 PCDE를 결정하는 코드 채널임을 알 수 있다. 그림 8에서 회색으로 표시된 코드 채널과 검정색으로 표시된 코드 채널은 실제 사용하고 있는 채널이고, 흰색으로 표시된 코드 채널은 사용하지 않은 채널이다. 그림 8에서 나타낸 바와 같이 CDE의 한 슬롯당 평균 전력은 각 코드 채널에 할당된 전력의 크기에 비례하고, 전력할당이 많이 된 0 번째 코드 채널과 대응되는 CDE 전력 값은 크게 나타나게 되어 PCDE 값을 결정하게 된다. 따라서 그림 7에서 나타낸 CDCU 과정을 거쳐 CDE의 한 슬롯당 평균 전력 값이 큰 코드 채널의 오차 신호를 선택적으로 보상하여 얻게 되는 신호 s_2 는 CDC 하기 전 신호 s_1 보다 PCDE 성능이 개선될 수 있다. 여기서 선택적으로 전력이 큰 코드 채널의 CDE를 보상한다는 의미는 해당 코드 채널의 CDE 전력 값은 유지하고 나머지

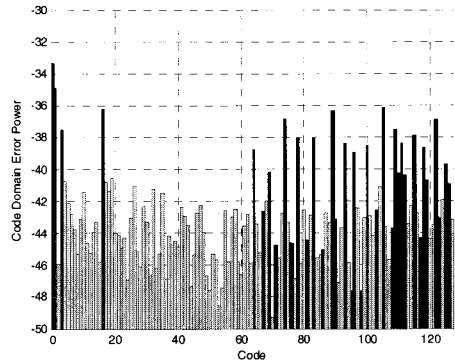


그림 8. 각 채널 코드별 CDE의 한 슬롯당 평균 전력의 예

코드 채널의 CDE 전력 값을 0으로 만든다는 것이다. 이러한 선택적 CDE 보상은 CDERU에서 이루어지며, 미리 구해놓은 각 코드 채널별 CDE의 한 슬롯당 평균 전력 값들 중 최대값으로 각각의 CDE를 나눠 정규화한 후, 각 채널 코드별 보상할 양을 다르게 설정하여 입력으로 들어온 심볼 단위의 오차 신호에 가중치 형태로 곱한다. 여기서 보상 여부를 선택하거나 각 CDE에 대해 보상을 해주어야 하는 양을 결정하는 것이 관건이다.

CDE의 한 슬롯당 평균 전력 값이 매우 큰 특정한 몇 개 코드 채널에 대해서만 보상을 많이 할 경우, 보상된 코드 채널의 CDE 신호의 슬롯당 평균 전력 값은 작아지고 PCDE 성능도 좋아지지만 보상되지 않은 몇몇의 큰 전력을 갖는 코드 채널에 대해서는 아직 개선의 여지가 남아 있게 된다. 또한 필요 이상으로 많은 수의 코드 채널에 대해 보상을 할 경우, 추후 피크를 다시 제거하게 되면 CDE 신호의 슬롯당 평균 전력이 다시 커져 PCDE 값이 그다지 개선되지 않는 현상이 발생한다. 여러 번의 모의 실험 과정을 거쳐서 얻은 가장 이상적인 처리 과정은 보상 후 얻게 되는 신호 s_2 의 CDE의 한 슬롯당 평균 전력 값이 코드별로 큰 차이가 없게 해 주는 것이다. 이러한 비선형적인 보상 과정을 위해 본 논문의 다음 절에서 비선형 매핑 기법과 히스토그램 기반 워터필링 기법을 소개한다.

4.1 비선형 매핑 기법

비선형 CDERU에서 NARMSE 값에 따라 선형적으로 보상 가중치를 곱해주게 되면 실제로 보상이 필요 없는, 혹은 약간만 보상을 해주어도 되는 코드 채널의 오차 성분에 대해 과도한 보상을 하게 되고, 이 영향으로 C 을 계산하는 과정에서 더욱 증가된 PAR을 줄이게 되며, 이때 예상되는 PCDE

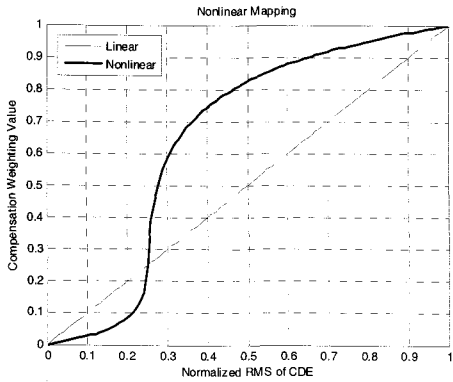


그림 9. 보상 가중치 취득을 위한 비선형 매핑 특성 곡선

값이 더 커지게 되어 PCDE 성능 개선 효과가 미미해 진다는 문제점이 발생한다. 이러한 문제점을 해결하기 위해 본 논문에서 제안한 비선형 특성을 갖는 매핑 함수를 이용하여 얻게 되는 가중치를 사용하면 개선할 수 있다. 그림 9은 각 코드 채널별 보상 가중치를 얻기 위한 비선형적 특성 곡선을 나타내며^[5], 가로축은 코드 채널별 NARMSE 값을 나타내며, 세로축은 정규화된 보상 가중치 값을 나타낸다. 다시 말해 0~1 사이의 입력 값을 선형적으로 처리했을 경우 NARMSE 값이 작은 코드 채널에 대해 매우 많은 양의 보상을 하게 되는 문제점을 개선하기 위해 비선형 특성 곡선으로 변환하여 얻게 되는 가중치를 적용하여 해결할 수 있다. 즉, NARMSE 값이 작은 코드에 대해 보상을 적게 하고 CDE 전력 값이 큰 코드에 대해서는 보상을 많이 하는 가중치 값을 얻을 수 있다.

그림 9에서 굵은 실선은 보상 가중치 취득을 위해 설정한 비선형 매핑 특성 곡선을 나타낸다. 즉, 비선형 특성곡선에서 $\rho=0.25$ 를 기준으로 이보다 NARMSE 값이 작을 때 가중치는 NARMSE 값보다 더욱 작아지고 0.25보다 커지면 보상치도 NARMSE 값보다 커지는 것을 볼 수 있다. 여기서 ρ 값은 코드 채널별로 NARMSE 보다 가중치를 크게 놓을 것인지의 여부를 결정하는 중요한 값이다. 그림 9에 나타난 비선형 매핑 특성 곡선을 수식으로 나타내면 식 (5)와 같다.

$$y = \begin{cases} -p \times \frac{\ln\left(1 + \mu \frac{|x-p|}{1-p}\right)}{\ln(1+\mu)} + p & 0 \leq x \leq p \\ (1-p) \times \frac{\ln\left(1 + \mu \frac{|x-p|}{1-p}\right)}{\ln(1+\mu)} + p & p \leq x \leq 1 \end{cases} \quad (5)$$

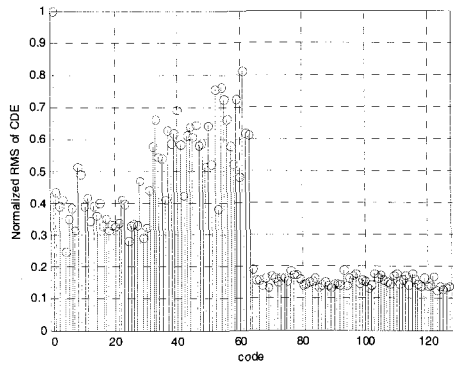


그림 10. 코드 채널별 한 슬롯당 CDE의 정규화된 평균 RMS 값

식 (5)에서 p 는 가는 점선으로 나타낸 기울기가 1인 선형 직선과 교차하는 지점의 가로축 상의 값을 나타내고, 그 범위는 정규화를 고려하여 $0 < p < 1$ 이다. μ 는 곡면의 볼록한 정도를 결정하는 값이다. 그림 9에서 나타낸 특성곡선은 $\mu=100$ 인 경우이다. 여기서 μ 값이 커질수록 NARMSE가 p 보다 작은 영역에서는 더욱 작은 보상 가중치를 갖게 되며, 반대로 NARMSE가 p 보다 큰 영역에서는 1에 가까운 상대적으로 큰 보상 가중치를 가진다.

WCDMA 시스템 신호의 코드 채널별 NARMSE 분포의 예를 그림 10에 나타냈으며, NARMSE 값이 0.25보다 작은 신호들은 사용하지 않는 코드 채널이고 PCDE에 영향을 미치지 않기 때문에 보상을 많이 해줄 필요가 없다는 측면에서 p 를 0.25로 설정하였다.

4.2 워터필링 기법을 적용한 히스토그램 기반 코드 영역 보상 기법

앞서 소개한 비메모리형 매핑 함수를 이용한 가중치 계산을 통한 보상 방법은 p 나 μ 값을 이용하여 특성 함수를 설정하여 각 CDE 신호의 전력에 대한 가중치 값을 손쉽게 얻을 수 있는 반면 각 코드 채널별 오차 신호의 전력 분포에 무관하게 보상 값이 설정된다는 문제점이 존재한다. 또한 각 코드 채널별 오차 신호의 전력 분포가 시간에 따라 바뀌면서 그에 따라 적응적으로 p 나 μ 값을 바꿔 주어 보상을 하지 못한다는 문제점을 갖고 있다. 이러한 문제점을 해결하기 위해 본 논문에서는 확률적 특성을 반영하고 적응적으로 보상 가중치 획득하는 방식인 HBWCDC 방안을 소개한다. HBWCDC 방법은 CDC에서 정규화 이후 각 코드 채널의 NARMSE 값이 서로 비슷한 수준이

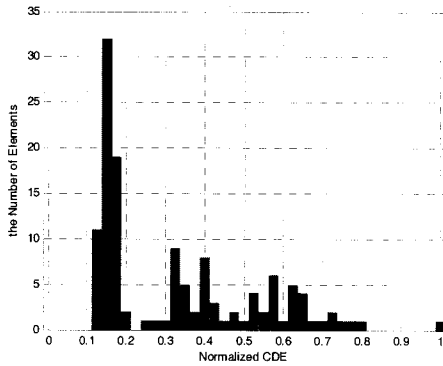


그림 11. 코드 채널별 CDE의 한 슬롯당 정규화된 평균 RMS 값에 대한 히스토그램

되도록 하기 위해 일정 레벨보다 큰 NARMSE 값을 갖는 코드 채널에 대해서는 보상 가중치를 크게 잡고, 일정 레벨보다 작은 NARMSE 값에 해당하는 채널 코드에 대해서는 보상을 하지 않도록 설정하는 기법이다. 이러한 방안은 일반적으로 무선 통신에서 송신 전력 할당을 위해 많이 거론되어 온 워터필링 방법과 유사하다⁶⁾.

제한한 방법의 동작 과정에서 보상 여부를 결정하는 임계치(=L)를 찾는 것은 매우 중요하다. 또한 일반적으로 슬롯 단위로 계산되는 CDE의 전력 값은 시간에 따라 값이 변화하며, 이는 각 채널 코드별 CDE 값의 시변 특성에 기인한다. 따라서 임계치 L값을 고정시키지 않고 슬롯 주기 단위로 CDE의 평균 전력 값의 확률적 분포, 즉 히스토그램 특성에 따라 그에 맞는 L값을 변화시키는 방안을 본 논문에서 제안하며, 이를 통해 효과적으로 PCDE 성능을 개선시킬 수 있다.

본 논문에서 사용한 L을 구하는 방법은 각 코드 채널별 NARMSE와 해당 값들의 분포를 나타내는 히스토그램을 사용해야 한다. 그림 11는 그림 10의 NARMSE의 확률적 분포를 나타내는 히스토그램을 보여주고 있다. 그림 10에서 최대 NARMSE를 갖는 0번째 코드 채널을 제외하고 가장 큰 NARMSE를 $NARMSE_{Max}$ 라하고, 그림 11에서 NARMSE들의 히스토그램에서 가장 높은 빈도수를 갖는 NARMSE를 $Hist_{Max}$ 라 정의할 경우(여기서는 0.15임), 해당 슬롯에 대한 가변 임계치 L값은 모의실험을 통해 성능이 가장 좋게 나오는 식 (6)과 같이 정하였다.

$$L(f, k) = \frac{2}{NARMSE_{Max}(f, k) - Hist_{Max}(f, k)} \quad (6)$$

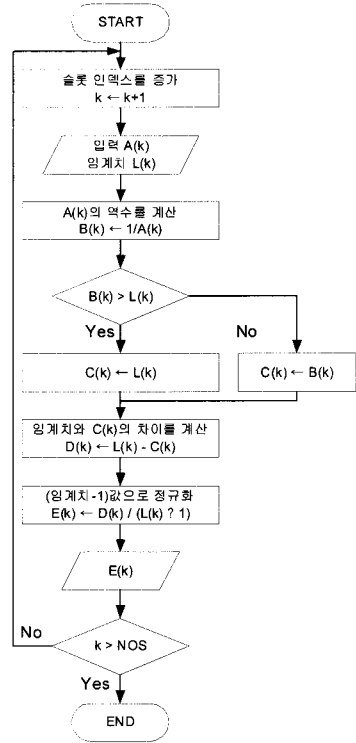


그림 12. 워터필링 기법을 적용한 히스토그램 기반 가중치 계산 처리 순서도

여기서 f 는 프레임 인덱스이며, k 는 해당 프레임의 슬롯 인덱스이다.

식 (6)을 통해 임계치 값을 계산하는 과정에서 0 번째 코드 채널에 대한 NARMSE를 제외시키는 이유는 다음과 같다. 0번째 코드 채널은 프리앰블 성분에 할당하는 코드로써 상대적으로 매우 큰 fractional 송신 전력 할당을 받게 되므로, 이에 대한 CDE의 전력 값이 매우 크게 된다. 따라서 이 성분을 이용하여 식 (6)에서 임계치를 구하게 되면 그 값이 매우 작아지며, 이는 결국 필요 이상의 CDE 보상을 하게 되어 최종 PCDE 성능 개선이 어려워지게 된다.

그림 12는 본 논문에서 제안한 HBWCDC 기법의 처리과정을 순차적인 처리 순서도로 나타내었다. 편의상 아래 수식은 단지 슬롯 인덱스 k 만을 고려하였다. 그림 12의 처리 순서도와 다음의 내용은 특정한 슬롯의 코드 채널에 대한 처리 과정 설명이다. 입력으로 NARMSE ($A(k)$)가 들어오면 작은 신호들을 자르기 쉽게 하기 위해 입력 신호에 대해 역수를 취한다($B(k)$). 여기서 대부분의 경우 최대 CDE 전력 값을 갖는 코드 채널은 0 번째 코드로써

프리앰블을 위해 할당된 코드채널이다. 이때 NARMSE가 보상을 할 필요가 없을 정도의 작은 경우 $A(k)$ 는 역수를 취하게 되면 역수 값 $B(k)$ 가 매우 커지게 되고, $B(k)$ 가 보상 여부를 결정하는 임계치 $L(k)$ 보다 커지게 될 수도 있는데, 이 경우 $B(k)$ 를 $L(k)$ 로 놓는다($C(k) = B(k) = L(k)$). 그러나 보상이 필요한 정도의 NARMSE를 갖는 코드 채널에 해당하는 $A(k)$ 는 역수 값 $B(k)$ 자체를 $C(k)$ 로 결정한다($C(k) = B(k)$). 모든 코드 채널에 대해서 앞의 과정이 수행 완료되면, 보상이 필요 없는 $C(k)$ 는 없애고, 보상이 필요한 $C(k)$ 는 다시 가중치를 갖도록 $L(k)$ 에서 $C(k)$ 를 감산한 후($D(k) = L(k) - C(k)$), $D(k)$ 를 다시 $(L(k) - 1)$ 로 정규화 한다. 이때 최종 정규화된 결과를 $E(k)$ 로 정의하며 이 값은 최종 채널 코드별 가중치로 사용한다. 이런 과정을 통하면 적정 수준 이하의 NARMSE를 갖는 코드 채널의 가중치는 0이 되고, 적정 수준 이상의 NARMSE를 갖는 코드 채널은 가중치를 크게 한다.

그림 13는 HBWCDC 기법의 간단한 예를 도시화하여 보여준다. 그림 13(a)를 보면 네 번째 코드에 대한 NARMSE가 가장 크고 다섯 번째 코드에 대한 NARMSE가 가장 작다. 그림 13(a)에서 보여준 코드 채널별 NARMSE에 대해 역수를 취한 결과를 그림 13(b)에서 보여주고 있으며, 크기가 1인 가장 큰 NARMSE를 갖는 네 번째 코드가 역수 과정을 취한 뒤 가장 작은 값, 즉 1이 되었고, 그림 13(a)에서 크기가 작은 다섯 번째 코드는 역수를 취한 뒤 그림 13(b)에서와 같이 가장 큰 값을 갖게 된다. 여기서 다섯 번째 코드의 역수는 해당 슬롯에서 미리 계산되어 정해놓은 임계치보다 커지게 되어 역수 값 자체를 그림 12(c)와 같이 임계치 값으로 제한한다. 그림 13(c)에서 나타낸 역수 과정과 임계치 제한 과정을 거친 결과 값들은 다시 임계치 값으로 감산한 후 $L(k) - 1$ 값으로 정규화 시킨 결과를 그림 13(d)에 나타내었다. 이러한 히스토그램 기반의 워터필링 기법을 거치면 네 번째 코드와 같이 NARMSE가 매우 큰 값은 첨가되는 보상 오차 신호의 가중치가 그림 13(d)에서 보여준 바와 같이 거의 1이 되므로 오차 보상 신호의 변화 없이 전단

의 FDCFR을 통과한 신호와 더해지게 된다. 반면에 두 번째 코드와 다섯 번째 코드처럼 NARMSE가 작은 코드 채널에 대해서는 보상 오차 신호의 가중치(그림 12에서 $E(k)$ 로 정의됨)가 0이 되므로 전단의 FDCFR을 통과한 신호가 오차 보상 없이 다음 과정으로 넘어가게 된다. 또한 그림 13(a)에서 NARMSE가 중간 정도인 세 번째 코드 채널에 대해서는 최종 오차 보상 신호 가중치가 0에서 1 사이 값을 갖게 되어 적절한 보상이 이루어지게 된다. 따라서 NARMSE가 큰 코드에 대해서는 상대적으로 큰 가중치를 오차 보상 신호에 적용되어 많은 보상이 이루어지며, 작은 NARMSE를 갖는 경우는 오차 신호 성분 보상을 거의 하지 않게 된다.

4.3 유동적인 임계치를 갖는 FDCFR 알고리즘

그림 7에서 이미 보여준 바와 같이 FDCFR 과정과 CDC 과정을 통과하여 얻게 되는 오차 보상 신호 C 를 S_1 에 더해줌으로써 PCDE 성능 개선을 위해 보상이 되며, 결국 PCDE의 개선이 EVM 성능 개선을 의미하므로^[7] 원신호와 동일하게 보상한다는 것을 의미한다. 그러나 원신호에 가까워질수록 PAR은 증가하게 되므로 본 논문에서는 보상을 한 이후에 PAR을 다시 줄여주기 위한 2차의 FDCFR 과정을 제안한다. 여기서 S_1 에 영향을 주지 않기 위해서 C 에 대해서 FDCFR 과정을 사용한다. 따라서 2차 FDCFR 과정은 보상값 C 에 적용하고, 그 피크에 대한 정의는 C 와 S_1 이 더해진 값에 대해서 적용되어야 하기 때문에 해당 임계치는 고정임계치 L 에서 S_1 의 크기를 감산한 값으로 한다. 그러므로 S_1 의 크기가 커지면 임계치는 그만큼 작아지고 S_1 의 크기가 작으면 임계치가 커진다. 만약 S_1 의 크기가 고정임계치 L 보다 크면, FDCFR의 출력은 0으로 한다. 2차 FDCFR에서 사용되는 예측 필터는 1차 FDCFR에서 사용된 필터를 사용하였다.

V. 모의 실험 결과 및 고찰

본 절에서는 제안한 HBWCDC 기법 결합 FDCFR 방식의 우수한 성능을 모의 실험을 통해 검증한다. 본 논문에서 제안한 CFR 처리 방식을 WCDMA의 기지국 시스템에 적용하였으며 참고문헌에^[4] 규격화 되어 있는 성능 검증에 관련한 신호 모델 및 각종 관련 파라미터들을 활용하여 모의 실험을 수행하였다. 표 1은 모의 실험을 통해 성능 검증 과정에서 고려되었던 주요 물리 계층 파라미

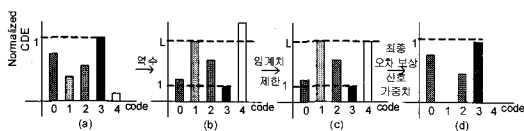


그림 13. Histogram-based Waterfilling의 예

표 1. 모의 실험을 위한 성능 요구사항 및 기타 시스템 파라미터

Specifications/ Requirements	Descriptions
FA pattern	[0110],[1001], [1010],[1111]
Test Signal Model[4]	TM1, TM3, TM5
ACLR[4]	< 45 dB (5MHz이상), < 50 dB (10MHz이상)
EMV[4] (TM1 기준)	< 17.5 % (QPSK), < 12.5 % (16QAM)
PCDE[4] (TM3 기준)	< -33 dB (SF=256)
PAR	< 5.4 dB
Input signal sampling rate	1x(3.84Mcps)
Output signal sampling rate	24x(92.16Mcps)
Number of slots in a single frame[8]	15
Number of chips in a single slot[8]	2560

터와 요구되는 성능 지표 값을 보여주고 있다.

표 1에서 나타난 바와 같이 본 논문에서 제안한 CFR 기법 성능을 검증하기 위해 4가지의 FA 패턴들을 고려하였으며, 제안한 CFR 기법은 각 FA 패턴에 대하여 PCDE(-33 dB 이하), EVM(17.5 % 이하)의 성능 지표들을 만족해야 한다. 표 1에서 FA 패턴은 5MHz 간격으로 배치되는 채널 대역폭이 3.84MHz인 각 FA의 존재 유무를 나타내고 있다. 즉 [1111]인 경우 총 4개의 다중 캐리어 주파수 채널이 존재함을 의미한다. 기지국인 신호를 송신 시에 적용되는 규격은 송신 신호 품질을 나타내는 2가지 주요 성능 지표인 EVM이나 PCDE 외에 인근 대역에 미치는 간섭 영향을 고려하여 설정된 ACLR이 있다. 표 1에서 설정된 PAR 규격은 실제로 규격 상에^[4] 정의되어 있지 않지만, PCDE나 EVM 그리고 ACLR 요구사항을 만족하면서 최대한 낮은 PAR 값을 갖는 것을 성능 기대 목표로 삼을 수 있다. 본 논문에서는 목표 PAR이 5.4dB 인 경우를 고려하였으며 이 때의 다른 성능 지표, 즉 PCDE나 EVM 그리고 ACLR에 대한 결과들을 관찰하였다. 본 논문에서 제안한 HBWCDC 기법을 적용한 필터 기반의 CFR 방식의 성능은 일반적인 클리핑 방법과 CDC를 적용하지 않은 단일 필터 기반 CFR 방식(FDCFR)의 성능과 비교하였다.

모의 실험에서 4개의 서로 다른 FA 패턴을 갖는 신호를 생성시켜 성능 검증에 이용하였다. 이때

표 2. WCDMA 시스템에서의 CFR 성능 결과

FA Pattern	측정방법	PAR @0.01%	ACLR @ 5MHz	EVM(M ax) vs. Slot	PCDE(M ax) vs. Slot
0110	FDCFR	5.403dB	81 dB	16.38%	-29.92dB
	Proposed	5.398dB	78 dB	12.10%	-34.65dB
1001	FDCFR	5.401dB	86 dB	20.93%	-27.29dB
	Proposed	5.403dB	73 dB	16.64%	-32.26dB
1010	FDCFR	5.400dB	87 dB	20.18%	-27.54dB
	Proposed	5.398dB	83 dB	15.56%	-32.91dB
1111	FDCFR	5.400dB	81 dB	14.97%	-30.80dB
	Proposed	5.404dB	80 dB	11.52%	-36.61dB

CFR 처리단에 입력되는 각각의 주파수 채널 신호는 규격에서^[4] 규정된 테스트 신호이며 펄스 형상 필터를 사용하여 8x신호로 과표본화되어 처리단으로 입력된다. 이후 각 주파수 채널 신호는 단일의 생성신호를 규격에서^[4] 정의한 바 대로 서로 다른 지연을 가지며 FA 패턴에 맞게 주파수 이동을 한 후 서로 혼합된다. 이후 그림 2(b)에서 이미 보여준 바와 같이 과표본화 과정이 추가된 변형된 피크 축소 과정을 이용하여 칩을 대비 24배 혹은 CFR 처리단 입력 표본화율 대비 3배의 과표본화 과정이 포함된 FDCFR 처리를 수행한다. 첫 번째 FDCFR 과정의 임계치와 두 번째 FDCFR의 고정임계치는 하나의 프레임 데이터가 처리되어 출력되는 신호의 PAR 값이 5.4dB를 만족하는 값을 모의 실험을 통해 찾아 서로 다르게 설정하였다. 여기서 두 번째 FDCFR의 고정임계치란 1차 FDCFR을 통과한 신호 S_1 과 보상 신호 C 이 더해졌을 때 PAR이 5.4dB를 만족하게 하는 임계치를 뜻하고, 두 번째 FDCFR의 실제 임계치는 고정임계치에서 S_1 의 크기를 감산한 값이다.

표 2에서 보여주는 모의 실험 결과는 FDCFR 알고리즘만을 사용한 경우와 HBWCDC 기반의 FDCFR 알고리즘을 이용한 경우의 각종 성능 지표 결과를 나타낸다. 이때 동일한 PAR 성능에서 4개의 서로 다른 FA가 존재하는 경우의 ACLR, EVM, PCDE를 측정하였다^[4]. 표 2는 FDCFR 알고리즘만을 사용한 경우 단일 임계치만을 설정하여 수행하였으며, HBWCDC 기반 FDCFR 알고리즘 경우 두 번에 걸친 FDCFR 알고리즘은 각각 서로 다른 임계치를 설정하여 수행하였을 경우에 대한 PAR 성능 대비 EVM 및 PCDE 성능 결과를 보여주고 있다. 테스트 모델 신호는 프레임마다 같은 형태이

기 때문에 신호의 불연속으로 인한 성능 열화를 막기 위해 모의 실험은 총 3개 데이터 프레임 동안 측정하여 그 중 가운데 프레임만을 사용하였다. EVM 성능은 각 슬롯 단위로 값을 추출하여 그 중 최저 성능을 갖는 슬롯의 EVM 값을 선택하였고, PCDE 성능도 각 슬롯 단위로 PCDE 값을 측정하여 그 중 최저 성능을 갖는 슬롯의 PCDE 값을 선택하였다.

FDCFR 알고리즘만을 사용한 결과와 HBWCDC 알고리즘을 사용한 결과를 비교하면, 동일한 PAR 상에서 ACLR 성능은 FDCFR를 사용한 경우 성능이 우수하나, 실제로 규격 상에 정해진 ACLR 값은 두 방법 모두 만족한다. 그러나 신호 품질을 나타내는 EVM 성능은 단일 FDCFR 성능이 3.45%~4.62% 열화됨을 표 2에서 볼 수 있으며, 마찬가지로 PCDE 성능은 FDCFR 성능이 4.73dB~5.81dB 정도 열화됨을 보여주고 있다. 여기에서 HBWCDC를 적용한 FDCFR 방법은 모두 규격에서^[4] 규정된 최소 EVM 성능을 만족하지만, ACLR 이 규격에서

요구하는 성능(표 1 참고) 이상으로 필요 이상의 필터 통과 대역과 저지 대역의 비율을 가지는 필터를 이용함으로 인해, PCDE 성능은 규격에서^[4] 제한하는 최소 PCDE 성능을 약 0.74dB정도 만족하지 못함을 확인할 수 있다. 이러한 PCDE 성능은 ACLR 규격을 완화시키므로 인해 개선될 수 있다.

그림 14는 FDCFR 알고리즘만을 사용한 경우와 HBWCDC 기반 FDCFR 알고리즘을 사용한 경우의 PCDE값을 결정하는 갖는 슬롯에서 나타난 각 채널 코드별 CDE의 평균 전력분포를 보여주고 있다. 그림 7에서 볼 수 있듯이 HBWCDC 기반 FDCFR 알고리즘을 사용한 경우 채널 코드별 CDE의 슬롯 평균 전력 분포는 그림 14(b)와 같고, FDCFR 알고리즘만을 사용한 경우 동일한 슬롯에서 채널 코드별 CDE의 슬롯 평균 전력 분포는 그림 14(a)와 같다.

그 분포를 보면 그림 14(a)에 비해 그림 14(b)의 각 코드 채널당 CDE의 한 슬롯당 평균 전력 분포의 형태가 균일하고, 낮은 PCDE를 가짐을 확인할 수 있다. 그림 14에서 검정색으로 표시한 부분의 채널 코드는 규격상 정의된 테스트 신호 구성에 사용된 채널 코드이다. 그림 14에서 CDC 과정 없이 단일 FDCFR 만을 사용하였을 경우 표 2에서 보여준 PAR 성능과 ACLR 성능을 갖게 되나, 원신호와의 오차 보상 과정이 없는 관계로 PCDE 나 EVM 성능이 저하된다. 이러한 문제점을 해결하기 위해 제안된 HBWCDC 기반 FDCFR 알고리즘은 오차 보상 처리 과정이 포함되며 또한 PCDE 성능을 저하시키지 않게 슬롯별 코드 영역 상에서 평균 오차 전력 분포를 참조하여, 각 채널 코드별 오차 신호 전력의 레벨에 따라 각기 다른 가중치를 적용함으로 인해 최종 CFR 처리 후의 코드별 CDE 전력 값이 균일한 분포를 갖게 된다. 이러한 코드 영역 상의 CDE 전력 값의 평탄화 현상은 결국 PCDE의 최소화를 가져온다.

그림 15는 PAR 성능을 5.4dB로 고정시킨 경우 칩율로 혼합된 다중 FA 신호의 표본화율을 송신신호와 동일하게 칩율의 24배로 과표본화한 신호에 일반적인 최종 클리핑 방법을 적용한 경우와, 단일 FDCFR 알고리즘만을 사용한 경우 그리고 본 논문에서 제안한 HBWCDC 기반 FDCFR 알고리즘을 이용한 경우에 대한 스펙트럼을 나타내었다. 일반적인 최종 클리핑 방법은 ACLR 성능이 양쪽 FA 채널의 중심 주파수에서 5MHz 떨어진 곳에서 약 35dB로 정규 규격을 만족하지 못하는데 반해 FDCFR 기법과 제안한 HBWCDC 알고리즘은

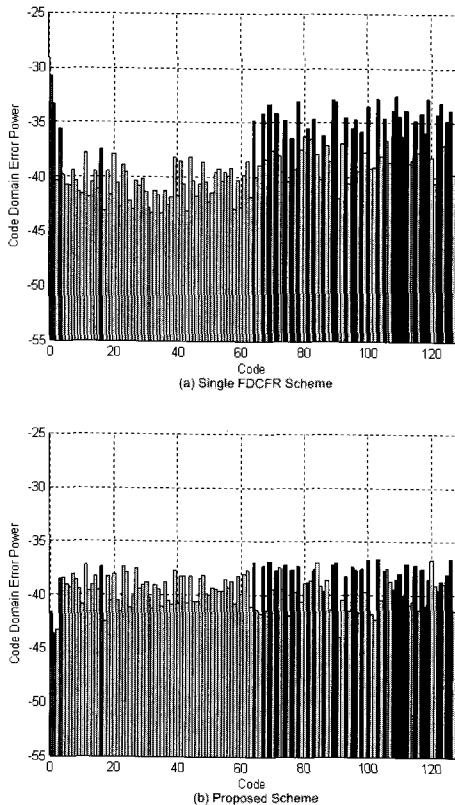


그림 14. 단일 FDCFR을 사용한 방식과 제안한 HBWCDC 기반 FDCFR 방식의 PCDE 성능 비교

참고 문헌

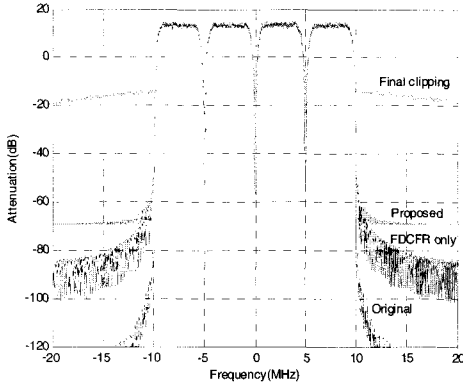


그림 15. 스펙트럼 특성

ACLR을 정해진 PAR 성능을 가지면서도 충분히 만족하는 것을 확인할 수 있다. 그림 15에서 “Original”은 CFR을 수행하지 않은 칩율의 24배로 과표본화된 원신호의 스펙트럼을 나타낸다.

VI. 결 론

본 논문에서는 WCDMA 시스템 환경에서 ACLR 성능을 만족하면서 동시에 PAR을 줄이는 필터 출력을 예측하여 피크를 제거하는 HBWDC기반 FDCFR 기법의 성능을 확인하였다. 전체 제안된 CFR 알고리즘은 먼저 FDCFR 과정을 거친 후 EVM 성능 및 PCDE 성능을 개선시키기 위해 코드 영역에서 슬롯당 채널 코드별 CDE에 가중치를 구하여 서로 다른 오차 보상을 하는 방식이다. 이와 더불어 제안한 방식은 최종단에서 오차 보상에 의한 PAR 증가를 억제하기 위해 다시 한번 FDCFR 처리 과정을 수행함으로써 총 세 가지 단계의 처리 기능을 수행한다. 제안된 기법의 성능 평가를 위해 문서상으로 정의된 기지국 성능 테스트를 위한 규정 모의 신호를 생성하고 4가지 주파수 채널 분포 패턴을 구성하였으며, 이를 토대로 ACLR 성능, EVM 성능 및 PCDE 성능을 확인하였다. 이때 다른 방식과의 비교를 위해 PAR 성능을 5.4dB로 고정시킨 상황에서 성능 지표 값들을 추출하였다. 다중 FA의 경우에 대해서 ACLR 성능은 일반적인 최종 클리핑 방법을 제외한 단일 FDCFR과 제안한 방식 모두 만족하는 것을 확인하였으며, 본 논문에서 제안한 HBWDC 기반의 FDCFR 알고리즘은 EVM 성능에서 단일 FDCFR 방식에 비해 약 4% 더 좋은 성능을 갖고, PCDE 성능에서도 약 5dB 정도 향상됨을 확인하였다.

- [1] Andrew Wright, Oliver Nesper, “Multi-carrier wcdma basestation design considerations-amplifier linearization and crest factor control,” *PMC-Sierra Technology White Paper*, Aug. 2002
- [2] Peter S. Rha, Sage Hsu, “Peak-to-average ratio(PAR) reduction by pulse shaping using a new family of generalized raised cosine filters,” *Proc. VTC 2003-Fall*, 2003 IEEE 58th, VOL. 1, pp. 706-710, 6-9 Oct. 2003.
- [3] Matthew J. Hunton, “System and method for peak power reduction in spread spectrum communications systems” *United States Patent*, US 6,449,302 B2, Sep. 10, 2002
- [4] 3GPP TS 25.141 V7.0.0, “3rd generation partnership project; Technical Specification Group Radio Access Network; Base Station (BS) conformance testing (FDD) (Release 7)” June 2005
- [5] J. W. Sammon, “A nonlinear mapping for data structure analysis,” *IEEE Trans. Computers*, C-18(5):401.409, May 1969.
- [6] Holtzman, J.M., “Cdma forward link waterfilling power control,” *Proc. VTC 2000-Spring Tokyo*, 2000 IEEE 51st, VOL. 3, pp. 1663-1667, 15-18 May 2000.
- [7] O. Väänänen, J. Vankka and K. Halonen, “Effect of baseband clipping in wideband cdma system,” *Proc. IEEE International Symposium on Spread Spectrum Techniques and Applications*, Prague, Czech Republic, proceedings Vol.2, pp.445-449, September 2-5, 2002.
- [8] 3GPP TS 25.211 V6.3.0, “3rd generation partnership project; Technical Specification Group Radio Access Network; Physical channels and mapping of transport channels onto physical channels (FDD) (Release 6),” Dec. 2004
- [9] Agilent application note, “Characterizing digitally modulated signals with CCDF curves,” 2000

장 형 민 (Hyung-min Chang)

정회원



2005년 2월 송실대학교 정보통신
전자공학부(학사)

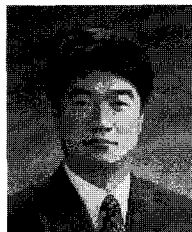
2007년 2월 송실대학교 정보통신
공학과(석사)

2007년 3월~현재 송실대학교 정보
통신공학과(박사과정)

<관심분야> Cognitive Radio, SDR
기술, 통신신호처리

이 원 철 (Won-cheol Lee)

정회원



1986년 2월 서강대학교 전자공학
과(학사)

1988년 2월 연세대학교 전자공학
과(석사)

1994년 New York Polytechnic
Univ. Electronic Eng.(박사)

1995년~현재 송실대학교 정보통
신전자공학부 부교수

<관심분야> Cognitive Radio, SDR 기술, Position
Location based on UWB, CDMA2000/WCDMA,
Smart Antenna