

논문 2007-02-04

개인 무선 통신을 위한 868/915MHz SoC 시스템 구조 설계

Design of 868/915MHz SoC System Architecture for Wireless Personal Area Network

박주호*, 오정열, 고영준, 길민수, 김재영

(Joo-Ho Park, Jung-Yeol Oh, Young-Joon Ko, Min-Su Kil, Jae-Young Kim)

Abstract : According to development of wireless communication technologies, we need not only high data rate but low data rate system of low power consumption. This low data rate system is utilized in the field of home automation, health care, sensing and monitoring, etc. IEEE 802.15.4 LR-WPAN system is the best choice for realizing ubiquitous networking system. In this paper SoC Architecture for IEEE 802.15.4 Low Rate WPAN is designed. IEEE 802.15.4 Low Rate WPAN system serves the functions and realization of home area network. We propose the SoC architecture for 868/915MHz frequency band of IEEE 802.15.4 Low Rate WPAN system. The key issue is to design SoC architecture which provides the function of Low Rate WPAN system to meet the requirement of IEEE 802.15.4 standards.

Keywords : LR-WPAN System, SoC, Transceiver

1. 서론

무선 통신 기술의 발전과 이를 이용하는 응용 시제품들이 증가하면서 무선 통신 기술은 고속의 다량 데이터를 전송하는 기술과 함께 저속의 저전력을 사용하는 기술도 요구하게 되었다. 이 기술은 유비쿼터스 시대의 센서네트워크에 활용되어 홈오도메이션, Health care, 센서 및 모니터링을 이용하는 산업 등의 다양한 분야에 활용될 수 있고 실내, 사무실, 그리고 폐쇄된 공공 장소 등의 환경하에서 매우 짧은 거리의 통신 서비스를 제공하는 네트워크 기술로 이용되어진다. IEEE 802.15.4 저속 WPAN(Wireless Personal Area Network)은 유비쿼터스 네트워킹 구현을 위한 핵심 기술로 주목받고 있는 무선 개인화 네트워크 기술중의 하나이다[1]. 무선 WPAN은 수십 m 이내의 짧은 거리

에 존재하는 컴퓨터와 주변기기, 휴대폰, 가전제품 등으로 무선으로 연결하여 이들 기기간의 통신을 지원함으로써 다양한 응용 서비스를 창출할 수 있도록 한다. 낮은 20 ~ 250kbps의 낮은 전송 속도와 매우 저렴한 가격, 매우 긴 배터리 수명, 간단한 구조 및 연결성을 제공하여 10m 이내의 작은 범위 내에서의 무선 연결을 요구하는 분야에 적합한 표준으로 개발되고 있다. 이러한 무선 WPAN 기술을 적용한 칩셋의 연구가 진행되고 핵심칩셋들이 각각 출시되고 시스템을 집적화한 SoC도 개발하여 상용화되고 있다. 그러나 상용 칩셋은 대부분 2.4GHz 대역의 PHY 모드만을 지원하도록 구현되어져 있고 868/915MHz를 지원할 수 있는 칩셋의 개발이 미비한 상태이다.

이에 본 논문에서는 868/915MHz 대역의 PHY 모드를 지원하고 효율적으로 LR-WPAN 시스템을 구현할 수 있는 SoC 구조를 제안하며 LR-WPAN 시스템용 SoC의 전체적인 소개와 함께 설계된 시스템 구성을 기술하도록 한다. 이에 2장에서 이와 관련된 관련연구와 시스템에 대한 개요를 언급하

* 박주호(Corresponding Author)

논문접수 : 2007. 05. 02., 채택확정 : 2007. 05. 10.

박주호, 오정열, 고영준, 길민수, 김재영 : 한국전자동신연구원

며 3장에서 무선 통신용 SoC 구조 설계를 위해 제안하는 세부 시스템 구성에 대해 설명한 후 마지막으로 결론을 맺는다.

II. 시스템 개요

1. SoC 기술

SoC(System On Chip)는 마이크로프로세서(MPU)와 DSP(Digital Signal Processor), 메모리, 베이스밴드칩, 임베디드 소프트웨어 등 하나의 시스템을 집적해놓은 IC(Integrated Chip)라 할 수 있다. 이는 반도체 공정기술 및 집적도, 설계기술이 발전함에 따라 발전한 개념으로서 기존의 SOB(System-On-Board) 시스템은 인쇄회로기판 위에 다수의 칩을 사용하여 설계되었고, 이러한 칩들은 표준 product 또는 특정 응용을 위해 설계된 ASIC(Application Specific Integrated Circuit)으로 구성되었으나, 반도체 집적도가 증가함에 따라 PCB 전체를 하나의 칩으로 통합하는 것이 가능하게 되었고, 이러한 기술이 SoC(System On Chip) 기술이다. 따라서 SoC로 구현된 시스템은 SoB 기술로 구현된 시스템보다 전력소모, 안정성, 그리고 설계비용 측면에서 유리하며 같은 제조공정에 다양한 기술들을 접목시킬 수 있는 특징이 있다.

SoC는 하나의 시스템이기 때문에 SoC는 칩 내부에 프로세서를 포함하게 되고 그로 인하여 처리해야 할 버스, 메모리를 비롯한 레지스터, 주변회로 등도 포함하게 되며 그와 아울러 해당되는 시스템을 구현하기 위한 기능 블록들을 하나의 칩에 집적시켜야 한다. 따라서 기존에 설계되고 검증된 기능 블록들을 IP화하고 활용, 채택하여 설계 기간 단축 및 성능의 극대화를 이룰 수 있다.

2. 개인 무선 통신용 SoC 시스템 개요

표 1. IEEE 802.15.4 변조 파라미터
Table 1. Modulation Parameter of IEEE802.15.4

| PHY (MHz) | Frequency band (MHz) | Spreading parameter | | Data parameter | | |
|----------------|----------------------|----------------------|------------|-----------------|-------------------------|--------------|
| | | Chip rate (kchips/s) | Modulation | Bit rate (kb/s) | Symbol rate (ksymbol/s) | Symbols |
| 868/915 | 868-868.5 | 300 | BPSK | 20 | 20 | Binary |
| | 902-928 | 600 | BPSK | 40 | 40 | Binary |
| 908/915 (opt.) | 868-868.5 | 400 | ASK | 250 | 12.5 | 20-bit PSSS |
| | 902-928 | 1800 | ASK | 250 | 50 | 5-bit PSSS |
| 868/915 (opt.) | 868-868.5 | 400 | O-QPSK | 100 | 25 | 16-ary orth. |
| | 902-928 | 1000 | O-QPSK | 250 | 62.5 | 16-ary orth. |
| 2450 | 2400-2483.5 | 2000 | O-QPSK | 250 | 62.5 | 16-ary orth. |

868/915MHz LR-WPAN용 SoC는 표 1에서 제시된 PHY 모드 중에 IEEE 802.15.4 표준을 만족하는 사양을 기준으로 설계한다.

IEEE 802.15.4는 크게 물리 계층과 데이터링크 계층 두 계층을 정의한다. 802.15.4 물리 계층은 DSSS (Direct Sequence Spread Spectrum) 신호를 사용하는 패킷 기반 통신 시스템이고, 주파수 대역에 따라 2가지 규격이 각각 정의되어 있다. 두 물리 계층은 저전력 사용을 위해 동일한 패킷 구조를 갖는다. 두 물리 계층 사이의 차이는 주파수 대역으로 유럽과 미국에서 사용하는 868MHz/915MHz와 일반적인 ISM(Industrial Scientific Medical) 대역인 2.4GHz를 사용하는 두 가지 물리계층이 존재한다. 868/915MHz 물리계층은 간단한 DSSS 방식을 사용하여 데이터를 전송하며 각 전송되는 비트는 15칩 m-시퀀스로 나타난다. 이진 데이터는 각 m-시퀀스와 곱해져 확산되고, 결과의 칩 시퀀스는 BPSK 변조되어 전송된다. 2.4GHz 물리계층은 DSSS 기반의 16-ary 준 직교 변조 방식을 사용한다. 이진 데이터는 4비트 심볼로 그룹화되며, 각 심볼은 전송을 위해 적고 32칩 PN(pseudo noise) 시퀀스의 16개중 하나로 나타낸다. 각 칩 시퀀스는 반주기 사인 펄스파형을 갖는 O-QPSK 변조되어 전송된다. 각 물리 계층에 대한 주요 변조 파라미터는 표 1에 정의되어 있다[2].

그림 1은 LR-WPAN 시스템의 주요 신호 흐름도를 나타내고 있다.

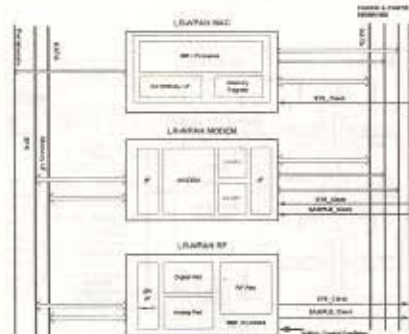


그림 1. LR-WPAN 시스템의 신호 흐름도
Figure 1. Signal Flow of LR-WPAN System

LR-WPAN 시스템의 신호 흐름도를 살펴 보면 LR-WPAN 시스템의 MAC이 구현되어지는 8051

MCU core와 Modem은 Memory interface와 SFR(Special Function Register)로 정의하여 데이터 및 제어 신호 등과 연결되어진다. 그리고 기타 제어 신호들을 포함하며 기본적인 신호 연결을 통해 상호 access 및 데이터의 교환이 가능하다. 모뎀과 RF 블록은 기본적으로 4-wire SPI를 통해 제어가 가능하도록 설계되어진다. SPI를 통해 미리 정의해놓은 레지스터에 Address와 데이터를 전송함으로써 RF transceiver의 동작 세팅 및 기타 기능을 수행하도록 한다. 그리고 LR-WPAN 시스템의 전체 System 동기 신호 성분을 제공하기 위해 RF 블록에서 발생되어진 System 클럭과 Sampling 클럭을 모뎀 블록과 8051 MCU 블록에 인가시킨다. 이는 LR-WPAN 시스템의 전체 기준 신호를 동기시킴으로써 내부 Clock 및 RF 주파수 발생 등에 대한 동기를 맞출 수가 있다. RF 블록의 기준 신호는 칩초 외부에서 Crystal Oscillator를 이용하여 공급하여 주고 RF Transceiver IC 내부에서 버퍼링 및 분주하여 내부 Clock으로 사용하게 된다. 이에 대한 자세한 구조 설명은 3장에서 하도록 한다.

III. SoC 구조 설계

1. 시스템 구성 요소

본 절에서는 868/915MHz 대역의 PHY 모드를 지원하고 효율적으로 LR-WPAN 시스템을 구현하기 위한 LR-WPAN용 SoC 구조를 제안하고 설명하도록 한다[3-5].

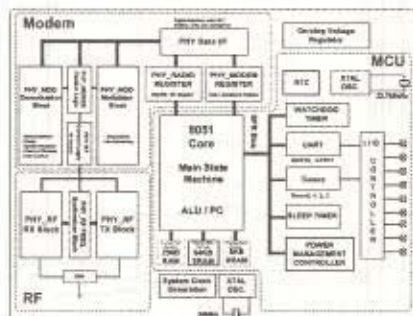


그림 2. LR-WPAN 시스템 SoC 구성도
Figure 2. Block Diagram of LR-WPAN System SoC

LR-WPAN용 SoC의 전체 구성도는 그림 2에

나타내었다. LR-WPAN 시스템은 RF와 Modem으로 구성되어지는 물리 계층과 데이터링크 계층을 근간으로 하여 이루어진다. 그림 2를 살펴 보면 LR-WPAN 시스템의 MAC이 구현되어지는 8051 MCU core와 Modem은 Memory interface와 SFR(Special Function Register)로 정의하여 데이터 및 제어 신호 등과 연결되어진다.

그리고 기타 제어 신호들을 포함하며 기본적인 신호 연결을 통해 상호 access 및 데이터의 교환이 가능하다. 모뎀과 RF 블록은 기본적으로 4-wire SPI를 통해 제어가 가능하도록 설계되어진다. SPI를 통해 미리 정의해놓은 레지스터에 Address와 데이터를 전송함으로써 RF transceiver의 동작 세팅 및 기타 기능을 수행하도록 한다.

1.1 MCU 부문

LR-WPAN 시스템의 MCU 부문은 8051 core 블록을 중심으로 외부 신호 인터페이스는 Bus를 통한 Memory 인터페이스와 SFR(Special Function Register)로 정의되어진 제어 신호들로 구성되어지도록 한다.

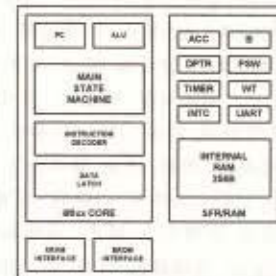


그림 3. LR-WPAN용 SoC의 MCU 구성도
Figure 3. MCU of LR-WPAN System SoC

MCU는 256 바이트의 on-chip data RAM 및 user-specific application을 위한 control register를 포함하는 SFR 그리고 64KB의 program memory 및 2KB의 boot ROM 등으로 구성된다. 이외에 사용자를 위한 8KB external SRAM 또한 제공되고 있다. 그리고 두 개의 24-bit timer, 두 개의 16-bit timer, 두 개의 8-bit timer 및 한 개의 watchdog timer, 그리고 두 개의 RS-232C 호환 serial communication channel 등이 제공된다. 이외에 IEEE 802.15.4 기반 868/915MHz modem interface 또한 제공되

고 있다. MCU 블록을 구성하는 블록다이어그램은 그림 3에서 보여주고 있다.

MCS-51 명령어 구조를 사용하는 여러 종류의 상용 CPU/MCU와 마찬가지로 LR-WPAN 시스템 SoC의 MCU는 분리된 Data and Program 영역과 Data Memory 영역을 사용한다. Program Memory 영역은 OS 또는 application program이 저장되는 공간으로서 보통 ROM 형태로 사용된다. 최근에는 mask ROM 또는 Flash Memory를 사용하는 것이 추세이다. Program Memory 영역은 64KB의 주소 영역을 가지는데 64KB 전체 Program Memory를 on-chip 형태로 사용할 수도 있고 아니면 외부의 embedded Program Memory 영역으로 사용할 수도 있다. Data Memory 영역은 MCU 256 byte의 on-chip Data Memory와 Special Function Registers (SFRs)로 구성된다. On-chip Data Memory의 하위 128 byte는 direct addressing mode로 access되고 상위 128 byte는 오직 indirect addressing mode로만 access된다. SFR 영역은 on-chip Data Memory의 상위 128 byte 영역과 address를 공유하면서 direct addressing mode로만 access되도록 해서 on-chip Data Memory 영역과의 access 중복을 피하도록 설계된다. Data Memory의 하위 128 byte는 네 개의 뱅크를 가지며 각각의 bank는 여덟 개의 register로 구성된다. 그리고 32-byte의 길이를 가지는 bit-addressing이 지원되는 영역이 존재한다. 또한 외부에는 64KB의 영역을 지원하는 external Data Memory 또한 사용할 수 있도록 하여 LR-WPAN 시스템 SoC의 MCU로 하여금 보다 다양한 application을 지원하도록 한다.

1.2 Modem 부문

LR-WPAN 시스템 SoC 송수신 모뎀의 전체 구성도는 그림 4에 나타내었다. 모뎀은 MCU와 SFR, xDATA 인터페이스로 RF 블록은 4-wire SPI로 인터페이스로 구성되어진다. MAC H/W기능으로 CRC 부호화 및 복호화, Preamble 생성, SFD 생성기를 포함하고 있다. 송신부는 Beacon, Data, Command, ACK packet을 RF로 보내는 기능을 수행한다. Tx FIFO는 송신할 packet data를 저장하는 블록으로 Length 부터 Payload의 마지막 Octet까지 저장된다.

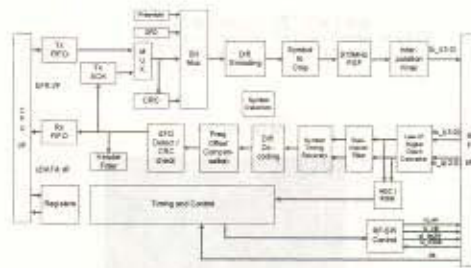


그림 4. LR-WPAN 시스템 SoC의 모뎀 구성도
Figure 4. Modem of LR-WPAN System SoC

Tx ACK buffer는 Rx Packet에 대한 ACK를 전송할 때 사용할 수 있는 buffer로서 수신 packet으로부터 만들어진 ACK packet 데이터를 저장한다. Tx command가 들어오면 Tx_Control 블록은 Symbol MUX 출력이 그림 5와 같은 packet이 되도록 Tx FIFO, Preamble generator, CRC 블록, Symbol MUX 블록을 제어한다.

| | | | | | | | |
|--------------|---------|------------------|-------------------|---------------------|-------------------|-------------|-----|
| SFR Preamble | SFR SFD | PHR frame length | MHR frame control | MHR sequence number | MHR address field | MAC payload | FCS |
|--------------|---------|------------------|-------------------|---------------------|-------------------|-------------|-----|

(a) Beacon, Data, Command Packet Format

| | | | | | |
|--------------|---------|------------------|-------------------|---------------------|-----|
| SFR Preamble | SFR SFD | PHR frame length | MHR frame control | MHR sequence number | FCS |
|--------------|---------|------------------|-------------------|---------------------|-----|

(b) ACK Packet Format

그림 5. 송신 Packet 구조

Figure 5. Transmit Packet Format

CRC 블록은 MAC Header와 Payload에 대하여 CRC parity를 계산하고 FCS는 16비트의 ITU-T CRC를 포함한다. Differential Encoder Block은 식 (1)에 의하여 입력 비트 R에 대하여 출력 Symbol E로 변환한다.

$$E_n = R_n \oplus E_{n-1} \quad (1)$$

Symbol-to-Chip 블록은 인코딩된 symbol에 대하여 15개의 chip으로 변환하여 LSB부터 순서대로 출력한다. Pulse Shaping Filter는 입력 chip에 대하여 10배 over-sampling을 하고 raised cosine filtering을 수행한다. Raised cosine filter의 임펄스 응답은 그림 6과 같다. Roll-off factor는 1이고, 수식은 식 (2)와 같다.

$$p(t) = \frac{\sin(\pi t/T_c) \cos(\pi t/T_c)}{\pi t/T_c \sqrt{1-(4t^2/T_c^2)}} \quad (2)$$

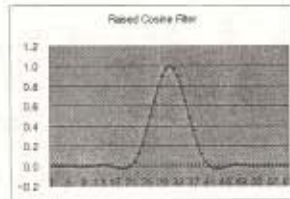


그림 6. Raised cosine filter의 임펄스 응답
Figure 6. Impulse Response of Raised Cosine Filter

수신부는 RF 블록으로부터 오는 Rx_I, Rx_Q 신호에서 수신 packet을 추출하여 Rx_FIFO에 저장하는 기능을 수행한다. ADC를 통해 모뎀으로 인가되어지는 Rx_I, Rx_Q 신호는 디지털 Low-IF 신호로서 DC 오프셋, IQ 신호 크기, 위상 부정합 등의 성능 저하 요인에 자유로운 특징을 갖고 있다. 디지털 Low-IF 신호를 최적의 Nyquist 샘플링으로 디지털 하향시키고 수신부의 RSSI 블록은 신호의 유/무를 판단하기 위한 것으로서 Chip rate의 10배로 동작하며 $|R_i \cdot R_i + R_q \cdot R_q|$ 를 계산하여 1symbol 동안의 평균을 구한다. AGC 블록은 RSSI 신호에 따라 RF 블록의 Rx 이득을 제어하는 기능을 수행하고 Chip timing recovery 블록은 Timing acquisition 추출 기능을 수행하며 Chip timing sync 신호와 더불어 Chip rate로 sampling된 신호를 출력한다. Symbol decision 블록은 입력 신호와 15 chip pattern간의 correlation을 구하여 Symbol 경계와 Decision된 Symbol 값을 추출한다. SFD 다음에 수신되는 Length 정보는 Rx 제어 블록에 의하여 타 블록을 제어하는데 사용된다. 수신된 데이터는 Length 부터 Rx_FIFO에 저장되며 MAC Header 데이터부터 CRC Check 블록이 동작한다. 또한 MAC Header 부분은 Header Filtering 블록으로 입력되어 원하는 Packet만 수신할 수 있는 기능을 수행한다.

1.3 RF 부문

LR-WPAN용 SoC의 RF 송수신기 구조는 그림 7과 같다.

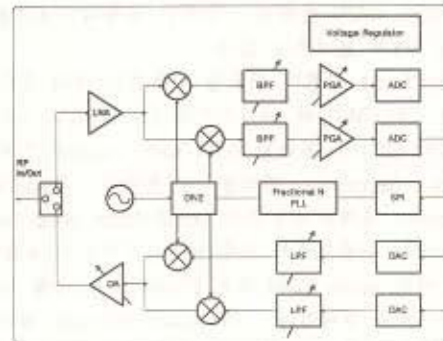


그림 7. RF 송수신기 구성도
Figure 7. BlockDiagram of RF transceiver

수신기는 Low-IF 구조로 안테나에서 수신된 RF 신호를 1.5MHz의 IF 신호로 변환하고 다시 ADC를 거쳐 디지털 신호로 변환되는 구조를 사용하며 송신기는 Baseband에서 받은 디지털 신호를 DAC에서 아날로그 신호로 변환한 후 바로 RF 신호로 바꾸는 Direct-up conversion 구조를 사용한다. VCO는 약 1.8GHz의 주파수를 발생시키며 LO 신호를 만들기 위해 나누기 2를 이용한다. 그리고 Fractional-N PLL을 사용하여 Inband noise를 감소시키고, 0번 채널(868.3MHz)을 송수신할 수 있도록 한다. 수신기에서는 ADC를 사용하므로 ADC 입력 level을 일정하게 유지시켜야 하기 때문에 Automatic Gain Control(AGC)가 필요하다. 따라서 수신기는 dynamic range가 넓은 Programmable Gain Amplifier(PGA)를 포함하고 있으며 digital control word를 받아 1dB step으로 이득을 정밀하고 정확하게 제어할 수 있도록 하였다. 또한 수신기는 LNA와 RX_MIXER의 이득을 1bit으로 제어하여 high gain mode와 low gain mode로 동작되는 구조를 갖는다.

2. 구현

그림 8은 LR-WPAN용 SoC의 Top 블록의 구성도를 보여주고 있다. Top 블록은 RF블록과 Digital 블록을 연결하기 위해 미리 정의되어진 신호 인터페이스를 layout상에서 연결하도록 한다. SoC는 기존에 검증된 Analog와 Digital 블록이 공존하여 배치 설계되어지므로 layout상에서 독립 배치, 전원/접지 보호막을 적용하여 기생성분 억제, 잡음 간섭 등을 최소화한다.

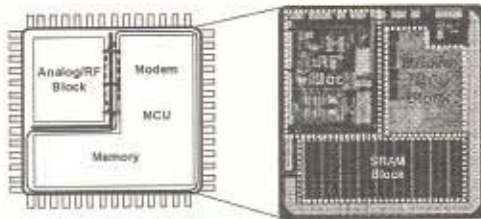


그림 8. LR-WPAN SoC의 Top 블록 구성도
Figure 8. Top Block of LR-WPAN SoC

IV. 결 론

무선 통신 기술의 발전과 이를 이용하는 응용 시제품들이 증가하면서 무선 통신 기술은 고속의 다량 데이터를 전송하는 기술과 함께 저속의 저전력을 사용하는 기술도 요구하게 되었다. LR-WPAN 시스템은 간단한 PHY 레이어와 배터리로 동작할 때 배터리의 전력 소모를 고려한 MAC 프로토콜로 저가의 저전력 장비를 구성할 수 있도록 개발되었다. 이러한 시스템을 하나의 칩셋으로 집적화하여 본 논문에서는 근거리 무선 통신용 SoC에 대한 전반적인 overview와 SoC 구조 설계를 위한 PHY layer와 MCU 구성을 제안하였다. IEEE 802.15.4 규격을 만족하며 상호 운용이 가능하고 MCU를 포함한 SoC 구조의 특징을 가진다. 향후에는 본 제안된 SoC 구조에 대한 칩 제작과 기능, 성능 검증 및 분석이 요구되며, 실제 환경에서 시험 운용하기 위해 저전력 구현을 위한 전력 관리 방법 및 응용 시제품 설계 기술과 접목할 수 있는 부분에 대한 연구 개발을 추가적으로 진행할 것이다.

참고문헌

[1] IEEE Standard for Information technology-telecommunications and information exchange between systems Local and Metropolitan area networks-Specifications. Part 15.4 : Wireless Medium Access Control and Physical Layer Specifications for Low-Rate WPAN., Oct. 2003

[2] B. Sklar, "Digital Communications, Fundamentals and Applications", Prentice-Hall International, 2000

[3] M. Kawashima, H. Hayashi, K. Nishikawa, T. Nakagawa, and K. Araki, "A 0.9 ~ 2.6GHz broadband RF front-end for direct conversion transceivers," in 2002 IEEE MTT-S International Microwave Symp. Dig., pp.927-930, June 2002

[4] Thomas H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge University Press, Second edition, 2004

[5] Gopfert L, Jacobasch G, Hofmann F, Franke T, Lerch A, Rooch K-H. "A fully-integrated 900MHz CMOS RF Transceiver Including digital baseband for IEEE 802.15.4/ZigBee Applications," Proc. of European Conference on Wireless Technologies, Munich, 2003, pp.371-374

저 자 소개

박 주 호

1997년 충남대 전자공학과 학사, 1999년 충남대 전자공학과 석사, 현재, 한국전자통신연구원 디지털홈연구단 연구원

관심분야: 무선통신시스템, RF시스템 설계, Analog/RFIC 설계

Email: joohp@etri.re.kr

오 정 열

1997년 동신대 정보통신공학과 학사, 1999년 전북대 정보통신공학과 석사, 2005년 전북대 컴퓨터공학과 박사, 현재, 한국전자통신연구원 디지털홈연구단 선임연구원

관심분야: ZigBee SoC, 무선디지털통신 시스템

Email: jyoh@etri.re.kr

고 영 준

1997년 광운대 전파공학과 학사, 1999년 광운대 전자공학과 석사, 현재, 한국전자통신연구원 디지털홈연구단 연구원

관심분야: Analog/RFIC설계, 무선통신시스템

Email: kojoon@etri.re.kr

길 민 수

2004년 호서대 정보제어공학과 학사. 2006년 호서대 정보제어공학과 석사. 현재, 한국전자통신연구원 디지털융연구단 연구원
관심분야: 무선디지털통신시스템, 신호처리
Email: ackil@etri.re.kr

김 재 영

1990년 연세대 전자공학과 학사. 1992년 연세대 전자공학과 석사. 1996년 연세대 전자공학과 박사. 현재, 한국전자통신연구원 차세대WPAN연구팀장.
관심분야: 무선 통신 시스템, UWB, Analog/RFIC 설계
Email: jyk@etri.re.kr



Figure 1: System architecture and signal flow diagrams.

참 고 문 헌

- 1. IEEE 802.15.4-2003, Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Low-Rate Wireless Personal Area Networks (WPANs), IEEE Std 802.15.4-2003, 2003.
- 2. IEEE 802.15.4a-2003, Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Low-Rate Wireless Personal Area Networks (WPANs) in the Frequency Range of 3.1-10 GHz, IEEE Std 802.15.4a-2003, 2003.
- 3. IEEE 802.15.4b-2003, Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Low-Rate Wireless Personal Area Networks (WPANs) in the Frequency Range of 3.1-10 GHz, IEEE Std 802.15.4b-2003, 2003.
- 4. IEEE 802.15.4c-2003, Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Low-Rate Wireless Personal Area Networks (WPANs) in the Frequency Range of 3.1-10 GHz, IEEE Std 802.15.4c-2003, 2003.
- 5. IEEE 802.15.4d-2003, Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Low-Rate Wireless Personal Area Networks (WPANs) in the Frequency Range of 3.1-10 GHz, IEEE Std 802.15.4d-2003, 2003.

발행일지

본 논문은 2004년 12월 15일 접수되었으며, 2005년 1월 15일 심사위원회의 심의를 거쳐 게재되었습니다. 본 논문의 저작권은 한국전자통신연구원(ETRI)에 있습니다. 본 논문의 배포 및 복제에 관해서는 ETRI의 정책에 따릅니다.