

## 니켈 코발트 합금조성에 따른 복합실리사이드의 물성 연구

김상엽 · 송오성<sup>†</sup>  
서울시립대학교

### Property of Composite Silicide from Nickel Cobalt Alloy

Sang Yeob Kim and Oh Sung Song<sup>†</sup>

Department of Materials Science and Engineering, The University of Seoul, 90 Chennong-dong,  
Tongdaemun-gu, 130-743, Seoul

(2006년 10월 26일 받음, 2007년 2월 5일 최종수정본 받음)

**Abstract** For the sub-65 nm CMOS process, it is necessary to develop a new silicide material and an accompanying process that allows the silicide to maintain a low sheet resistance and to have an enhanced thermal stability, thus providing for a wider process window. In this study, we have evaluated the property and unit process compatibility of newly proposed composite silicides. We fabricated composite silicide layers on single crystal silicon from 10 nm-Ni<sub>1-x</sub>Co<sub>x</sub>/single-crystalline-Si(100), 10 nm-Ni<sub>1-x</sub>Co<sub>x</sub>/poly-crystalline-Si(100) wafers (x=0.2, 0.5, and 0.8) with the purpose of mimicking the silicides on source and drain actives and gates. Both the film structures were prepared by thermal evaporation and silicidized by rapid thermal annealing (RTA) from 700°C to 1100°C for 40 seconds. The sheet resistance, cross-sectional microstructure, surface composition, were investigated using a four-point probe, a field emission scanning probe microscope, a field ion beam, an X-ray diffractometer, and an Auger electron depth profiling spectroscopy, respectively. Finally, our newly proposed composite silicides had a stable resistance up to 1100°C and maintained it below 20 Ω/Sg., while the conventional NiSi was limited to 700°C. All our results imply that the composite silicide made from NiCo alloy films may be a possible candidate for 65 nm-CMOS devices.

**Key words** Composite silicide, salicide, nickel silicide, cobalt silicide, silicide.

### 1. 서 론

실리사이드는 실리콘과 천이금속이 정량적인 화학비로 결합된 중간상 물질로서, CMOS 소자의 트랜지스터 게이트 상부와 소오스, 드레인 상부에 선택적으로 형성되어, 실리콘 하지층과의 저저항 오믹컨택을 유지시키고 상부 금속 배선층과 실리콘 사이의 확산 방지층 및 stopping layer로서의 역할을 담당한다.<sup>1-3)</sup> 이러한 실리사이드 물질은 살리사이드 공정으로 구현되는데, 살리사이드(self-aligned silicide)는 말 그대로 마스크 없이 게이트 양쪽에 스페이서를 형성시킨 후 기판 전면에 천이금속을 성장시키고 열처리하여 원하는 게이트와 활성화 영역의 상부만 금속열처리(RTA)를 통하여 실리사이드화 시키고 잉여의 금속을 제거하는 공정으로 대부분의 최소선폭 0.25 μm 이하의 CMOS공정에 채택되고 있다.<sup>4-6)</sup>

반도체 소자의 설계 기준 감소에 따라 소자 속도 개선을 위하여 살리사이드 공정의 개선이 필요하다. 전통

적으로 나노급 소자용 실리사이드로는 코발트 실리사이드와 니켈 실리사이드가 채용되고 있는데 두께와 열적 안정성면에서 각각 장단점이 있어서 최근 선폭이 수십 나노 이하 소자에서는 50 nm이하의 두께와 넓은 열적 안정성을 가지는 새로운 실리사이드 소재와 제조 및 단위 공정의 개발이 필요하다.<sup>7)</sup>

이러한 기존의 단상 실리사이드의 문제점을 해결하기 위해 Co/Ti, Co/Ni 등의 적층형 실리사이드의 개발이 이루어지고 있다. 하지만 적층형태의 실리사이드도 65 nm-CMOS에서는 매우 얇은 두께의 금속을 여러 번 증착해야 한다는 단점이 있다. 이러한 적층형의 단점을 개선하기 위해 적층한 금속을 합금형태로 만들어 합금을 증착하여 실리사이드를 형성하는 합금 실리사이드의 개발이 요구되는 실정이다.

본 연구에서는 Sub-0.1 μm급 CMOS device에 실리사이드 공정으로 적용될 수 있는 두께 50 nm 이하의 저저항 니켈실리사이드를 소오스와 드레인 상부의 활성화 영역의 실리사이드를 상정한 단결정 실리콘과 다결정 실리콘 게이트를 가정할 수 있는 다결정 실리콘 기판 위에 형성하고, 이때 박막 형성에 이용된 합금은 Ni<sub>1-x</sub>Co<sub>x</sub>(x

<sup>†</sup>Corresponding author

E-Mail : songos@uos.ac.kr (O. S. Song)

=0.2, 0.5 and 0.8) 조성을 갖는 합금을 사용하여 합금 조성의 변화에 따라 형성된 실리사이드의 물성을 확인하여 향후 65 nm-CMOS 공정에서의 적용가능성을 확인하여 보았다.

## 2. 실험 방법

일단 활성화영역을 상정한 단결정 기판을 위해서는 실리콘 단결정 웨이퍼 표면의 자연 산화막을 제거하기 위하여 wet-station을 이용하여 sulfuric peroxide mixture (SPM) 용액을 이용하여 실리콘 웨이퍼 표면의 자연산화막을 제거하여 준비하였다.

폴리게이트를 상정한 기판을 위해서는 산화막이 제거된 실리콘 웨이퍼 위에 2000 Å의 SiO<sub>2</sub> 막을 열산화 기법으로 만들고, 다시 ICTEC사 LP0714 모델 LPCVD를 이용하여 다결정 실리콘을 700 Å 두께로 형성시켰다. 이렇게 완성된 두 가지 종류의 기판 단결정 실리콘, polycrystalline-Si//SiO<sub>2</sub>//single-crystalline-Si 위에 코발트 니켈 합금 소스를 이용하여 합금막을 증착하였다.

두 가지 종류의 기판(단결정 실리콘, 다결정 실리콘)에 각각 Ni<sub>1-x</sub>Co<sub>x</sub>(x=0.2, 0.5 and 0.8) 조성별로 시편을 열 증착기를 이용하여 조성이 다른 조건으로 두께 10 nm(10% 오차 이내) 씩 각각 증착하였다.

완성된 시편은 10<sup>-3</sup> torr의 진공에서 7쌍의 할로겐램프로 구성된 RTA를 활용하여 40초간 온도를 600, 700, 800, 900, 1000, 1100°C의 6가지 조건에서 처리하여 실리사이드화를 유도하였다. 실리사이드화 열처리가 완료된 시편들은 잉여금속을 제거하기 위해서 80°C에서 30%-황산(H<sub>2</sub>SO<sub>4</sub>)에 10분간 담가 처리하였다.

실리사이드 공정이 완료된 시편은 각 구조별, 실리사이드 온도별로 사점면저항측정기(four point probe, Changmin 사, CMT-SR1000N)를 사용하여 면저항(Rs)을 측정하였다.

FEI사의 이온빔과 전자빔이 모두 장착된 dual beam-

field ion beam Nano Lab200 모델을 써서 완성된 실리사이드층의 수직단면구조와 평면적인 미세구조를 확인하였다. 평면적인 미세구조는 고배율로 확대하여 전자현미경 모드로 촬영하였고, 수직단면 미세구조의 확인을 위해서는 Ga이온을 30 kV로 가속시켜 표면전류가 10 pA가 되도록 유지하고 150 nm 깊이를 목표값으로 1.2×1.0 μm<sup>2</sup> 면적의 트렌치를 가공하였다. 가공된 트렌치를 52°로 기울여 실리콘과 도전성 실리사이드 층의 두께의 콘트라스트가 더 밝아서 차이가 나는 것을 이용하여 실리사이드 층의 52° 틸트를 고려하여 두께를 결정하였다.

생성된 상을 확인하기 위해서 X-선 회절분석(PANalytical 사)을 이용하였는데, X선 source는 니켈 필터를 통과시켜 얻은 CuKα로 파장은 1.540598 Å이었고, 이때 필라멘트 전류는 30 mA, 가속전압은 40 kV이었다. 스캔된 피크로부터 JCPDS(Joint Committee Powder Diffraction Standards)카드 상에 나타나있는 니켈실리사이드를 고려하여 2θ를 20°~80° 범위에서 700, 1000°C에서 40초간 열처리한 시편의 상을 분석하였다.

또한, AES(Auger Electron Spectroscopy, Perkin-Elmer사)를 이용하여 각 어닐링 온도의 시편에 대해 Si, Ni, Co의 조성변화를 스퍼터링 속도를 유지하면서 표면 부로부터 측정하여 온도에 따라 생성된 실리사이드 층의 화학조성의 정량분석을 시도하였다.

## 3. 결과 및 고찰

Fig. 1에는 기존의 NiSi 와 비교하여 NiCo 복합실리사이드의 실리사이드화 RTA 열처리 이후의 실리사이드 조성에 따른 면저항값의 변화를 나타낸 그래프를 보였다.

활성화영역을 나타낸 단결정 기판 위의 면저항 결과인 (a)에서 알 수 있듯이 단결정 기판 위의 기존의 NiSi는 실리사이드화 열처리 온도 700°C 이상에서는 NiSi가 NiSi<sub>2</sub>로 상전환이 일어나면서 급격한 저항값의 증가를 보

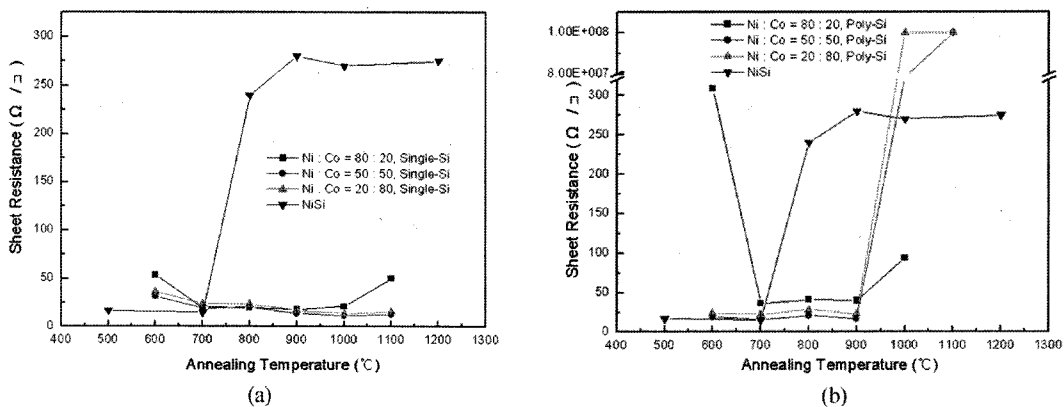


Fig. 1. Sheet resistance of Ni, NiCo composite silicides with silicidation temperature. on (a) single-crystalline-Si and (b) polycrystalline-Si.

여 250 Ω/Sg. 이상의 값을 보여주는데 비해 대부분의 NiCo-alloy//single-crystalline-Si silicide는 1000°C까지 25 Ω/Sg.이하의 저항값을 나타내며 고온에서도 저저항으로 안정함을 알 수 있었다. 이것은 고온에서 (NiCo)Si<sub>2</sub>의 저저항상을 형성하여 고온에서도 저저항을 유지함을 알 수 있었다.<sup>8)</sup>

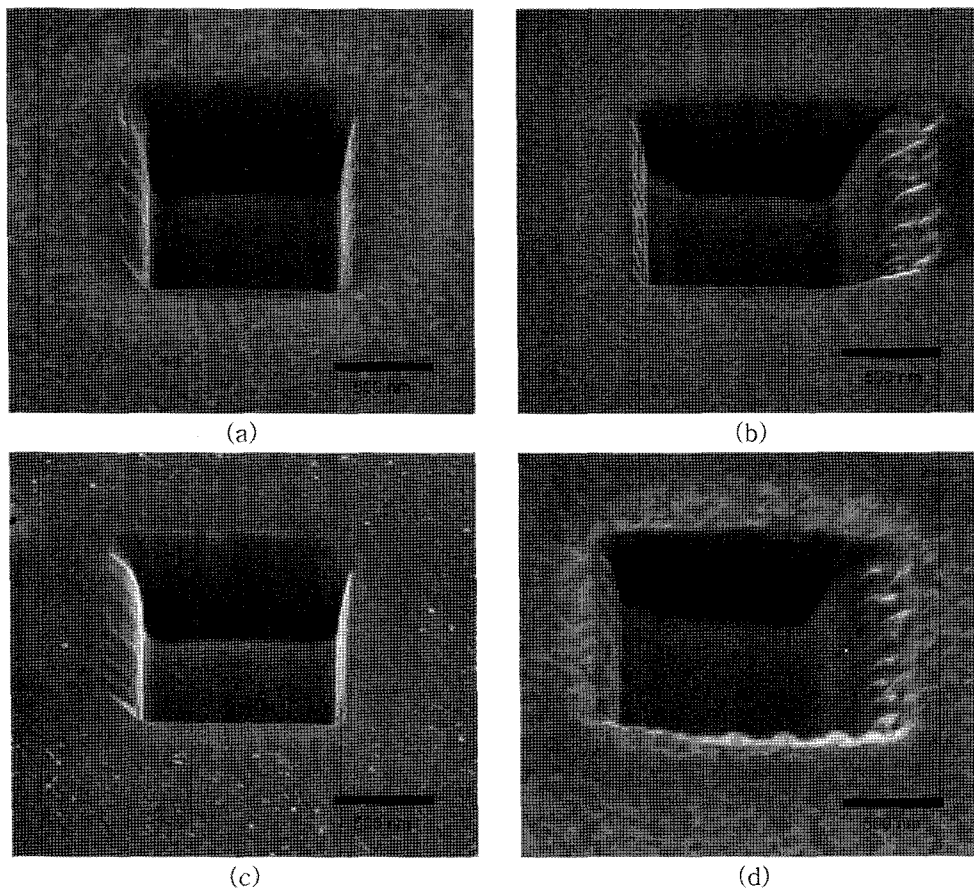
단결정 실리콘 기판에서 Co의 상대조성의 증가에 따른 변화를 살펴보면 큰 차이를 보이지는 않지만 특히 Ni가 많이 첨가된 Ni<sub>0.8</sub>Co<sub>0.2</sub> 조성의 시편에서 저항값이 700°C 이하와 1000°C 이상에서는 다른 조성의 박막으로부터 형성된 실리사이드의 면저항보다 약 30 Ω/Sg. 정도 높게 나타나는 것을 확인할 수 있었다. 이는 상대적으로 Co의 조성이 작아서 주된 생성상인 Ni실리사이드 중 각 온도의 안정상인 Ni<sub>2</sub>Si와 NiSi<sub>2</sub>가 형성되면서 커지는 현상이라고 판단되었다.

또한 다결정 게이트 상부의 실리사이드의 면저항을 나타낸 (b)의 NiCo-alloy//poly-crystalline-Si에 나타난 바와 같이, 기존의 NiSi는 700°C 이후의 고온에서는 급격한 고저항값을 보이는데 비해 NiCo-alloy//poly-crystalline-Si에서는 900°C까지 저저항을 유지하는 것을 관찰 할 수

있었다. 다결정 실리콘 기판의 경우에서도 Ni이 많은 Ni<sub>0.8</sub>Co<sub>0.2</sub> 박막으로부터 형성된 실리사이드의 경우 다른 조성의 실리사이드에 비해서 실험된 열처리 구간 모든 온도에서 면저항이 20 Ω/Sg.정도 높게 나타나고 있고 700°C 이하에서는 Ni<sub>2</sub>Si의 형성으로 고저항이 발생하나 1000°C 시편의 경우에는 100 Ω/Sg.으로 다른 조성의 시편보다 더욱 월등한 저저항 값을 보이고 있다. 이것은 다결정 시편의 1000°C 열처리의 경우는 형성된 실리사이드가 미세구조적으로 응집에 의한 불균일적인 분포로 인하여 높은 고저항이 측정된 것으로 보이며 이 응집현상이 Co가 적게 들어간 Ni<sub>0.8</sub>Co<sub>0.2</sub> 시편에서는 유독 적게 일어난 것으로 판단된다.

결과적으로 10 nm-두께의 NiCo합금박막으로부터 생성된 복합실리사이드를 채용하여 Co의 20~80% 첨가에 따라 기존의 NiSi의 700°C에 한정된 고온 안정성을 개선하여 단결정에서는 400°C이상, 다결정 기판에서는 200°C 이상 향상시킨 결과를 얻을 수 있었다.

Fig. 2에는 FIB를 이용한 10 nm-Ni<sub>0.5</sub>Co<sub>0.5</sub> 합금박막으로부터 형성된 실리사이드 층의 두께 측정과 평면이미지를 보이고 있다. 시편에 Ga 이온으로 트렌치를 가공하



**Fig. 2.** Surface image of NiCo composite Silicide using FIB (a) NiCo-alloy/single-crystalline-Si 800°C, (b) NiCo-alloy/poly-crystalline-Si, 800°C, (c) NiCo-alloy/single-crystalline-Si 1100°C (d) NiCo-alloy/poly-crystalline-Si, 1100°C.

고 드러난 수직 단면의 모습을 보였다. 이들의 확대 이미지로부터 정확한 실리사이드 층의 두께를 확인하였는데 각각 (a) 11 nm, (b) 15 nm, (c) 12 nm, (d) 17 nm를 확인할 수 있었다. 실리사이드화 온도에 따라 크게 실리사이드 층의 두께는 달라지지 않았으며 단결정에서는 11.5 nm, 폴리실리콘에서는 약 16 nm 정도의 두께를 얻을 수 있음을 알 수 있었다. 이러한 두께는 충분히 최소 선폭 100 nm급의 shallow junction transistor에 응용이 가능하다고 판단된다. 한편 (d)의 전기저항이 커진 폴리실리콘 위에 형성된 이미지를 보면, 다른 이미지와 달리 Ga 이온에 의해 특정한 상(이미지에서 상대적으로 밝게 보이는 상)이 이온 빔에 의해서 촬영 중에 더 쉽게 제거되어 낮게 보임을 알 수 있는데 이는 서로 다른 상이 혼합되어 있음을 의미하는 강력한 증거로써, 폴리실리콘 위에 고온으로 실리사이드화 된 경우고 혼합 형태로 실리사이드가 존재하며 서로 고립된 실리사이드가 효과적으로 전기전도체 역할을 못하고 고저항을 가지고 있음을 나타내고 있다.

Fig. 2와 마찬가지로 방법을 이용하여 결정된 각 조성의 박막으로부터 온도별로 형성된 실리사이드의 두께를 Fig. 3에 나타내었다. 온도에 따른 형성된 실리사이드의 두께는  $Ni_{0.5}Co_{0.5}$ 의 조성은 단결정 및 다결정 실리콘 기판에서 모두 큰 변화가 없었다.  $Ni_{0.8}Co_{0.2}$ 의 조성을 살펴보면 단결정 실리콘 기판에서는 800°C까지 형성된 실리사이드의 두께가 증가하는 경향을 보이다 900°C에서는 감소하고 다시 1100°C까지는 두께가 증가하였다.  $Ni_{0.2}Co_{0.8}$  조성에서는 단결정 실리콘 기판에서는 대체로 실리사이드화 열처리 온도가 증가할수록 형성되는 실리사이드의 두께 또한 감소하는 경향이 있었다. 다결정 실리콘 기판도 마찬가지로 온도가 증가함에 따라 실리사이드 층의 두께 또한 감소하는 경향이 있었다.

일반적으로 같은 조건에서 다결정 실리콘 기판에서 형

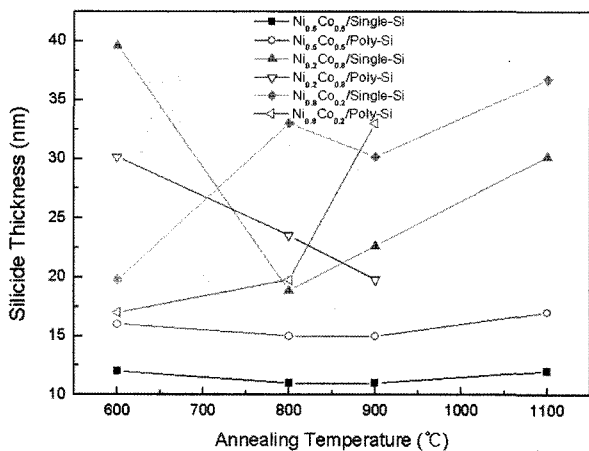


Fig. 3. Silicide thickness of  $Ni_{0.5}Co_{0.5}$  composite silicides with silicidation temperature.

성된 실리사이드의 두께가 부분적 응집에 의해 단결정 실리콘 기판에서 형성된 실리사이드보다 더욱 두꺼운 두께로 관찰되는데  $Ni_{0.5}Co_{0.5}$  조성에서는 이와 같은 경향이 확인되었다. 그러나  $Ni_{0.8}Co_{0.2}$ 와  $Ni_{0.2}Co_{0.8}$  조성에서는 단결정과 다결정 기판의 차이를 구분할 수 없이 두께 경향성이 없었다. 그럼에도 불구하고 전체 실험범위 내에서 형성된 실리사이드의 최종두께는 40 nm 이하로 나노급 소자의 공정적용에 적용 가능성을 알 수 있었다.

Fig. 4의 (a)와 (b)의  $Ni_{0.2}Co_{0.8}$  조성으로부터 생성된 실리사이드의 단결정 실리콘 기판 및 다결정 실리콘 기판에서 각각의 주어진 기판에서 700°C 및 1000°C로 처리된 경우를 나타내었다. (a)의 단결정기판인 경우에는 실리사이드화 처리온도에 관계없이 모두  $Ni_3Si_2$ 상의 (600)에 해당하는 회절 피크가 관찰되었다. 물론 XRD의 분해능 때문에  $Ni_3Si_2$ 상만이 존재하는지 확인할 수 없으나 적어도 온도에 관계없이 동일한 실리사이드가 형성되었음을 알 수 있고 면저항의 측정에서 저저항을 유지한 것으로 미루어  $Ni_3Si_2$ 상이 저저항상임을 추정할 수 있다.

(b)의 다결정 실리콘 기판의 경우 700°C 및 1000°C 시편 모두에서  $Ni_3Si_2$ 의 (600)에 해당하는 회절 피크가 관찰되었다. 앞서의 단결정과 같이 저저항상이라고 추정되는  $Ni_3Si_2$ 상의 존재가 확인되었으나 1000°C 시편의 경우 높은 면저항이 측정되는 것은 앞서 논의한 바와 같이 미세구조적 응집에 의한 결과로 추론되어진다.

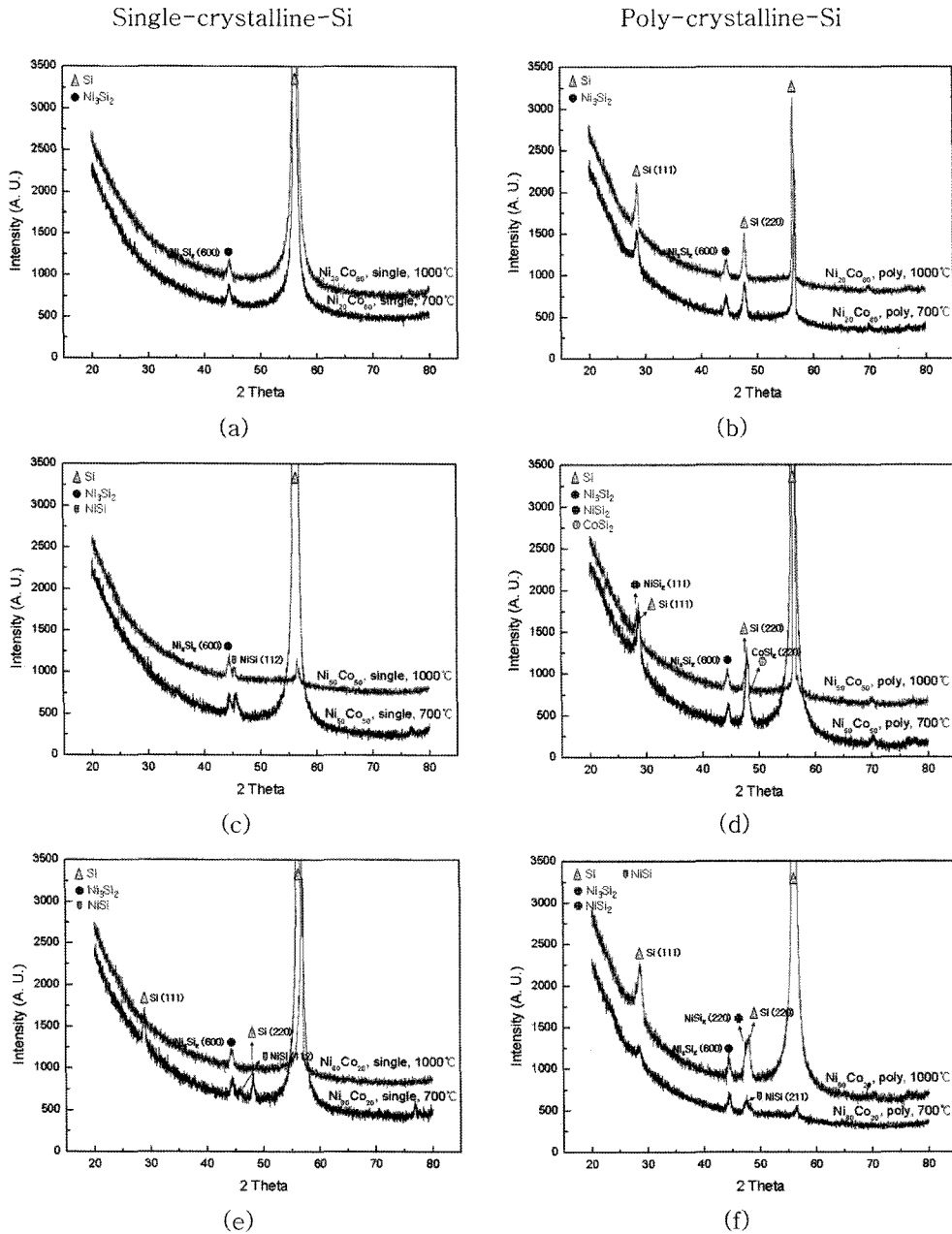
(c)와 (d)에는  $Ni_{0.5}Co_{0.5}$  조성의 박막으로부터 생성된 실리사이드의 피크를 나타내었다. (c)의 단결정 기판에서는 700°C에서는 저저항 상인  $NiSi$ 상과  $Ni_3Si_2$ 상의 회절 피크를 관찰할 수 있으며 1000°C의 고온으로 처리하면 상대적으로  $NiSi$ 상의 회절 피크 세기가 감소함을 알 수 있다. 그러나 전체적인 상의 구성은 저저항상들로 구성되므로 저저항 실리사이드를 유지함을 알 수 있었다.

Co의 혼입에 의해  $(NiCo)Si_2$  형태의 실리사이드로 고저항상인  $NiSi_2$ 의 상으로 변화하는 것이 방지되는 보고도 있으나 본 연구에 의하면 고용상이라기 보다는  $Ni_3Si_2$ 상의 존재로 고저항이 방지되는 것으로 보인다.<sup>9-11)</sup>

(d)에는 다결정 실리콘 기판 위에 형성된 실리사이드의 경우로써 단결정의 경우와 달리 처리온도에 상관없이 모두  $Ni_3Si_2$ 상의 존재를 보이고 있다. 1000°C 열처리 시편의 경우는 관찰되어지는 저저항 실리사이드상의 차이가 없음으로부터 (b)의 경우와 동일하게 미세구조적 응집에 의한 면저항의 증가가 관찰되었음을 알 수 있다.

(e)와 (f)에는  $Ni_{0.8}Co_{0.2}$  조성의 박막으로부터 생성된 실리사이드의 XRD피크의 변화를 기판의 종류별로 나타내었다. (e)의 단결정 실리콘 기판인 경우에는 700°C 저온에서는  $Ni_3Si_2$ 상과  $NiSi$ 상이 같이 존재하다가 1000°C가 되면  $NiSi$ 가 소멸함을 알 수 있었다.

(f)의 다결정기판의 경우에는 700°C 열처리 시편에서는



**Fig. 4.** XRD data of the NiCo composite silicides with silicidation temperature of 700 and 1000°C from (a)  $Ni_{0.2}Co_{0.8}$ /single-crystalline-Si, (b)  $Ni_{0.2}Co_{0.8}$ /poly-crystalline-Si, (c)  $Ni_{0.5}Co_{0.5}$ /single-crystalline-Si, (d)  $Ni_{0.5}Co_{0.5}$ /poly-scystalline-Si, (e)  $Ni_{0.8}Co_{0.2}$ /single-crystalline-Si and (f)  $Ni_{0.8}Co_{0.2}$ /poly-crystalline-Si structures.

약한 NiSi peak를 확인 할 수 있었고  $Ni_3Si_2$  상이 같이 존재함을 알 수 있었다.

결과적으로 단결정 실리콘 기판에서는 Co가 적은 경우(Co=20, 50%)는 700°C 열처리에서 NiSi상과  $Ni_3Si_2$  상이 확인되었고 1000°C 열처리에서는  $Ni_3Si_2$  상만 관찰되었다. Co가 80%인 경우는 700°C 열처리에서  $Ni_3Si_2$  가 확인되었고 1000°C 열처리에서도  $Ni_3Si_2$  가 관찰되었다. 전기저항과 관련하여 살펴보면 단결정 실리콘 기판의 경우는 모든 조성 및 온도에서 저저항을 보였으며 이

것은  $Ni_3Si_2$  상이 저저항상임을 뒷받침해 주었다.

다결정 실리콘 기판에서는 Co가 적은 경우(Co=20, 50%)는 700°C 열처리에서  $Ni_{0.8}Co_{0.2}$  박막 조성에서는  $Ni_3Si_2$ 와 NiSi 상이 관찰되었고,  $Ni_{0.5}Co_{0.5}$  박막 조성에서는  $Ni_3Si_2$ 와  $CoSi_2$  상이 확인되었다. 1000°C 열처리에서는 두 조성 모두에서  $Ni_3Si_2$ 와 NiSi 상이 발견되었다.

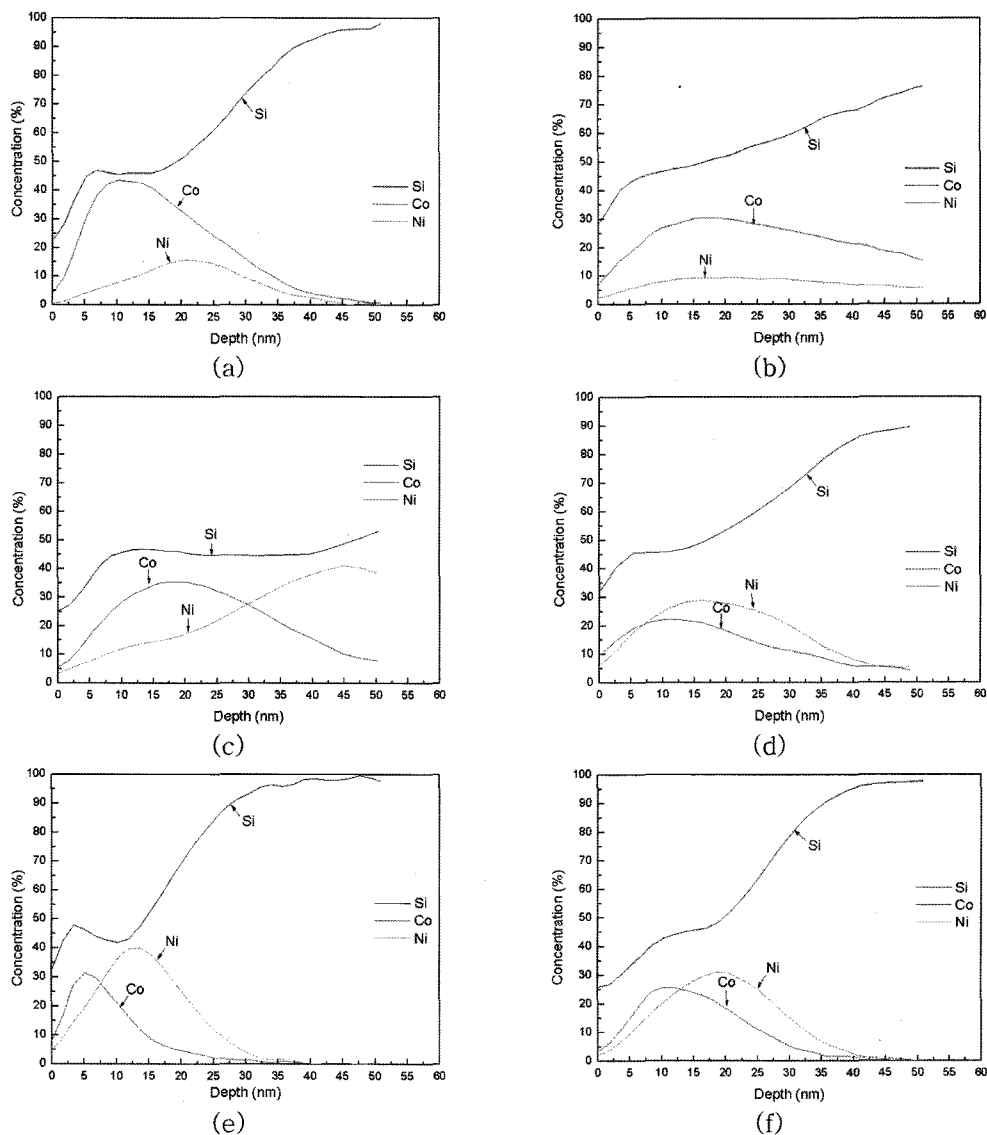
Co가 80%인 경우는 700°C 열처리에서  $Ni_3Si_2$  상만 확인되었고 1000°C 열처리 시편에서는 마찬가지로  $Ni_3Si_2$  상만이 관찰되었다. 700°C 열처리 시편에서는 NiSi와

$\text{Ni}_3\text{Si}_2$  등의 저저항상으로 인해 저저항을 나타내며  $1000^\circ\text{C}$  열처리 시편의 저항값이 크게 나오는 이유는 형성된  $\text{Ni}_3\text{Si}_2$ 나  $\text{NiSi}_2$ 가 균일하게 형성된 것이 아닌 미세구조적 응집에 의한 형성으로 큰 면저항값을 나타내는 것으로 보인다.

Fig. 5(a)~(l)에는 실리사이드화 열처리가 끝난 시편에 대해서 조성 및 온도별로 AES depth profiling 분석을 실시한 데이터를 보였다. (a)는  $\text{Ni}_{0.2}\text{Co}_{0.8}/\text{single-crystalline-Si}$  기판의 시편을  $700^\circ\text{C}$ 에서 열처리한 경우의 결과로 표현

으로부터 Si과 Ni, Co의 비율을 살펴보았을 때 약 15 nm 두께의 실리사이드 형성을 예측 할 수 있었다. 같은 조성이지만  $1000^\circ\text{C}$ 에서 열처리한 시편인 (b)는 조금 더 두꺼운 20 nm 정도의 실리사이드 형성 두께를 예측 할 수 있다.  $\text{Ni}_{0.5}\text{Co}_{0.5}/\text{single-crystalline-Si}$ 을  $700^\circ\text{C}$ 에서 열처리한 결과인 (c)를 살펴보면 앞의  $\text{Ni}_{0.2}\text{Co}_{0.8}/\text{single-crystalline-Si}$  조성보다 약간 더 두꺼운 30 nm 정도의 실리사이드 두께를 예측 할 수 있으며  $\text{Ni}_{0.5}\text{Co}_{0.5}/\text{single-crystalline-Si}$  조성의  $1000^\circ\text{C}$  열처리 시편인 (d)를 살펴보면 두께가 감

### Single-crystalline-Si



**Fig. 5.** AES data of the silicides from the NiCo composite silicides with the structures of (a)  $\text{Ni}_{0.2}\text{Co}_{0.8}/\text{single-crystalline-Si}$  at  $700^\circ\text{C}$ , (b)  $\text{Ni}_{0.2}\text{Co}_{0.8}/\text{single-crystalline-Si}$  at  $1000^\circ\text{C}$ , (c)  $\text{Ni}_{0.5}\text{Co}_{0.5}/\text{single-crystalline-Si}$  at  $700^\circ\text{C}$ , (d)  $\text{Ni}_{0.5}\text{Co}_{0.5}/\text{single-crystalline-Si}$  at  $1000^\circ\text{C}$ , (e)  $\text{Ni}_{0.8}\text{Co}_{0.2}/\text{single-crystalline-Si}$  at  $700^\circ\text{C}$ , (f)  $\text{Ni}_{0.8}\text{Co}_{0.2}/\text{single-crystalline-Si}$  at  $1000^\circ\text{C}$ , (g)  $\text{Ni}_{0.2}\text{Co}_{0.8}/\text{poly-crystalline-Si}$  at  $700^\circ\text{C}$ , (h)  $\text{Ni}_{0.2}\text{Co}_{0.8}/\text{poly-crystalline-Si}$  at  $1000^\circ\text{C}$ , (i)  $\text{Ni}_{0.5}\text{Co}_{0.5}/\text{poly-crystalline-Si}$  at  $700^\circ\text{C}$ , (j)  $\text{Ni}_{0.5}\text{Co}_{0.5}/\text{poly-crystalline-Si}$  at  $1000^\circ\text{C}$ , (k)  $\text{Ni}_{0.8}\text{Co}_{0.2}/\text{poly-crystalline-Si}$  at  $700^\circ\text{C}$  and (l)  $\text{Ni}_{0.8}\text{Co}_{0.2}/\text{poly-crystalline-Si}$  at  $1000^\circ\text{C}$ .

Poly-crystalline-Si

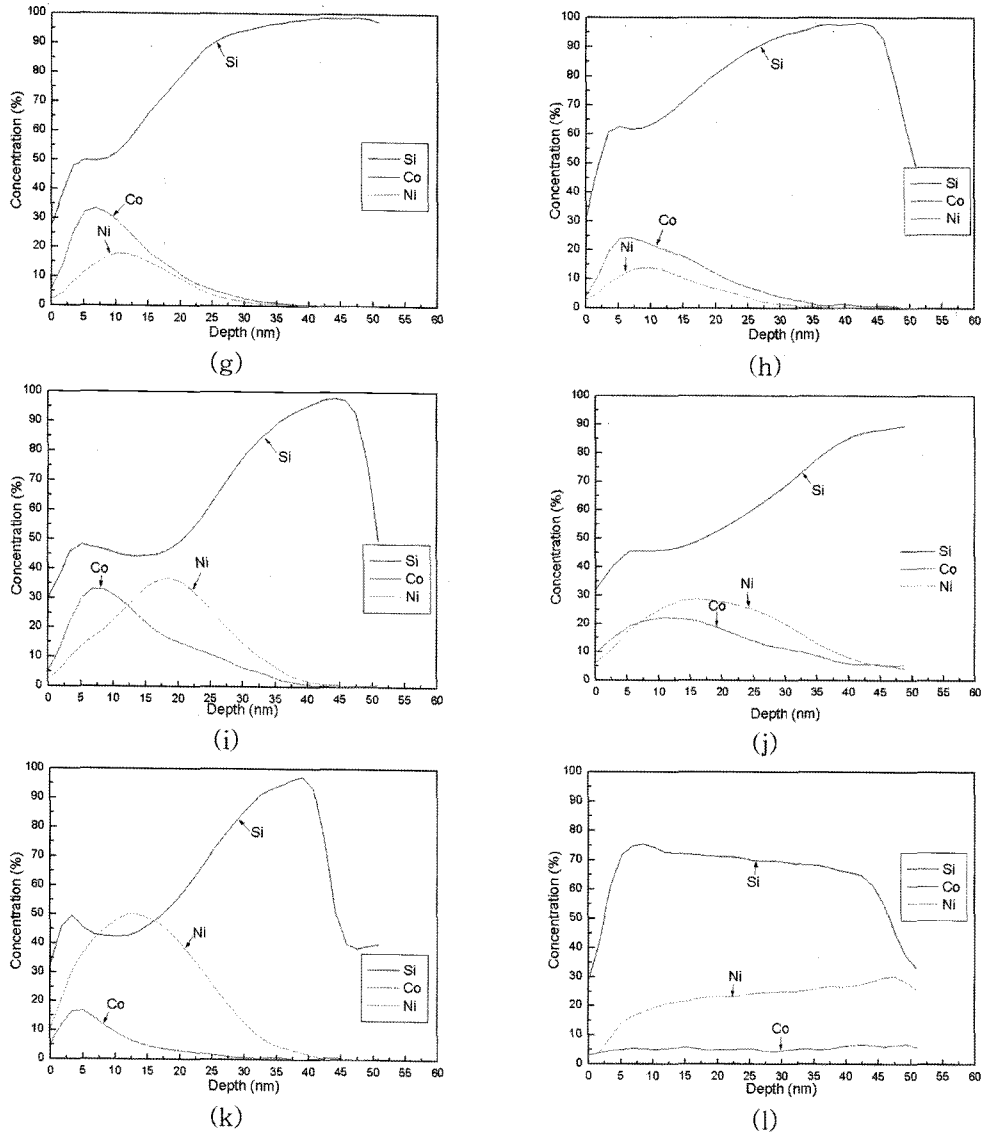


Fig. 5. continued.

소한 17 nm 정도의 실리사이드 두께를 예측 가능하다.  $Ni_{0.8}Co_{0.2}/single\text{-crystalline-Si}$  시편의 700°C 열처리 시편인 (e)와 (f) 에서는 두께가 약 10 nm와 15 nm 정도로 앞의 두 조성의 실리사이드 보다 더욱 얇은 것을 알 수 있었다. 한편, Co의 조성에 상관없이 항상 Ni의 확산이 더 빨라서 전 실험범위에서 Ni-과잉 실리사이드가 넓게 분포함을 알 수 있다.

(g)부터 (l)까지는 다결정 실리콘 기판위에 합금 실리사이드를 형성한 경우의 데이터를 보여주고 있다.  $Ni_{0.2}Co_{0.8}/poly\text{-crystalline-Si}$  700°C에서는 Si와 Ni, Co의 비율을 살펴보았을 때 약 15 nm 두께의 실리사이드 형성을 예측 할 수 있었다. 그러나  $Ni_{0.2}Co_{0.8}/poly\text{-crystalline-Si}$  1000°C 조성인 (h)에서는 실리콘 조성이 표면부에서부터

높게 관찰되는 것으로부터 실리콘과 실리사이드가 표면부에서부터 혼합된 혼합현상을 확인할 수 있었으며<sup>12,13)</sup> 이것이 고저항을 나타내는 이유가 될 수 있었다. 마찬가지로  $Ni_{0.5}Co_{0.5}/poly\text{-crystalline-Si}$  700°C 열처리 조성인 (i) 에서는 약 20 nm 실리사이드 두께가 예측 가능하였다. 역시  $Ni_{0.5}Co_{0.5}/poly\text{-crystalline-Si}$  1000°C 조성인 (j)에서의 결과는 미세구조가 혼합구조를 가짐을 의미하고 있다. (k) 는  $Ni_{0.8}Co_{0.2}/poly\text{-crystalline-Si}$  700°C 조성의 결과로 10 nm 정도의 얇은 실리사이드 두께를 예측 할 수 있었으며, 마찬가지로  $Ni_{0.8}Co_{0.2}/poly\text{-crystalline-Si}$  1000°C 결과는 실리콘과 실리사이드가 함께 두께방향으로 존재하는 혼합현상이 있음을 보이고 있다.

#### 4. 결 론

두께 10 nm의  $Ni_{1-x}Co_x$  ( $x=0.2, 0.5$  and  $0.8$ ) 조성의 합금을 단결정 및 다결정 실리콘 기판위에 증착하여 700~1100°C에서 실리사이드화 열처리 하여 물성을 측정하여 보았다. 먼저 전기적 특성의 경우 단결정 실리콘기판의 경우 대부분의 조건에서 1100°C까지 20  $\Omega/Sg$  이하의 저항항을 나타내고 있었으며, 다결정 실리콘 기판의 경우 900°C 이후부터 고저항이 발생되어 기존의 NiSi가 700°C까지 안정하였음에 비추어 획기적으로 실리사이드의 안정화 구간을 넓히는 효과가 있었다. 이때 생성된 실리사이드 층의 두께는 합금박막의 조성과 기판 종류에 관계없이 모두 40 nm 이하로 나노급 소자 공정에 적용가능 하였다. 오제이 두께분석 결과 각 복합실리사이드 층은 미세구조에서 확인된 두께와 유사한 경향을 나타내었으며, 특히 폴리실리콘 기판의 고온에서 생성된 실리사이드의 경우 실리콘과 실리사이드가 혼재하는 미세구조를 가짐을 알 수 있었고 이들이 고온 고저항의 주원인임을 알았다. 따라서 제안된 NiCo 합금을 이용한 나노급 복합실리사이드는 기존의 적층 박막으로부터의 실리사이드 공정보다 단순화된 공정이 가능하면서도 동일한 열적안정성을 유지할 수 있었다.

#### 감사의 글

이 논문은 2005년도 정부(과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임(No. R01-2004-000-10028-0).

#### 참 고 문 헌

1. J. Y. Dai, Z. R. Guo, S. F. Tee, C. L. Tay, E. Er and S. Redkar, *Appl. Phys. Lett.*, **78**, 3091 (2001).
2. J. Prokop, C. E. Zybilla and S. Veprek, *Thin Solid Films*, **359**, 39 (2000).
3. C. Detavernier, R. L. Van Meirhaeghe and F. Cardon, *J. Appl. Phys.*, **88**, 133 (2000).
4. The International Technology RoadMap For Semiconductor, Front End Process, p. 25, SIA, 2003 Edition (2003).
5. J. Chen, J. P. Colinge, D. Flandre, R. Gillon, J. P. Raskin and D. Vanhoenacker, *J. Electrochem. Soc.*, **7**, 144 (1997).
6. J. J. Sun, J. Y. Tsai and C. M. Osburn, *IEEE Trans. on Electron Devices*, **45**, 1946 (1998).
7. Semiconductor Industry Association(SIA), the international technology road map for semiconductors, Front End Process, pp.23 (2004).
8. E. J. Jung, S. W. Jung, H. S. Kim and J. H. Yun, *Microelectronic Eng.*, **82**, 449 (2005).
9. B. A. Julies, D. Knoesen, R. Pretorius and D. Adams, *Thin Solid Films*, **347**, 201 (1999).
10. O. S. Song, S. H. Cheong and D. J. Kim, *Kor. J. Mater. Res.*, **14**(12), 846 (2004).
11. E. J. Jung, S. W. Jung, H. S. Kim and J. H. Yun, *Microelectronic Eng.*, **82**, 449 (2005).
12. E. G. Colgan, J. P. Gambino and Q. Z. Hong, *Mater. Sci. Eng.*, **16**, 43 (1996).
13. J. H. Ku, C.-J. Choi, S. Song, S. Choi, K. Fujihara, H.-K. Kang and S.-I. Lee, *VLSI Tech. Symp.*, 114 (2000).