

ALD법으로 성장한 HfO₂ 박막의 열처리에 따른 특성변화

이재웅 · 함문호 · 맹완주* · 김형준* · 명재민†

연세대학교 신소재공학과
*포항공과대학교 신소재공학과

Effects of Post-Annealing on Properties of HfO₂ Films Grown by ALD

J. W. Lee, M. H. Ham, W. J. Maeng*, H. Kim* and J. M. Myoung†

Information and Electronic Materials Research Laboratory, Department of Materials Science and Engineering,
Yonsei University, 134 Shinchon-Dong, Seoul 120-749 Korea

*Department of Materials Science and Engineering, Pohang University of Science and Technology,
Pohang, 790-784 Korea

(2007년 2월 2일 받음, 2007년 2월 15일 최종수정본 받음)

Abstract The effects of post-annealing of high-k HfO₂ thin films grown by atomic layer deposition method were investigated by the annealing treatments of 400-600°C. Pt/HfO₂/p-Si MOS capacitor structures were fabricated, and then the capacitance-voltage and current-voltage characteristics were measured to analyze the electrical characteristics of dielectric layers. The X-ray diffraction analyses revealed that the 500°C-annealed HfO₂ film remained to be amorphous, and the 600°C-annealed HfO₂ film was crystallized. The annealing treatment at 500°C resulted in the highest capacitance and the lowest leakage current due to the reduction of defects in the HfO₂ films and non-crystallization. Our results suggest that post-annealing treatments are a critical factor in improving the characteristics of gate dielectric layer.

Key words Hafnium oxide, ALD (Atomic Layer Deposition), dielectric constant, leakage current.

1. 서 론

MOS소자의 고집적화와 고효율화를 위하여 트랜지스터 소형화와 더불어 게이트 유전막의 두께를 줄이려는 노력이 계속 이어지고 있다. 현재까지 널리 사용되고 있는 SiO₂는 이같은 산업적 요구에 따라 그 두께가 20 Å 이하로 감소되었으나, 그 이하의 두께로 줄어들 경우 산화막을 통한 전자의 직접 터널링이 기하급수적으로 증가하게 되고 그로 인해 누설전류 역시 급격히 늘어난다는 물리적 한계를 가지고 있다.¹⁾ SiO₂의 이 같은 한계를 극복하기 위한 대체 게이트 유전물질로서 TiO₂,²⁾ ZrO₂,³⁾ Ta₂O₅,⁴⁾ HfO₂⁵⁾ 등과 같은 고유전 게이트 유전막 물질들이 집중적으로 연구되어왔다. 고유전 게이트 유전막은 높은 유전상수를 가져야하며, 낮은 누설전류를 갖기 위해서 넓은 band gap이 요구되고, 실리콘과 열적으로 안정해야 한다. 상대적으로 높은 유전상수를 갖는 TiO₂나 Ta₂O₅ 등은 실리콘과 열적으로 불안정하여 두꺼운 계면층을 형성하려는 경향이 있기 때문에 반응 억제를 위해 장

벽층을 필요로 하게 되어 게이트 유전막의 EOT(equivalent oxide thickness)감소를 어렵게 하는 문제를 가지고 있다. 이에 반해 HfO₂는 높은 유전상수 (k≈25)와 더불어 상대적으로 넓은 밴드갭 (5.68 eV), 그리고 Si 기판과의 열적, 화학적 안정성 등의 우수한 특성을 가지고 있기 때문에 SiO₂를 대체할 주요물질로 연구되고 있다.

보다 좋은 특성을 갖는 유전막을 얻기 위해 rf magnetron sputtering, low-pressure chemical vapor deposition (LPCVD),⁶⁾ metal organic molecular beam epitaxy (MOMBE),⁵⁾ atomic layer deposition (ALD)⁷⁾ 등 여러 가지 제조 공정을 이용하여 연구되어 왔으며, 그 중 ALD는 시편 표면의 화학적 표면 흡착 작용을 이용하기 때문에 layer-by-layer 증착기구에 의해 높은 밀도를 가지는 우수한 박막의 생성이 가능하여 얇은 두께까지 제어 가능하다. 또한, 뛰어난 두께 균일도와 표면 정형성(step coverage)를 가지며, 저온공정이 가능하고, 입자의 형성이 억제되는 장점을 가지고 있어서 양질의 유전막을 성장시키는데 유리하다.⁸⁾

본 연구에서는 ALD법을 이용하여 HfO₂ 박막을 10 nm와 50 nm의 서로 다른 두께로 성장하였다. 이후 박막의 특성을 향상시키기 위하여 후속 열처리를 실시하였으며,

†Corresponding author
E-Mail : jmyoung@yonsei.ac.kr (J. M. Myoung)

열처리 온도에 따른 박막의 결정학적, 전기적 특성변화를 분석하였다. 박막의 결정성 분석을 위하여 X-ray diffraction (XRD) 분석을 실시하였고, 전기적 특성 평가를 위하여 capacitance-voltage (C-V)와 current-voltage (I-V) 분석을 진행하였다.

2. 실험 방법

두께가 10 nm와 50 nm인 HfO₂ 박막을 (100) p-Si 기판 위에 ALD법으로 성장시켰다. 먼저, 박막을 성장시키기 전에 Si 기판 위에 존재하는 자연 산화막을 1% HF 용액을 이용하여 제거하였고, RCA (TCE-아세톤-메탄올-D. I. water)법으로 세정하였다. HfO₂ 박막을 성장시키기 위한 precursor는 tetrakis dimethylamino hafnium (TDMAH)이며, 산소 플라즈마를 반응물질로 사용하였다. 공정온도는 250°C이고, precursor의 온도는 25°C이다. ALD 공정의 한 사이클은 다음과 같다. 먼저 TDMAH를 1.3초간 노출한 후, 3초간의 Ar 퍼징을 하고, 그 후 산소 플라즈마를 RF 파워 300 W로 3초간 주입하여 반응이 일어나도록 하였다. 마지막으로 Ar 퍼징을 3초간 하였다. 이때, 박막의 성장속도는 1.25 Å/cycle이었다.

성장된 HfO₂ 박막의 열처리 효과를 알아보기 위해 두께가 10 nm와 50 nm인 HfO₂ 박막을 각각 400°C, 500°C, 600°C에서 1분간 질소분위기로 rapid thermal annealing (RTA) 처리하였다. 먼저, HfO₂ 박막의 결정성 평가를 위하여 XRD 분석을 하였다. XRD 분석은 Ni-filtered CuK α source를 사용하였으며, 조건은 40 kV, 100 mA이고 scanning 속도는 2°/min이다. 성장된 HfO₂ 박막의 두께와 열처리 온도에 따른 전기적 특성을 평가하기 위하여 C-V, I-V 특성을 각각 HP 4284A capacitance meter와 HP 4145B semiconductor parameter analyzer를 사용하여 측정하였다.

3. 결과 및 고찰

Fig. 1은 HfO₂ 박막의 열처리 전과 후의 열처리 온도에 따른 XRD 패턴 변화를 보여준다. 열처리 전과 열처리 후의 샘플을 비교했을 때 공통적으로 나타나는 HfO₂ 픽은 monoclinic (020), (002)이며, Monoclinic HfO₂ 상은 안정한 동질이상체 (stable polymorph)이다.⁷⁾ 400°C와 500°C에서 열처리한 샘플과 열처리 전 샘플을 비교하면, XRD 데이터의 변화가 거의 없음을 확인할 수 있다. 이는 500°C 이하에서의 열처리가 HfO₂ 박막의 결정성에 큰 영향을 미치지 않는다는 것을 의미한다. 결정성의 큰 변화는 600°C에서 열처리한 후에 나타났다. Monoclinic (110), (-111), (111)에 해당하는 픽이 각각 24.18°, 28.34°, 31.66°에서 나타났으며, 이를 통해 600°C에서 열처리했을

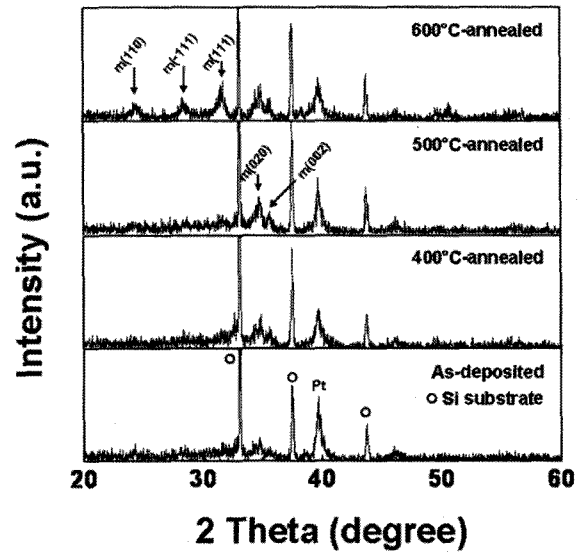


Fig. 1. XRD spectra of the HfO₂ films before and after annealing treatments.

때 HfO₂ 박막의 결정화가 본격적으로 일어남을 확인할 수 있다.^{7,9)} 이 같은 XRD 데이터를 통해 500°C 이하의 열처리온도에서는 HfO₂ 박막의 결정화가 일어나지 않고 대부분 비결정질 상태로 존재하며, 600°C에서 열처리할 경우 결정화가 시작됨을 알 수 있다. 이것은 이전에 보고된 HfO₂의 결정화 온도와 일치하는 결과이다.¹⁰⁾

HfO₂ 박막의 전기적 특성을 평가하기 위해, DC sputter를 이용하여 Pt 전극을 박막 위에 증착하고 Pt(100 nm)/HfO₂/p-type Si의 MOS 구조를 제작하였다. 이때 Pt 전극의 넓이는 $3.14 \times 10^{-4} \text{ cm}^2$ 이다. 두께가 10 nm와 50 nm인 HfO₂ 박막의 열처리 온도에 따른 전기적 특성 변화를 Figs. 2, 3, 4에서 보여주고 있다. Fig. 2는 HfO₂ 박막의 C-V 특성을 보여주며 2(a)와 2(b)는 각각 두께가 10 nm와 50 nm인 HfO₂ 박막에 대한 측정결과이다. C-V 측정은 100 kHz에서 진행하였으며, -4 V에서 4 V의 전압을 인가한 후 4 V에서 -4 V의 전압을 다시 인가하였다. Fig. 2(a)를 보면, 먼저 C-V 커브가 열처리 온도가 높아짐에 따라 양의 게이트 전압 방향으로 이동하였음을 알 수 있다. 이는 열처리 온도가 높아짐에 따라 양의 고정산화막전하들(positive oxide fixed charges)과 유동이동 전하들(mobile ionic charges) 등에서 발생하는 양의 전하들이 감소하기 때문이다.^{11,12)} 이 같은 경향은 두께가 50 nm인 HfO₂ 박막에서 역시 관찰되는데, Fig. 2(b)를 통해 확인할 수 있다. Accumulation capacitance는 500°C에서 열처리했을 때 두께가 10 nm와 50 nm인 HfO₂ 박막에서 모두 가장 높은 값을 나타냈으며, 이는 열처리 효과에 따른 박막의 밀도 변화와 기판과 박막 사이의 접촉면에 Hf-silicate 형성에 의한 것이다.¹³⁾ Fig. 2로부터

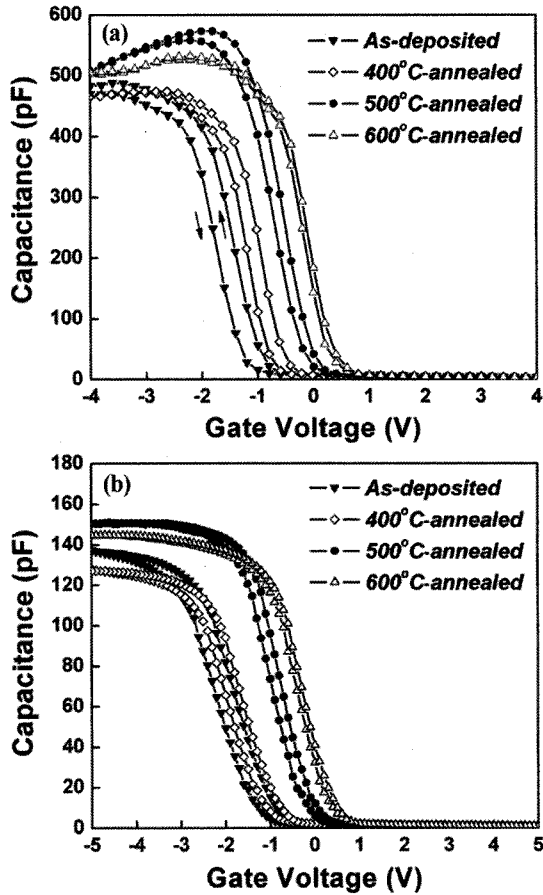


Fig. 2. C-V characteristics for the (a) 10 nm thick and (b) 50 nm thick HfO₂ films with different annealing temperatures measured at 100 kHz frequency.

4에서 -4 V로 전압을 가해줄 때 -4에서 4 V로 전압을 가해줄 때에 비해 accumulation capacitance가 약간 증가하는 것을 확인할 수 있는데, 이는 trapped charge들에 의한 recharging effect 때문이다.⁵⁾

Fig. 2(a)와 (b)에서 볼 수 있듯이 모든 샘플의 C-V에서 히스테리시스(hysteresis)를 관찰할 수 있는데, 이는 oxide defect state들에 존재하는 음의 전하들에 기인한 것이다.^{12,14)} 열처리 온도가 높아짐에 따라 C-V 커브에서 히스테리시스가 감소하는 것을 Fig. 2를 통해 확인할 수 있으며 이는 열처리 온도가 높아짐에 따라 산화포획전하(oxide trapped charge)들이 감소한다는 것을 의미한다. HfO₂ 박막을 이용하여 제작된 MOS 구조의 oxide trapped density (N_{ot})는 아래의 식으로 표현되며 그 결과를 Fig. 3에 나타내었다.

$$N_{ot} = C_{acc} \times \Delta V_{FB} / (qA)$$

C_{acc}는 accumulation capacitance, ΔV_{FB}는 히스테리시스 폭(hysteresis width), q는 전자전하(electron charge),

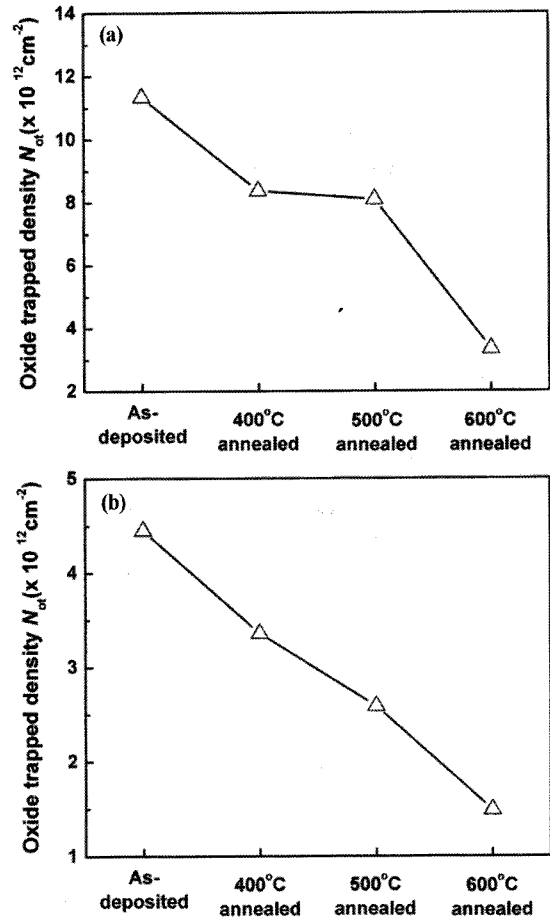


Fig. 3. The oxide trapped density(N_{ot}) of the HfO₂/p-type Si stacks with different annealing temperatures.

그리고 A는 electrode area를 의미한다.⁵⁾ Fig. 3에서 볼 수 있듯이, 열처리 온도가 높아짐에 따라 두께가 10 nm와 50 nm인 HfO₂ 박막은 모두 산화포획전하밀도(oxide trapped charge density)가 감소하였다. 이 같은 결과를 통해 열처리를 함으로써 산화물막층(oxide layer)내의 결함들을 줄일 수 있음을 알 수 있다.

Fig. 4는 열처리 온도에 따른 HfO₂ 박막의 I-V 특성변화를 보여주고 있다. Fig. 4(a)에서 알 수 있듯이, 두께가 10 nm인 HfO₂ 박막의 경우 400°C, 500°C로 열처리했을 때 누설전류가 줄어드는 것을 확인할 수 있는데, 이는 열처리에 따라 계면포획전하들(interfacial trapped charges), 산소 빈자리들(oxygen vacancies), 오염물질들(contaminants)등과 같은 누설 통로가 줄어들기 때문이다.¹⁵⁾ 600°C에서 열처리한 샘플의 경우에는 Fig. 1의 XRD 결과에서도 알 수 있듯이 박막 내의 결정화가 진행되어 열처리하기 전보다 누설전류가 오히려 늘어나는 경향을 보인다. 결정화가 진행됨에 따라 결정상간의 결정경계(grain boundary), 어긋나기(dislocation) 등이 발생하게 되고 이러한 결함이 누설전류를 발생시키는 원인이 된다. 두께

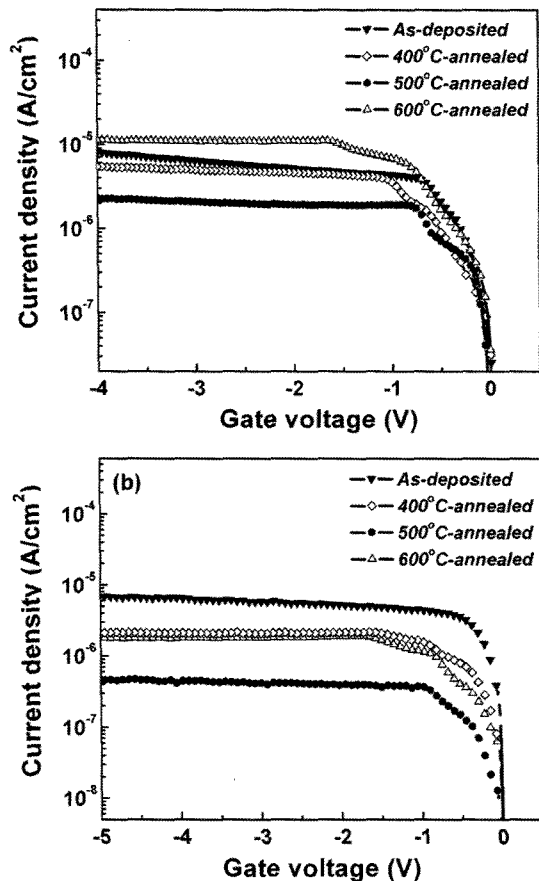


Fig. 4. I-V characteristics for the (a) 10 nm thick and (b) 50 nm thick HfO₂ films with different annealing temperatures.

가 50 nm인 HfO₂ 박막에서 역시 400°C, 500°C에서 누설전류가 열처리 효과에 따라 줄어드는 것을 Fig. 4(b)에서 확인할 수 있다. 600°C에서 열처리한 샘플은 500°C에서 열처리한 경우보다 누설전류가 늘어나긴 했지만 열처리 하기 전보다는 낮은 누설전류의 값을 가지고 있다. 이는 두께가 10 nm인 HfO₂ 박막에서와 같이 결정화가 진행되었지만, 부분적인 결정화가 진행되었고 나머지 부분은 여전히 비결정질 상태로 존재하기 때문에 누설전류의 양이 크게 증가하지 않았다.

4. 결 론

ALD법으로 성장시킨 HfO₂ 박막은 250°C의 낮은 공정온도로 인하여 박막의 대부분이 비결정질상태로 존재함을 XRD 분석을 통해 알 수 있었다. 이같이 HfO₂ 박막이 비결정질상태를 유지하는 것은 누설전류를 줄이는데 크게 유리하게 작용한다. 박막의 특성을 향상시키기 위하여 온도를 400°C-600°C로 변화시키면서 질소 분위기에서 1분간 RTA 처리를 하였다. 후속열처리를 통해 보다 높은 accumulation capacitance를 얻을 수 있었고, 열

처리 온도가 높아짐에 따라 산화포획전하밀도뿐 아니라 양의 전하들을 발생시키는 고정산화막전하들과 유동이동전하들 등이 크게 줄어드는 것을 확인 할 수 있었다. 또한 열처리과정에서 결함이 크게 줄어들어 낮은 누설전류를 갖는 박막을 얻을 수 있었다. 600°C에서 열처리한 HfO₂ 박막은 결정화가 일어남을 XRD 데이터를 통해 알 수 있었고, 그 결과 누설전류가 급격히 증가하는 것을 I-V 분석을 통해 확인할 수 있었다. HfO₂ 박막을 500°C에서 열처리한 경우 두께가 10 nm와 50 nm인 HfO₂ 박막 모두에서 가장 높은 accumulation capacitance와 가장 낮은 누설전류를 나타냈으며, 이를 통해 후속열처리 공정이 HfO₂ 박막의 특성을 향상시키는데 크게 기여함을 확인할 수 있었다.

감사의 글

이 논문은 2005년 정부(교육인적자원부)의 재원으로 한국 학술진흥재단의 지원을 받아 수행된 연구임 (KRF-2005-041-D00402)

참 고 문 헌

1. H.S. Momose, M. Ono, T. Yoshitomi, T. Ohguro, S.-I. Nakamura, M. Saito and H. Iwai, IEDM Technical Digest, 593 (1994).
2. J.-Y. Zhang, I. W. Boyd, B. J. O' Sullivan, P. K. Hurley, P. V. Kelly and J.-P. Senateur, J. Non-Cryst. Solids, **303**, 134 (2002).
3. J. H. Hong, W. J. Choi and J. M. Myoung, Microelectron. Eng., **70**(1), 35 (2003).
4. P. Balk, Adv. Mater., **7**, 703 (1995).
5. J. H. Hong, T. H. Moon and J. M. Myoung, Microelectron. Eng., **75**, 263 (2004).
6. Y. Oshita, A. Ogura, A. Hoshino, T. Suzuki, S. Hiroy and H. Machida, J. Cryst. Growth, **235**, 365 (2002).
7. K. Kukli, M. Ritala, T. Sajavaara, J. Keinonen and M. Leskela, Thin Solid Films, **416**, 72 (2002).
8. J. Lee and C. Lee, Kor. J. Mater. Res., **15**(11), 741 (2005).
9. K. Kukli, J. Ihanus, M. Ritala and M. Leskela, Appl. Phys. Lett., **68**, 3737 (1996).
10. E. P. Gusev, C. Cabral Jr., M. Copel, C. D' Emic and M. Gribelyuk, Microelectron. Eng., **69**, 145(2003).
11. B. C. M. Lai, N. H. Kung and J. Y. M. Lee, J. Appl. Phys., **85**, 4087 (1999).
12. Y. Taur and T.H. Ning, Fundamentals of Modern VLSI Devices (Cambridge University Press, New York, 1998), p. 82-86.
13. N. A. Chowdhury, R. Garg and D. Misra, Appl. Phys. Lett., **85**, 3289, (2004).
14. T. H. Moon, M. H. Ham and J. M. Myoung, Appl. Phys. Lett., **86**(10), 102903 (2005).
15. H. J. Song, C. S. Lee and S. W. Kang, Electrochem. Solid State Lett., **4**, F13, (2001).