

운모 기판을 플렉시블 다결정 실리콘 박막 트랜지스터에 적용하기 위한 버퍼층 형성 연구

오준석 · 이승렬 · 이진호* · 안병태†

한국과학기술원 신소재공학과

*한국전자통신연구원

Formation of a Buffer Layer on Mica Substrate for Application to Flexible Thin Film Transistors

Joon Seok Oh, Seung Ryul Lee, Jin Ho Lee* and Byung Tae Ahn†

Department of Materials Science and Engineering, Korea Advanced Institute of Science and Technology,
373-1, Guseong-dong, Yuseong-gu, Daejeon 305-701

*Electronics and Telecommunications Research Institute, 161, Gajeong-dong, Yuseong-gu, Daejeon 305-700

(2006년 2월 15일 받음, 2007년 2월 20일 최종수정본 받음)

Abstract Polycrystalline silicon (poly-Si) thin film transistors (TFTs) might be fabricated on the mica substrate and transferred to a flexible plastic substrate because mica can be easily cleaved into a thin layer. To overcome the adhesion and stress problem between poly-Si film and mica substrate, a buffer layer consisting of $\text{SiO}_x/\text{Ta}/\text{Ti}$ three layers has been developed. The SiO_x layer is for electrical isolation, the Ti layer is for adhesion of SiO_x and mica, and Ta is for stress relief between SiO_x and Ti. A TFT was fabricated on the mica substrate by a conventional Si process and was successfully transferred to a plastic substrate.

Key words Flexible substrate, mica, layer transfer, buffer layer, poly-Si TFTs.

1. 서 론

플렉시블 디스플레이는 휘거나 구부리거나 또는 말 수 있는 유연한 기판을 사용하여 제조된 디스플레이로 휴대용 전자기기의 차세대 디스플레이로 주목받고 있으며, 현재 플렉시블 디스플레이에 적용 가능한 박막 소자의 제작 방법에 관한 많은 연구가 진행되고 있다. 특히 다결정 실리콘을 이용한 박막 소자는 전계 이동 효과가 높아 구동회로까지 동일 기판 상에 집적이 가능하므로 플렉시블 디스플레이의 고성능, 고화질의 구현에 매우 유리하다.¹⁾

현재 플렉시블 디스플레이용 박막 소자 제작에 사용되는 다결정 실리콘은 크게 LTPS 기술(low temperature polycrystalline silicon)과 기판전이기술(Layer Transfer)을 이용하여 제조되고 있다. 플라스틱 기판 위에 바로 다결정 실리콘 박막을 형성하고 소자를 제작하는 LTPS 기술은 플라스틱 기판의 낮은 내열성으로 인하여 소자 제작을 위한 전체 공정이 300°C 이하에서 진행되어야 하는 제약이 따르며, 수분에 의한 기판 및 박막의 안정

성 저하 또는 화학 약품에 대한 취약성 등의 문제점을 가진다. 반면에 기판전이기술을 이용한 소자 제작은 내열, 내화학성을 갖는 기판 위에 다결정 실리콘 박막과 소자를 형성하고 기판에서 소자영역을 분리하여 플라스틱 기판으로 전이하므로, 기존의 유리 기판에서 이루어지던 소자 제작공정이 그대로 적용 가능하여 플라스틱 기판으로 인한 공정상의 한계를 극복할 수 있다. 그러나 기판전이기술을 적용하기 위해서는 기판과 소자의 분리를 위한 별도의 공정 또는 분리막(separation layer) 형성이 요구되며, 최근 SUFTLA, 나노 구조 분리층 기술(nano-structured separation layer approach), 유리의 고속 에칭 기술(high-rate glass etching process) 등의 다양한 기판전이기술이 보고되고 있다.²⁻⁴⁾

본 연구에서는 분리막 형성과 같은 추가공정 없이 다결정 실리콘 박막소자의 전이가 가능한 운모(mica)를 기판으로 사용하였다. 운모 기판은 층상구조를 이루고 있어 물리적으로 쉽게 분리되는 특징을 가질 뿐만 아니라, 600°C 미만의 열처리에 안정하여 다결정 실리콘 박막의 형성이 가능하다.⁵⁻⁷⁾ 그러나 운모 표면에서의 박막의 접착력이 매우 약하여 안정적인 소자의 제작이 어려운 문제를 가지고 있다. 따라서, 기판이 가지는 표면 접착력의 취

†Corresponding author

E-Mail : btahn@kaist.ac.kr (B. T. Ahn)

약점을 개선하고 기판의 보호 및 소자 제작공정에서 발생 가능한 열적, 기계적 응력을 완화하기 위하여 $\text{SiO}_x/\text{Ta}/\text{Ti}$ 3층 구조의 버퍼층을 제시하였으며, 최종적으로 이러한 버퍼층을 적용하여 운모 기판 위에 다결정 실리콘 TFT 소자를 제작한 후 플라스틱 기판으로 소자를 전이하였다.

2. 실험 방법

2.1 버퍼층 물질의 선택

운모 기판 표면의 낮은 접착력은 증착된 박막의 갈라짐 및 박리 현상을 유발하며, 이는 소자 제작공정의 안정성 저하를 가져온다. 따라서 이러한 표면 접착력 향상을 위하여 반응성이 큰 물질인 타이타늄(Ti)을 운모 기판 위에 접착층으로 적용하였다. 그리고 Ti 접착층의 화학 반응 및 이로 인한 손상을 방지하기 위하여 탄탈륨(Ta)을 보호층으로 선택하고, 최종적으로 Ti 접착층과 Ta 보호층으로부터 소자가 제작되는 다결정 실리콘 박막으로의 오염을 차단하고 전기적인 차단을 위하여 SiO_x 을 전기적 차단층으로 사용하였다.

또한, 플렉시블 기판을 이용한 소자의 제작 시 기판과 증착물질 간의 급격한 열팽창계수의 차이는 기판의 구부러짐, 박막의 갈라짐 등을 유발할 수 있기 때문에 운모 기판 및 버퍼층 간의 열팽창계수 차이가 적도록 버퍼층 물질을 선정하여야 한다. 이를 위해 TMA(Thermo-mechanical analyzer)를 이용하여 $15 \times 5 \text{ mm}^2$ 크기의 운모 기판의 열팽창계수를 $40 \sim 200^\circ\text{C}$ 범위에서 측정하였다. 본 실험에 사용된 운모 기판은 PET 또는 PES와 같은 플라스틱 기판의 열팽창계수보다 $1/7 \sim 1/5$ 정도 낮은 약 $10 \text{ ppm}/^\circ\text{C}$ 의 열팽창계수를 갖고 있음을 확인할 수 있었다. 또한, Ti, Ta, SiO_x 버퍼층의 열팽창계수는 각각 8.6, 6.3, $3.5 \sim 4.1 \text{ ppm}/^\circ\text{C}$ 로, 운모 기판으로부터 약 $2 \text{ ppm}/^\circ\text{C}$ 정도로 각 층의 열팽창계수가 서서히 감소하여 열팽창계수로 인한 스트레스를 최소화할 수 있도록 설계하였다.

2.2 버퍼층 물질의 형성 및 관찰

운모 기판 표면의 유기물 및 파티클 제거를 위해 증류수에서 2분간 초음파 세척한 후, 아세톤과 메탄올에 장시간을 담가 보관하였다. 그리고 버퍼층 증착 직전에 증류수로 씻어내고 진공상태에서 기판의 수분을 완전히 제거하여 사용하였다.

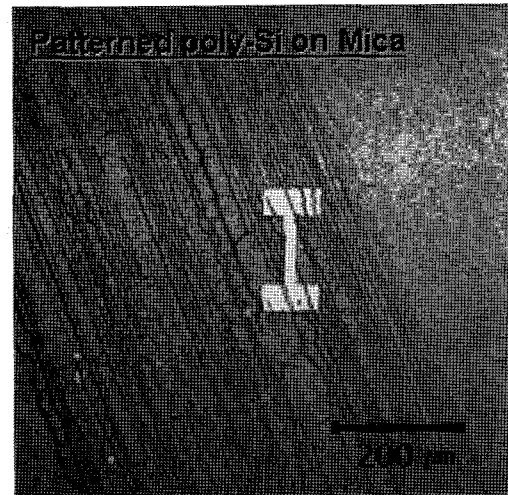
마그네트론 스퍼터링 방법을 이용하여 상온에서 스퍼터링 파워를 150 W로 고정하여 Ti 접착층을 증착하였으며, 공정압력과 증착두께의 변화에 따른 박막의 표면형을 관찰하고 접착층으로써의 적용 가능성을 살펴보았다. 또한, Ti 접착층의 증착 이후 Ta 보호층을 4 mtorr의 공정압력에서 50 nm의 두께로 in-situ 증착하였다. 마지막으로, PECVD를 이용하여 200°C , 400 mtorr의 조건

에서 300 nm의 SiO_x 차단층을 증착하여 $\text{SiO}_x/\text{Ta}/\text{Ti}$ 3층 버퍼층 구조의 시편을 제작하였다.

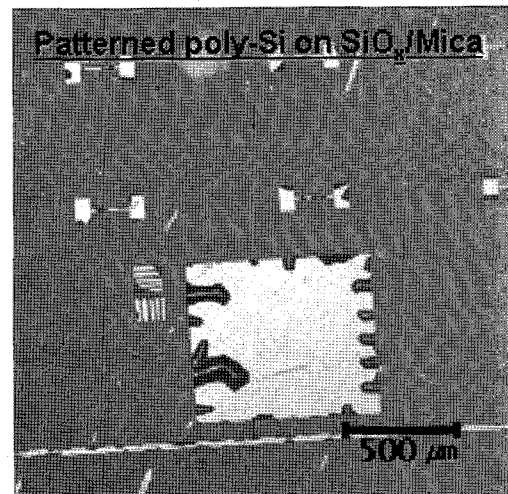
버퍼층의 표면 상태는 광학현미경을 이용하여 관찰하였으며, SEM (PHILIPS XL30SFEG, PHILIPS) 분석으로 단면 구조를 확인하였다. 또한, AFM (SPA-300HV, PSIA)을 이용하여 버퍼층 표면의 거칠기를 측정하고, 버퍼층의 조성 분포를 확인하기 위하여 AES (SAM4300, Perkin Elmer) 분석을 시행하였다.

3. 결과 및 고찰

Fig. 1은 운모 기판 위에 패터닝된 다결정 실리콘 박막(a)과 SiO_x 버퍼층을 적용한 시편 위에 패터닝된 다결정 실리콘 박막(b)의 광학현미경 관찰 사진이다. Fig. 1(a)에서 볼 수 있듯이 운모 기판 위에 다결정 실리콘 박막을 형성하고 패터닝을 하면, 운모 표면이 식각용액 및 기



(a)



(b)

Fig. 1. Optical micrographs of patterned poly-Si (a) on mica and (b) on SiO_x /mica.

타 화학약품에 직접적으로 노출되어 운모 표면이 갈라지거나 심한 굴곡이 생기면서 손상되는 모습이 나타난다. 또한, SiO_x 버퍼층을 사용한 경우(Fig. 1(b))에는 운모 기판에서 SiO_x 버퍼층이 떨어져 그 위에 형성된 다결정 실리콘 박막도 함께 박리되는 현상이 발생하여 더 이상 소자 제작공정의 진행이 어렵다. 일반적으로 플렉시블 디스플레이용 플라스틱 기판을 사용하는 경우에도 소자 제작공정 동안 기판에 직접적으로 가해지는 열적, 화학적 손상을 방지하고, 열팽창에 의한 박막의 잔류응력을 완화시키기 위하여 SiO_x 버퍼층이 사용된다. 그러나 운모 위에서 SiO_x의 접착력은 매우 약하기 때문에, 운모 기판 위에 플렉시블 박막 소자를 제조하기 위해서는 운모와의 접착성을 향상시키면서 운모 표면을 화학적으로 보호할 수 있는 새로운 버퍼층 물질 및 구조가 요구된다.

Fig. 2는 박막 소자 제작 과정에서 피할 수 없는 수분에 대한 노출 및 용액과의 접촉에 대한 박막의 안정성을 살펴보기 위하여, 운모 기판 위에 Ti 박막을 증착하고 이를 DI water에 담근 이후 나타나는 표면 형상을 광학현미경으로 관찰한 사진이다. Ti 박막 증착 시 공정압력은 2, 5, 10, 15, 20 mtorr로 변화시켰으며, 각각 50, 100, 300 nm 두께로 증착하였다. 공정압력에 따라 운모 기판 위에 증착된 Ti 박막의 표면 형상이 확연한 차이를 나타내는 것을 알 수 있다. 2 mtorr의 공정압력에서 증착된 100 nm 이상의 Ti 박막은 운모 기판으로부터 박리되어 매우 불안정한 표면 형상을 나타내는 반면에 5 mtorr 이상의 공정압력 조건에서 증착된 Ti 박막은 그 두께에 상관없이 매끄러운 표면 형상을 보이고 있어 운모 기판에 안정적으로 접착되어 있음을 알 수 있다. 또

한, 2 mtorr의 공정압력에서 증착된 50 nm Ti 박막의 경우 Fig. 2에서는 안정적인 표면 형상을 유지하지만, 그 위에 Ta 박막을 증착한 후속 실험에서 운모 기판과 Ta/Ti 박막이 박리되는 현상을 보여 접착층의 역할을 하지 못하는 것으로 나타났다. 따라서 5 mtorr 이상의 공정압력 조건에서 증착된 Ti 접착층을 운모 기판 위에 형성함으로써 수분에 대한 노출 및 용액과의 접촉에 대한 후속 공정의 안정성을 기대할 수 있다.

Fig. 3는 AFM을 이용하여 다양한 증착압력 조건에서 50, 300 nm 두께로 증착된 Ti 접착층의 표면거칠기를 나타낸 것으로, 1×1 μm²의 영역에서 측정하였다. 공정압력에 따라 50 nm Ti 접착층의 경우, 2 mtorr의 공정압력에서 0.3 nm, 5~10 mtorr의 공정압력에서 약 2.5 nm의 최대 rms 값을 나타내고, 15 mtorr 이상의 공정압력에서는 0.9 nm 이

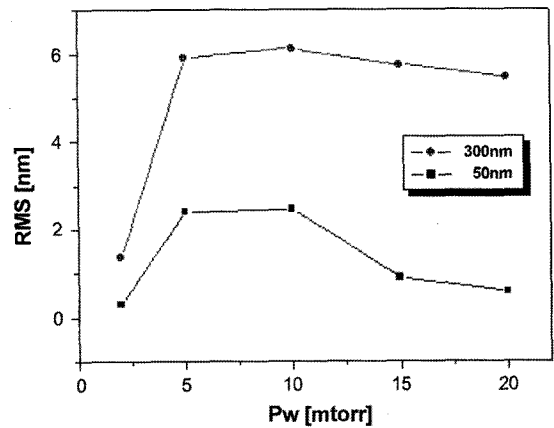


Fig. 3. Surface roughness of the as-deposited Ti films as functions of working pressure and thickness.

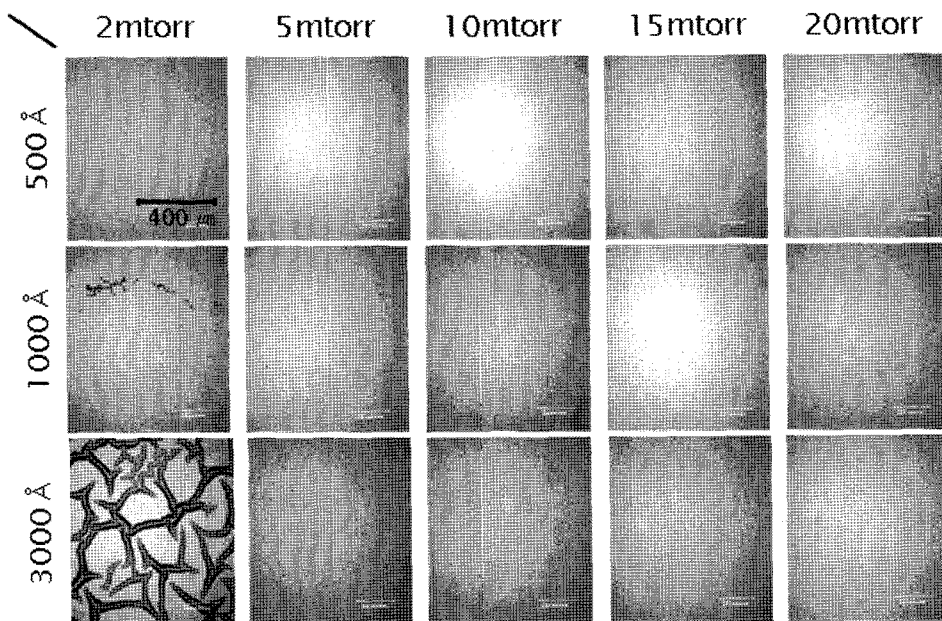


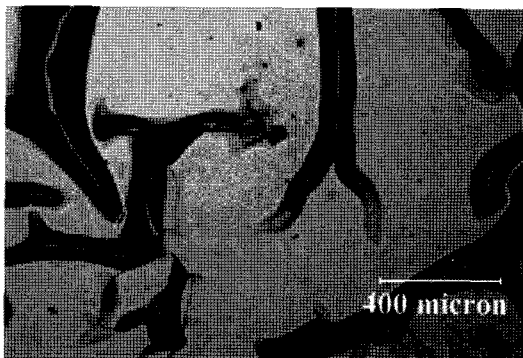
Fig. 2. Optical micrographs of Ti films after dipping in DI water as functions of thickness and working pressure. (100×)

하로 rms 값이 크게 감소하는 것으로 나타났다. 또한, Ti 접착층의 두께가 50 nm에서 300 nm로 증가하면 모든 공정압력 조건에서 표면거칠기가 크게 증가하는 것으로 나타났다. 공정압력에 따른 표면거칠기의 변화는 50 nm Ti 접착층의 경우와 유사한 거동을 나타내었다. 일반적으로 다결정 실리콘 박막 위에 TFT와 같은 박막 소자를 제작함에 있어 실리콘 표면은 가능한 평탄해야하기 때문에 다결정 실리콘 하부에 형성되는 버퍼층인 Ti 접착층 역시 가능한 낮은 표면 거칠기를 가지는 것이 유리하다. 따라서 Fig. 2와 Fig. 3의 결과들로부터 운모 기판과 Ti 접착층의 안정적인 계면접착력과 표면거칠기를 고려하여 15 mtorr 이상의 공정압력에서 50 nm 두께의 얇은 Ti 접착층을 형성하는 것이 좋을 것으로 판단된다.

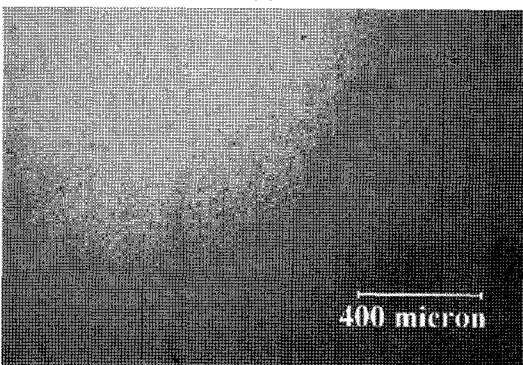
Ti 접착층 위에 바로 다결정 실리콘 박막을 형성하게 되면 후속 공정을 진행함에 따라 실리콘 박막으로의 Ti의 확산으로 인한 오염이 발생할 수 있다. 이처럼 Ti의 확산으로 인한 다결정 실리콘 박막의 오염을 방지하고 전기적인 차단을 위하여 실리콘 산화물(SiO_x) 박막을 차단층으로 적용한 SiO_x/Ti/운모 구조의 시편(Fig. 4(a))과 Ti 접착층과 SiO_x 차단층 사이에 Ta 박막을 증착한 SiO_x/Ta/Ti/운모 구조의 시편(Fig. 4(b))을 제작하였으며, Si 식각용액에 대한 반응을 광학현미경으로 관찰하여 Fig. 4

에 나타내었다. 박막 소자를 제작함에 있어 버퍼층 상단에 형성된 다결정 실리콘 박막은 포토리소그래피 공정에 의해 패터닝되고 이 때 버퍼층은 Si 식각용액에 노출되기 때문에 이에 대한 반응 및 손상 유무를 살펴야 한다. Fig. 4(a)의 SiO_x/Ti 이중 버퍼층을 적용한 시편의 경우 운모 기판 위에 증착된 박막들이 갈라지거나 박리된 형상이 관찰된다. 이는 진공증착법으로 형성된 SiO_x 박막 내부에 다수 존재하는 핀홀과 같은 표면결함을 통하여 Si 식각용액이 하부의 버퍼층인 Ti 접착층으로 스며들기 때문인 것으로 여겨진다.⁸⁾ 특히 Si 식각용액의 주 성분인 질산과 불산은 Ti과 격렬하게 반응하기 때문에 Fig. 4(a)의 SiO_x/Ti 이중 버퍼층을 적용한 시편의 손상은 SiO_x 차단층을 통해 흡수된 Si 식각용액과 Ti의 접촉에 의해 야기된 것으로 판단할 수 있다. 그러나 Fig. 4(b)의 Ta 박막을 적용한 SiO_x/Ta/Ti 3중 버퍼층을 적용한 시편은 박막 표면의 어떠한 손상도 관찰되지 않았으며, 이로부터 Ta 박막은 외부로부터 오는 화학물질에 의한 Ti 접착층의 손상을 방지하는 보호층으로써의 역할이 가능함을 확인하였다.

Fig. 5는 SiO_x/Ta/Ti 3중 버퍼층이 증착된 시편(Fig. 5(a))과 550°C, 15시간의 열처리를 거친 시편(Fig. 5(b))

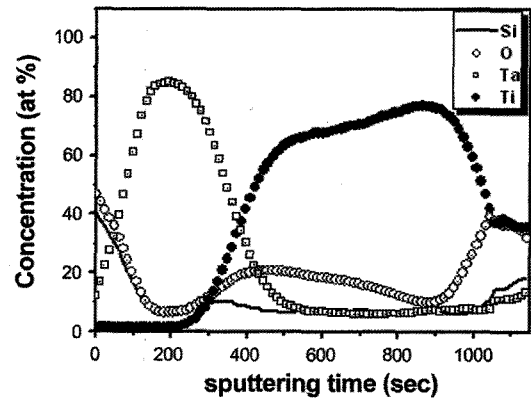


(a)

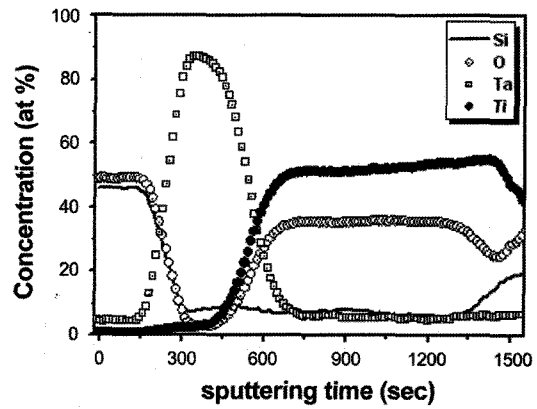


(b)

Fig. 4. Optical micrographs of samples with (a) SiO_x/Ti buffer layers and (b) SiO_x/Ta/Ti buffer layers after dipping in Si etchant.



(a)



(b)

Fig. 5. AES depth profiles of the triple buffer layers (a) deposited on mica and (b) annealed at 550°C for 15 hrs.

의 깊이에 따른 AES 조성 분석 결과이다. 열처리 전, 후의 결과를 비교하여 보면, 장시간의 열처리로 인하여 Ti 접착층 내의 산소 조성은 크게 증가하였으나 Ta 보호층 상부로의 Ti 확산은 전혀 관찰되지 않았다. 이는 Ti 접착층은 열처리 시 산화가 일어나지만, 이러한 산화 현상은 Ta 보호층에 의해 SiO_x 차단층과의 반응은 억제되고 운모 기판과의 반응에 의한 것으로 여겨진다. Ti 박막은 고온 열처리 시 SiO_x와 반응하여 타이타늄 산화물(TiO_x)를 형성하기도 한다. 만약 Ti 접착층 위에 형성된 비정질 실리콘 박막이 600°C 이하의 열처리에 의한 결정화 공정을 거치게 된다면, Ti 접착층과 SiO_x 차단층 간의 반응이 일어나게 되어 각 층이 제 역할을 하지 못하거나, 소자의 액티브 영역인 다결정 실리콘 박막 내로 Ti과 같은 금속 불순물이 확산되어 오염을 일으킬 수 있다. 그러나 Fig. 5의 결과로부터 Ta 보호층에 의해 Ti 접착층과 SiO_x 차단층의 반응을 막고 다결정 실리콘 박막으로의 Ti의 확산을 억제할 수 있음을 확인하였다.

SiO_x/Ta/Ti 3중 버퍼층을 적용한 운모 기판 위에 비정질 실리콘은 증착한 후 결정화하여 다결정 실리콘 박막을 형성하였고, 이러한 시편의 X선 회절 분석(Fig. 6(a))

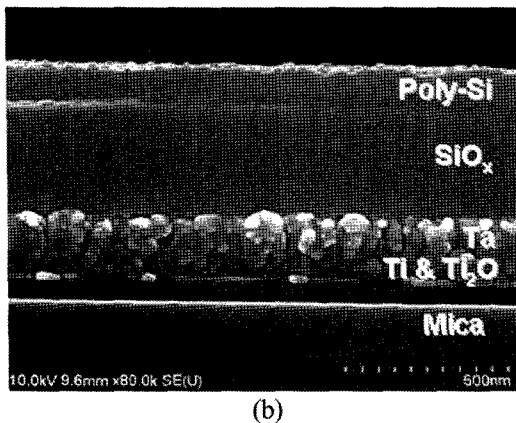
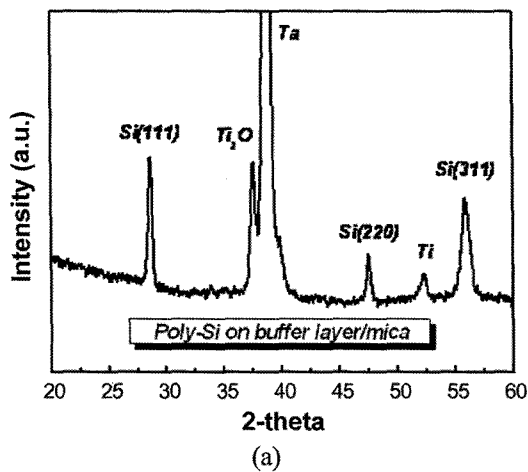


Fig. 6. (a) XRD patterns and (b) cross sectional SEM image of the crystallized Si on the triple buffer layer/mica.

과 단면 SEM 관찰 사진을 (Fig. 6(b))에 나타내었다. 이때 박막 소자의 액티브 영역으로 사용되는 다결정 실리콘 박막은 3중 버퍼층 위에 PECVD 방법으로 300°C에서 비정질 실리콘 박막을 증착하고 소량의 Ni을 함유한 용액을 표면에 도포한 후 550°C에서 15시간 열처리하는 금속유도결정화 방법을 이용하여 형성하였다.⁹⁾ Fig. 6(a)에서 금속유도결정화에 의해 Si (111), (220), (311)의 방위를 나타내는 다결정 실리콘 박막이 형성되었음을 알 수 있으며, 장시간의 열처리에 Ta과 Ti의 반응에 의한 어떠한 Ta-Ti 화합물 상도 관찰되지 않아 Ta이 보호층으로의 안정적인 역할을 하고 있음을 확인할 수 있다. 또한 SiO_x/Ta/Ti 3중 버퍼층을 적용한 운모 기판 위에 다결정 실리콘 박막이 안정적으로 형성된 모습을 Fig. 6(b)의 단면 SEM 사진을 통해 확인할 수 있다.

일반적으로 유리 기판을 기반으로 하는 TFT 소자제작 공정을 적용하여 SiO_x/Ta/Ti 3중 버퍼층을 적용한 운모 기판에 다결정 실리콘 TFT 소자를 제작하였다. Fig. 7(a)

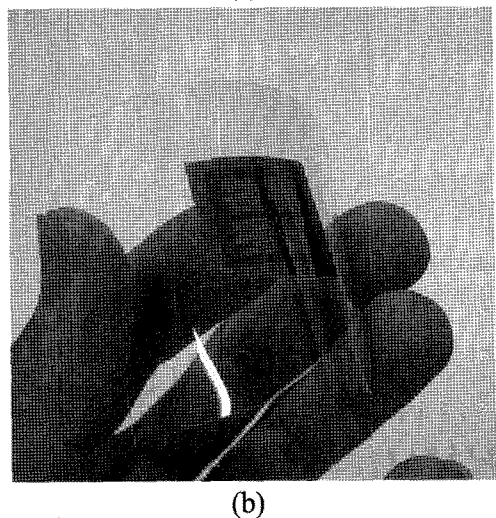
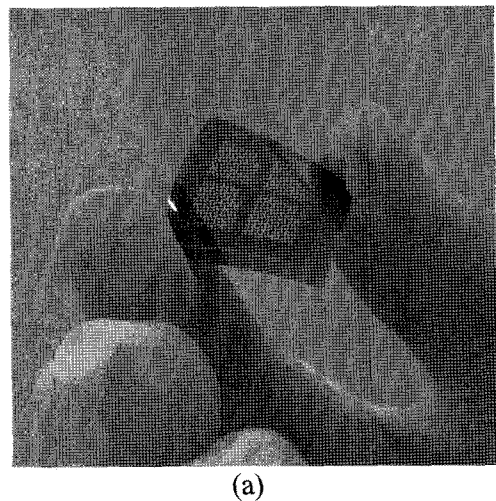


Fig. 7. Photographs of (a) bendable poly-Si TFTs on the buffer layer/mica and (b) TFTs transferred to plastic substrate.

는 모기판인 운모 기판 위에 형성된 소자 영역만을 떼어낸 후 구부린 사진으로, 층상 구조를 가지는 운모 기판은 소자 제작 후 수십 μm 의 최상단 층만 쉽게 떼어낼 수 있을 뿐만 아니라 얇으면서도 유연하기 때문에 그림과 같이 쉽게 구부릴 수가 있다. 또한 Fig. 7(b)는 Fig. 7(a)에 나타난 소자 영역을 PES기판으로 전이한 사진으로, 600°C 미만의 온도에서 형성된 다결정 실리콘 박막 또는 이를 이용한 박막 소자를 플라스틱 기판 또는 다른 플렉시블 소재에 전이하여 그 응용이 가능함을 보여준다.

4. 결 론

유연하면서 내열·내식특성을 갖고 있을 뿐만 아니라 층상구조를 이루고 있어 물리적으로 쉽게 분리가 가능한 운모를 기판전이를 위한 기판 소재로 선택하였다. 운모가 가지는 낮은 표면 결합력으로 인한 박막의 박리 현상을 해결하기 위하여 운모 기판 위에 Ti을 증착하였으며, 15 mtorr 이상의 공정압력에서 50 nm의 두께로 증착하여 안정적인 계면접착력을 가지면서 매끄러운 표면을 가지는 Ti 접착층이 형성됨을 확인하였다. 또한, Ti 접착층과 SiO_x 차단층 사이에 50 nm의 Ta 층을 형성함으로써 열처리 공정 동안의 Ti와 SiO_x 의 반응 및 Ti의 확산을 억제할 뿐만 아니라, SiO_x 내에 존재하는 결함들을 통해 유입된 etchant와의 반응으로 인한 Ti 접착층의 손상을 방지할 수 있었다. 최종적으로 $\text{SiO}_x/\text{Ta}/\text{Ti}$ 3층 구

조의 버퍼층이 적용된 운모 기판 위에 금속유도결정화 방법으로 다결정 실리콘 박막을 형성하고, 플렉시블 디스플레이용 다결정 실리콘 TFT 소자를 제작하여 플라스틱 기판으로 전이하였다.

감사의 글

본 연구는 한국전자통신연구원(ETRI) 정보통신연구개발사업의 지원으로 수행되었습니다.

참 고 문 헌

1. A. Asano and T. Kinoshita, *SID 02 Digest*, 1196 (2002)
2. S. Inoue, S. Utsunomiya, T. Saeki and T. Shimoda, *IEEE Transactions on Electron Devices*, **49**(8), 1353 (2002)
3. Y. C. Lee, H. D. Li and S. J. Fanash, *IEEE Electron Device Letters*, **24**(1), 19 (2003)
4. T. Takechi, T. Enguchi, H. Kanoh, T. Ito and S. Otsuki, *IEEE Transactions on Semiconductor Manufacturing*, **18**(3), 384 (2005)
5. S. Miyake, *Appl. Phys. Lett.*, **65**, 980 (1994)
6. S. Miyake, *Appl. Phys. Lett.*, **67**, 2925 (1995)
7. J. W. Park, J. H. Eom, B. T. Ahn and Y. K. Jun, *Kor. J. Mater. Res.*, **14**(5), 343 (2004)
8. K. R. Williams and R. S. Muller, *J. Microelec. Sys.*, **5**(4), 256 (1996)
9. J. H. Ahn and B. T. Ahn, *J. Electrochem. Soc.*, **148**, H115 (2001)