

논문 2007-44SD-3-8

넓은 주파수 영역 동작의 PLL을 위한 V-I 변환기 설계

(A V-I Converter Design for Wide Range PLL)

홍 동 희**, 이 현 석*, 박 종 욱*, 성 만 영***, 임 신 일**

(Dong Hee Hong, Hyun Seok Lee, Jong Wook Park, Man Young Sung, and Shin Il Lim)

요 약

본 논문은 FPD(Flat Panel Display)용 TCON(Timing Controller) 칩의 PLL에 관한 것이다. 최근 TCON에서는 8~135MHz의 넓은 주파수 영역 동작을 위한 PLL을 요구하고 있다. 이것을 만족시키기 위하여, 새로운 구조의 V-I 변환기 회로를 설계하였다. 새로운 구조의 V-I 변환기는 VCO의 동작 주파수 범위를 결정하는 최소/최대 전류 비율을 최대한 증가시켰고 또한 VCO의 선형성도 보장하였다. 측정 결과 8~135MHz내에서 100ps 근처의 RMS 지터를 가짐으로 FPD용 TCON칩의 IP로 적합한 특성을 가지게 되었다. 설계된 회로는 TSMC 0.25um 1-poly 3-metal CMOS 공정으로 구현하였으며, 2.5V 공급 전원에서 8~135MHz로 동작하도록 설계 하였다.

Abstract

This paper describes the PLL of TCON(Timing Controller) chip for FPD(Flat Panel Display). The recent TCON requires wide range frequency operation of 8~135MHz in PLL. In order to be satisfied this requirement, the new V-I converter circuit. The V-I converter of new architecture increased the minimum/maximum current ratio which widens the operation frequency range of VCO's and also guaranteed linearity of VCO's. The proposed PLL circuits in FPD TCON show the measuring performance of 100ps RMS jitter in the range of 8~135MHz. The designed circuit was fabricated in 1-poly 3-metal 0.25um TSMC process technology and has a operation range of 8~135MHz with 2.5V power

Keywords : VCO, Wide-Range, De-Skew, V-I Converter, PLL

I. 서 론

FPD(flat panel display)용 TCON(timing controller)의 입력 주파수는 통상적으로 스케일러 칩에 의해 고정되는 경우가 많기는 하지만, 기본적으로 넓은 범위에 걸쳐 있고, 이는 곧 TCON 내부 PLL의 입력 클럭의 주파수가 넓은 범위에 걸쳐 있으며, 이 모든 범위 내에서 PLL은 특정 지터 값 이내로 동작을 하여야 한다.

TCON의 입력 주파수는 화면의 해상도와 스케일러 칩의 특성에 의해 결정되며, 일반적으로 컴퓨터의 부팅과

정의 롬 바이오스가 표시되는 환경의 20MHz 대역과 요사이 통상적으로 지원하는 MAX 해상도인 UXGA까지를 지원하기 위한 130MHz 이상의 대역에 걸쳐 있다. 또한 업체에서 요구하는 수준은 8MHz~135MHz의 범위에서의 동작이다. 따라서 최소 주파수와 최대 주파수가 16배 이상의 차이가 나는 범위에서 동작이 가능한 PLL의 설계가 지속적으로 요구되고 있다.

하지만, 기존의 넓은 범위의 입력 주파수 영역에서 동작 가능한 PLL의 설계하기 위하여 V-I 변환기(전압-전류 변환기)의 수정을 가하는 방법은 VCO's(전압 제어 발진기) 이득의 비선형성을 유발시키며, VCO's 이득의 비선형적인 특성은 전체 PLL 특성이 저하되는 현상을 가지고 왔다.

따라서 본 논문에서는 넓은 범위의 입력 주파수 영역에서 동작 가능한 PLL의 설계함에 있어 VCO의 일부분인 V-I 변환기 구조를 새롭게 설계하여 보다 넓은 주파

* 정회원, (주)에이디테크놀로지
(ADTechnology CO.,LTD.)

** 정회원, 서경대학교 컴퓨터공학과
(Dept. of Computer Eng., Seokyeong Univ.)

*** 정회원, 고려대학교 전기공학과
(Dept. of Electrical Eng., Korea Univ.)

접수일자: 2006년11월14일, 수정완료일: 2007년2월21일

수 영역에서의 동작을 확보함과 동시에 VCO's 이득의 선형성을 보장하였다.

V-I 변환기 특성을 개선하여 VCO의 적은 지터(jitter) 특성과, PLL 락킹(locking)이 안정됨에 따라 전체적인 Wide-Range PLL의 성능이 개선되게 하였다.

새롭게 제안한 V-I 변환기는 8MHz~135MHz의 입/출력 특성을 가지는 Wide-Range De-Skew PLL에 적용하였다.

II. 전압-전류 변환기(V-I Converter)

1. Conventional V-I Converter의 동작

일반적인 PLL의 구조는 그림 1과 같다.^[1] PLL은 크게 위상 검출기(PFD), 전하 펌프(Charge Pump), 루프 필터(Loop Filter), V-I 변환기를 포함한 VCO로 구성되어 있으며, 위상 검출기에서 검출한 위상 차이에 해당하는 만큼의 출력이 전하 펌프에서 전류량으로 발생하고, 이 전류량이 루프 필터를 거치면서 전압으로 변경되어, V-I 변환기의 입력으로 인가된다.

기존에 넓은 입력 주파수의 범위에서의 동작하기 위해서는 V-I 변환기에 수정을 가하는 방법이 일반적이며, 이의 기존 기술은 대략 3가지를 언급할 수 있다.

그림 2는 가장 간단한 기존 회로 구성의 예이다.^{[2][3]} NMOS 트랜지스터 M5의 게이트로 인가되는 전하 펌프

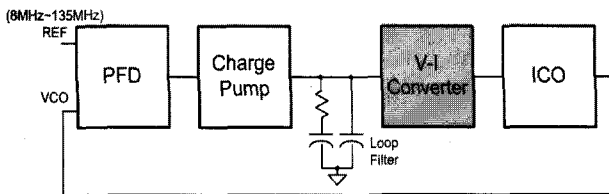


그림 1. 일반적인 de-skew PLL의 블록도
Fig. 1. Block diagram of conventional de-skew PLL.

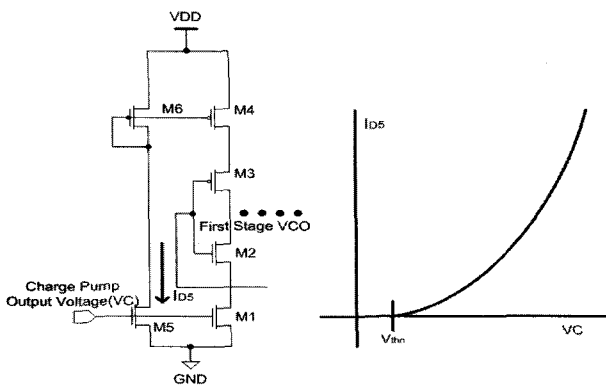


그림 2. 종래의 V-I converter^[3]
Fig. 2. Conventional V-I converter.

의 출력 전압에 의해 V-I 변환기가 동작을 하게 되고, 이 때 ICO에 공급되는 전류량은 수식 (1)에 의해 결정된다.

$$I_{D5} = u_n c_{ox} \frac{W}{L} (V_{GS} - V_{THN})^2 \quad (1)$$

수식 (1)에 의하면 V_{GS} 가 V_{THN} 보다 높은 경우에 전류의 공급이 시작되면, 전류의 특성이 전압의 제곱에 비례하여 변화하게 되므로, VCO의 동작이 비선형특성을 나타나게 되나, 이와 같은 원인에서 상대적으로 넓은 입력 주파수 범위에서 동작할 수 있는 특징을 지니고 있다.

그러나 이 비선형 특성이 PLL의 동작에 미치는 부정적인 영향을 제거하기 위한 노력이 계속 되었으며, 그림 3과 같은 구조가 개발되었다.^[4] 그림 2와의 차이는 M5R 트랜지스터의 소스에 저항을 연결하여, 비선형 특성을 개선하고자 하는 것이었다. 그러나 그림 3 또한 그림 2와 마찬가지로, M5R 트랜지스터의 게이트로 인가되는 차지 펌프 출력 전압이 $V_{THN} + I_R R$ 이상인 경우에만 전류 공급이 시작되며, 게이트 전압인 차지 펌프 출력 전압에 따라, M5R 트랜지스터의 몸체효과(body effect)에 차이가 발생하므로, 선형성을 갖지 못하고 있다.

그림 2와 그림 3의 성능을 개선하기 위하여 기존에 제안된 구조는 그림 4와 같다. Rail-to-rail AMP를 사용함으로써, 0V~VDD까지 전 범위의 차지 펌프 출력 전압을 받아들일 수 있어, 입력 전압의 범위가 넓고, 수식 (2)에 나타낸 바와 같이, 전 입력 범위에서 선형성이 보장된다.

$$I_R = \frac{V_R}{R}, V_C \approx V_R \quad (2)$$

그러나 차지 펌프의 출력 전압에 대해서 즉 PLL의 입력 주파수에 대해 선형적인 특성을 나타내는 그림 4와 같은 구조의 가장 큰 문제점은 입력 주파수의 범위를 넓

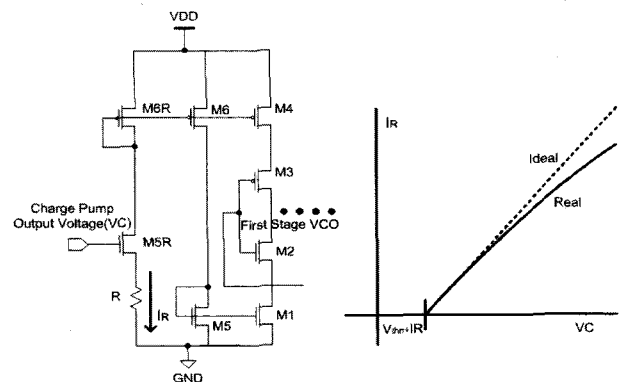


그림 3. 또 다른 종래의 V-I converter^[4]
Fig. 3. Another conventional V-I converter.

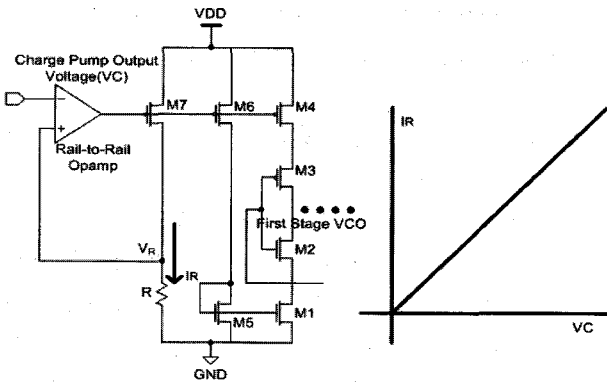


그림 4. 전 영역 전압 동작 증폭기가 추가된 기존의 V-I converter

Fig. 4. Conventional V-I converter with rail-to-rail op-amp.

히는 데 한계가 존재한다는 점이다.

그림 4와 같은 V-I 변환기를 적용하고, 또한 Delay Cell로 Current-Starved Type을 사용하는 VCO의 경우 출력 주파수는 수식 (3)에 의해 결정된다. 여기서 N은 Unit Delay Cell의 Stage수이고 Ctot은 각 Unit Delay Cell에서 바라보는 부하의 합이다.

$$f_{osc} = \frac{I_R}{N \cdot C_{tot} \cdot VDD} \quad (3)$$

나머지 설계 변수가 고정되었을 때, VCO 출력 주파수는 IR에 비례하여 변화하게 된다. 또한 VCO의 동작 가능 주파수의 범위는

$$\frac{f_{MAX}}{f_{MIN}} = \frac{I_{R, MAX}}{I_{R, MIN}} \quad (4)$$

에 의해 결정된다. 수식 (4)에 수식 (2)를 대입하여 정리하면, 수식 (5)과 같이 재정리할 수 있다.

$$\frac{f_{MAX}}{f_{MIN}} = \frac{V_{C, MAX}}{V_{C, MIN}} \quad (5)$$

수식 (5)의 의미는 그림 4와 같은 구조를 적용한 VCO의 경우, 그림 5에 나타낸 바와 같이 저항값 R의 변경으로 인하여, 기울기의 변화를 만들어 낼 수는 있으나, 저항값의 변화가 fMAX와 fMIN의 변화를 초래하지는 못하며, 따라서 본 구조를 사용하여 Wide-Range에서 동작하기 위해서는 VC,MIN을 낮은 전압에 형성하고, VC,MAX를 높은 전압 영역에 형성하는 방법 이외의 대안이 존재하지 않는다. 하지만 이러한 방법에는 차지펌프의 UP/DOWN Current의 전류의 차이, NMOS/PMOS 트랜지스터의 선형구간에서의 동작에 의해 수반되는 2차적인 문제점으로

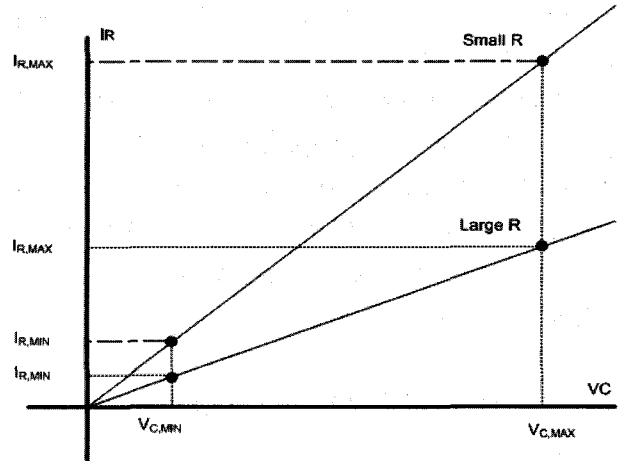


그림 5. R값 변화에 따른 VC와 IR 관계 그래프
Fig. 5. VC vs. IR graph according to R variation.

16배이상의 fMAX/fMIN를 구현하기에는 많은 문제점들이 존재한다.

2. Proposed V-I Converter의 동작

본 논문에서 제안한 V-I 변환기의 설계는 수식 (4)를 기반으로 구현한다. 본 논문의 설계의 목적인 16배 이상의 fMAX/fMIN를 구현하기 위해서는 수식 (4)에서 볼 수 있는 바와 같이 PLL을 구성하고 있는 VCO이외의 회로 블록의 특성에 의해 결정된 VC,MIN과 VC,MAX에서의 IR,MIN과 IR,MAX의 비율을 증가시키는 것이 요구된다.

이를 위해서 그림 6에 도시한 바와 같이, V-I 변환기를 구성하고 있는 저항 R의 변화에 의해 기울기가 변화할 때, 이 저항값의 변화에 무관하게 고정된 차지펌프 출력 전압과 전류 값을 형성하는 Point를 만드는 것이다. 그림 6에서는 저항값의 변화에 무관하게 일정한 값을 가지는 (VC,MIN, IR,MIN)Point를 형성한 경우이다.

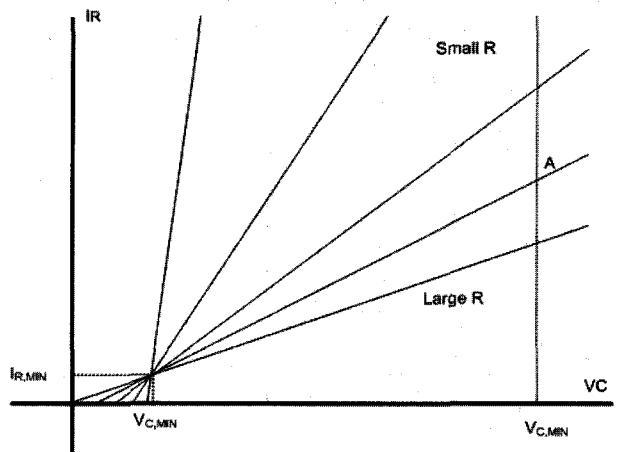


그림 6. 제안한 V-I converter의 VC와 IR 관계 그래프
Fig. 6. Vc vs. IR graph of proposed V-I converter.

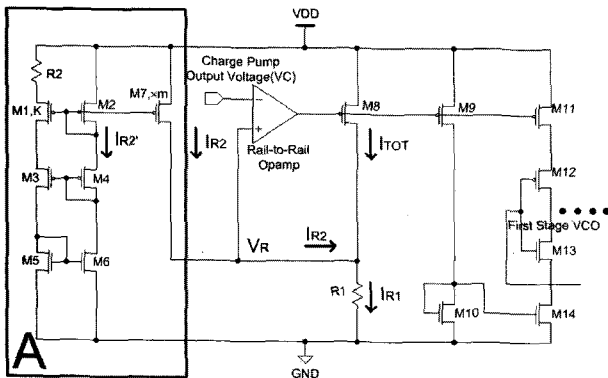


그림 7. 제안하는 V-I converter
Fig. 7. Proposed V-I converter.

며, 이에 의해 작은 저항 값을 사용할 경우, VCO의 출력 주파수의 영역을 넓히는 것이 가능하다.

이 관계를 수식으로 정리하면, 기존의 수식 (2)와 같은 관계를 가지는 V-I 변환기의 특성을 수식 (6)과 같이 변경하는 구조의 설계가 가능하다면, 수식 (7)과 같이 저항 값의 의한 기울기 값인 A 인자를 변화시킴으로써, f_{MAX}/f_{MIN} 의 조정이 가능해 진다.

$$I_R = A \cdot (V_C - V_{C,MIN}) + I_{MIN} \quad (6)$$

$$\frac{f_{MAX}}{f_{MIN}} = \frac{I_{R,MAX}}{I_{R,MIN}} = \frac{A \cdot (V_C - V_{C,MIN}) + I_{MIN}}{I_{MIN}} \quad (7)$$

본 설계에서는 R1이 변화하여 기울기가 변화하는 경우, 그림 6에 도시된 바와 같이 항상 일정한 ($V_{C,MIN}$, $I_{R,MIN}$) 지점을 지나도록 I_{R2} 를 선택하는 방법을 구비함으로써, R1에 의해 기울기의 변화를 유도하고, 이 기울기의 변화가 실질적인 f_{MAX}/f_{MIN} 의 변화로 구현될 수 있는 구조를 개발하였다.

그림 7 블록 A로 표시된 부분은 일반적인 beta Multiplier Bias의 구조이며 그 전류 값은 수식 (8)에 의해 결정된다. V-I 변환기 쪽으로 공급되는 전류인 I_{R2} 는 M7 트랜지스터의 사이즈 비에 의해 조정 가능하다. Delay Cell Unit으로 공급되는 전류인 I_{TOT} 는 수식 (9)와 같이 표시할 수 있으며,

$$I_{R2} = \frac{2}{R_2^2 \cdot \beta_1} \left(1 - \sqrt{\frac{1}{k}}\right)^2 \quad (8)$$

$$I_{TOT} = I_{R1} - I_{R2} = \frac{V_c}{R1} - I_{R2} \quad (9)$$

따라서 그림 4에 도시된 회로에서 VCO의 동작 가능

주파수의 범위를 결정짓는 변수는 R1 저항 값과 M7 트랜지스터의 사이즈가 된다.

저항 R1의 값의 조정을 통해, 그림 3에 도시된 바와 같은 기울기의 변화를 만들어 VCO의 동작 가능 주파수 범위를 조정하며, 각각의 경우 $V_{C,MIN}$ 에서의 전류 값을 $I_{R,MIN}$ 으로 맞추는 역할을 M7의 사이즈 비를 통하여 수행한다.

III. 구현 및 측정

8MHz~135MHz의 넓은 범위에서 동작하는 wide-range de-skew PLL은 TSMC 0.25um 1-Poly 3-Metal CMOS공정으로 설계 되었으며, 전원 전압은 2.5V이다. 우선 P.V.T(process, voltage, temperature) 환경을 고려하여, 2.5V 공급전원, 온도 25°C에서 6MHz~200MHz가 되도록 설계하였다.

그림 8에 도시한 자료는 V-I 변환기에 대한 simulation 자료로서, 가로축은 차지펌프의 출력 전압 세로축은 V-I 변환기에 의해 생성되어 delay unit에 공급되는 전류량을 나타내고 있다.

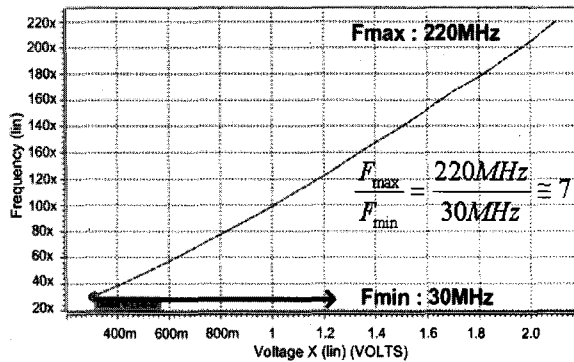
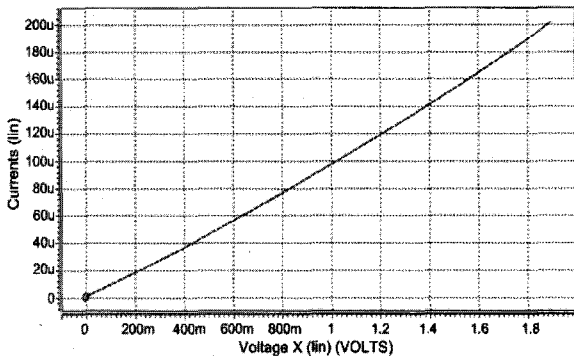
2.5V 전원으로 동작할 경우 $V_{C,MIN}$ 을 0.3V 부근으로 설정할 경우, 그림 8(a)에 도시된 기존의 구조에서는 약 7배 정도의 f_{MAX}/f_{MIN} 의 값을 얻을 수 있는 반면 그림 8(b)에 도시된 제안된 구조에서는 30배 이상의 f_{MAX}/f_{MIN} 의 값의 구현이 가능하였다.

제작된 칩에 VGA 출력 신호를 Clock Source로 하여, 지터를 측정하였다.

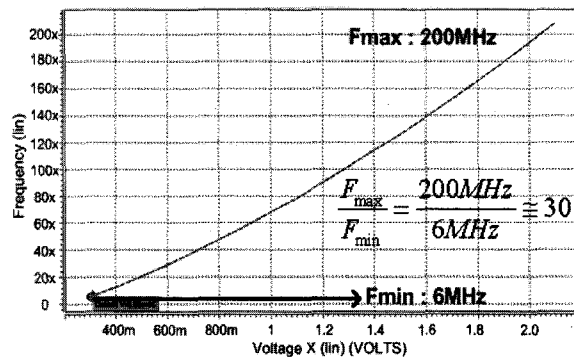
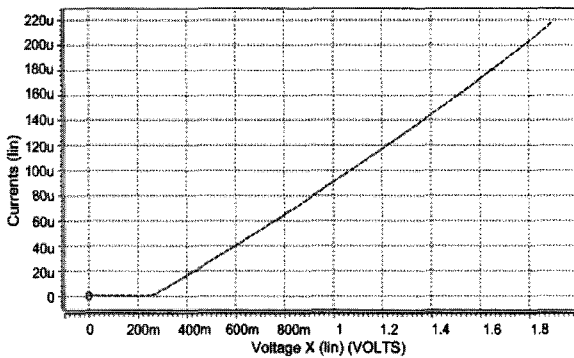
지터의 측정은 Lecroy LT374M 장비를 이용하여 수행하였으며, 특정 레벨에서의 주기에 대한 히스토그램과 특정레벨에서의 delta period의 히스토그램을 산출하여, 그 분포에 대한 RMS값과 peak-to-peak 값을 관측하는 방법을 사용하였다. 이는 period 지터와 cycle-to-cycle 지터에 상응한다고 알려져 있다.

FPD용 응용에서 주로 사용하는 영역인 20MHz, 85MHz, 135MHz에서 Period 지터를 측정할 결과 RMS 지터 특성은 90ps@20MHz, 116ps@85MHz, 66ps@135MHz로 분석 되었다.

지터의 측정 결과를 분석할 때, 최대 135MHz으로 동작 시 최소 데이터 크기(width) 약 1.058ns의 10%이내 값을 지터 특성을 가짐으로, FPD용 TCON칩의 IP로 사용 시 우수한 성능을 갖게 된다.



(a)



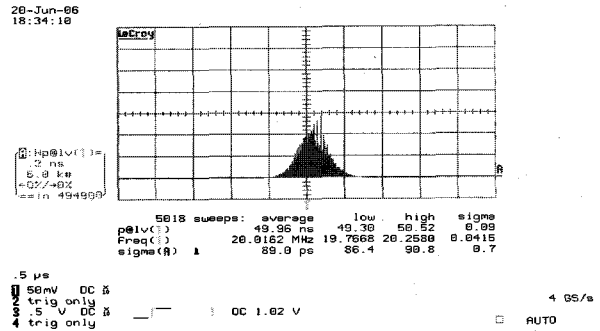
(b)

그림 8. (a) 종래 V-I converter 시뮬레이션 결과 (그림 4)

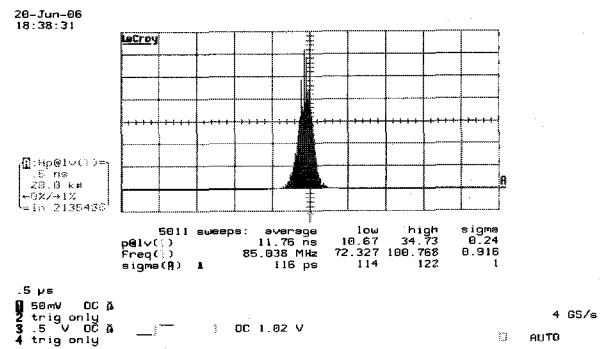
(b) 제안한 V-I converter 시뮬레이션 결과

Fig. 8. (a) Simulation result of conventional V-I converter. (Fig 4)

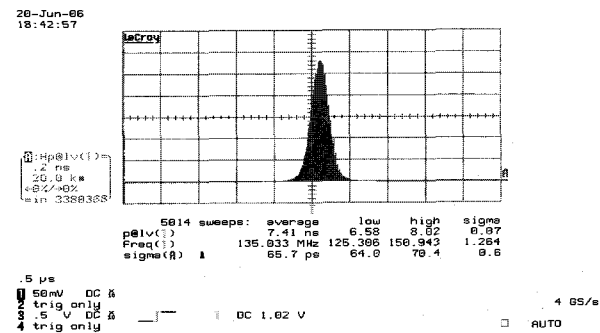
(b) Simulation result of proposed V-I converter.



(a)



(b)



(c)

그림 9. (a) 20MHz Period Jitter(90ps) (b) 85MHz Period Jitter(116ps) (c) 135MHz Period Jitter(60ps)

Fig. 9. (a) 20MHz Period Jitter(90ps) (b) 85MHz Period Jitter(116ps) (c) 135MHz Period Jitter(60ps).

표 1. 성능 요약

Table 1. Performance summary.

Process	0.25um 1-Poly 3-metal TSMC CMOS Technology
Supply Voltage	2.5V ± 10%
Input Frequency Range	8 ~ 135 MHz
Operating Input Frequency Range	8 ~ 135 MHz
Period-to-Period jitter (RMS)	90ps @ 20MHz 65ps @ 85MHz 100ps @ 135MHz
Core Area	350 um x 250 um w/o PADS
Current Consumption	3.5mA @ 85MHz 2.5V

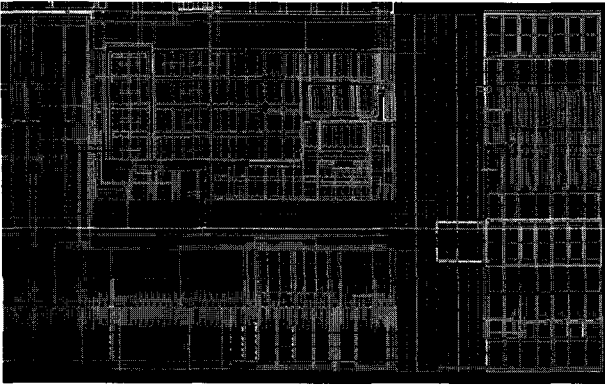


그림 11. Wide-range de-skew PLL 레이아웃
(350um×250um)

Fig. 11. Layout of wide-range de-skew PLL
(350um×250um).

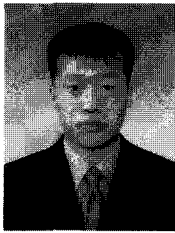
IV. 결 론

본 논문에서는 Wide-Range(8MHz~135MHz) PLL의 특성을 가지는 PLL을 구현하였다. 이를 위해 동작 주파수의 범위를 결정짓는 최소전류와 최대전류의 비율을 증가시켰다. 기울기에 무관하게 원점을 지나는 기존의 방식에서 기울기에 무관하게 특정 지점을 지나도록 하였다. 이 특정 지점을 최소주파수의 시작점으로 하는 새로운 V-I 변환기를 설계함으로써, 간편하게 Wide-Range에서 동작이 가능한 PLL을 설계할 수 있었다.

참 고 문 헌

- [1] J. G. Maneatis, "Low-jitter and process-independent DLL and PLL based on self-biased techniques," *IEEE J. Solid-State Circuits*, vol. 31, pp. 1728-1732, Nov. 1996.
- [2] I. A. Young, J. K. Greason, and K. L. Wong "A PLL Clock Generator with 5 to 110MHz of Lock Range for Microprocessors," *IEEE Journal of Solid-State Circuits*, Vol. SC-27, pp. 1599~1607, November 1992. Presents the practical design of a CMOS delay element.
- [3] V. V. Kaenel et. al., "A 320 MHz, 1.5 mW @ 1.35V CMOS PLL for Microprocessor Clock Generation," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 1 pp. 1599-1607, NOV. 1992.
- [4] R. Jacob Baker, Harry W. Li, David E. Boyce "CMOS Circuit Design, Layout and Simulation," IEEE Press. Second Edition, pp.564-565, 2005.

저자 소개



홍 동 희(정회원)
 2001년 서경대학교 컴퓨터공학과 졸업(공학사)
 2002년~현재 (주)에이디테크놀로지 선임연구원
 2006년~현재 서경대학교 컴퓨터공학과 석사과정

<주관심분야 : 아날로그 IC설계, 혼성회로 칩 설계, ADC/DAC 설계 평판디스플레이 구동회로>



이 현 석(정회원)
 1993년 고려대학교 전기공학과 졸업(공학석사)
 1993년~1995년 삼성전자 주임연구원
 1995년~1997년 고려대학교 전기공학과 박사과정 수료

1997년~2003년 (주)더즈텍 수석연구원
 2005년~현재 (주)에이디테크놀로지 수석연구원
 <주관심분야 : 고속직렬통신회로, 센서인터페이스회로>



박 중 옥(정회원)
 1992년 고려대학교 전기공학과 졸업(공학석사)
 1992~1997년 삼성전자 선임연구원
 1997년~2002년 (주)더즈텍 수석연구원

2004년~현재 (주)에이디테크놀로지 연구소장
 <주관심분야 : 평판디스플레이 구동회로, 센서인터페이스회로>



성 만 영(정회원)
 1977년 고려대학교 전기공학과 졸업(공학석사)
 1981년 고려대학교 전기공학과 졸업(공학박사)
 1986년~1988년 Associate Professor at University of Illinois at Urbana-Champaign

1989년~현재 고려대학교 전기전자전파공학부 교수
 1991년 Visiting Scientist at Royal Institute of Technology (Sweden)
 1997년 Visiting Professor at University of Illinois at Urbana-Champaign
 2004년 한국전기전자재료학회 학회장
 <주관심분야 : 전력용반도체, 화합물반도체, 나노반도체, 박막트랜지스터>



임 신 일(정회원)
 1980년 2월 서강대학교 전자공학과 졸업(공학사)
 1983년 2월 서강대학교 대학원 전자공학과 졸업(공학석사)
 1995년 8월 서강대학교 대학원 전자공학과 졸업(공학박사)

1982년 2월~1991년 1월 한국전자통신연구원 (ETRI) 선임연구원
 1991년 1월~1995년 2월 전자부품연구원 선임연구원
 1995년 3월~현재 서경대학교 컴퓨터공학과 부교수
 <주관심분야 : 아날로그 IC설계, 혼성회로 칩 설계, ADC/DAC 설계, 통신용 IC설계>