0.18 um CMOS 공정을 이용한 UWB 스위칭-이득제어 저잡음 증폭기 설계

A Design of Ultra Wide Band Switched-Gain Controlled Low Noise Amplifier Using 0.18 um CMOS

정 무 일 · 이 창 석

Moo-Il Jeong · Chang-Seok Lee

요 약

본 논문에서는 CMOS 0.18 um 공정을 이용하여 UWB(Ultra Wide Band) 시스템의 3.1~4.8 GHz 대역에서 사용할 수 있는 스위칭-이득 제어 저잡음 증폭기를 설계하였다. 높은 이득 모드에서 전력 이득은 12.5 dB, IIP3는 0 dBm, 소비 전류는 8.13 mA로 측정되었으며, 낮은 이득 모드에서는 전력 이득 −8.7 dB, IIP3는 9.2 dBm, 소비 전류는 0 mA로 측정되었다.

Abstract

A switched-gain controlled LNA is designed and implemented in 0.18 um CMOS technology for 3.1~4.8 GHz UWB system. In high gain mode, measurement shows a power gain of 12.5 dB, an input IP3 of 0 dBm, while consuming only 8.13 mA of current. In low gain mode, measurement shows a power gain of −8.7 dB, an input IP3 of 9.1 dBm, while consuming only 0 mA of current.

Key words : UWB(Ultra Wide Band), CMOS, LNA(Low Noise Amplifier), Gain Controlled

Ⅰ. 서 론

2002년 FCC에서는 중심 주파수의 20 % 이상의 점유 대역폭을 가지는 신호 또는 점유 대역폭과 상관없이 500 MHz 이상의 대역을 갖는 신호를 UWB 신호로 규정함으로써 기존의 다양한 통신 기술과 접목이 가능해졌다. UWB 통신 방식으로는 MB-OFDM (Multi-Band Orthogonal Frequency Division Multiplexing) 변조 방식과 DS-UWB(Direct Sequence UWB) 방식 등의 연구가 진행 중이다. MB-OFDM UWB 방식은 1개의 대역이 528 MHz인 14개 대역의 다중 대역을 사용하며 3.1~4.8 GHz 대역의 3개 대역을 필수 대역으로 사용하고 있다. DS-UWB 방식은 1.2 GHz 이상의 광대역을 상 · 하 대역으로 나누어 DS 기술을 사용하여 신호 확산 방식을 채택하고 있으며 3.1~4.8 GHz의 낮은 대역을 필수대역으로 사용하고 있다[1]. 이러한 UWB 통신을 위해 CMOS를 이용한 광대역 저잡음 증폭기 연구가 활발히 진행 중이다. 1990년대 중반부터 화합물 반도체가 아닌 CMOS를 이용한 연구가 꾸준히 증가하여 오늘날 대부분의 시스템에서는 증폭기의 상당 부분을 CMOS로 제작하고 있다. RF(Radio Frequency)증폭기를 CMOS로 제작하게 되면 집적도를 높이고 비용과 소비 전력을 줄이는 한편 CMOS 공정만으로 SoC(System on Chip)

「이 연구는 2006학년도 삼성종합기술연구원 및 삼성전기 연구비의 지원으로 연구되었음.」

「본 논문은 2단계 BK21사업의 지원에 의하여 연구되었음.」

한밭대학교 전파공학과(Department of Radio Science & Engineering, Hanbat University)

· 논 문 번 호 : 20061228-163

· 수정완료일자 : 2007년 3월 21일

을 구성할 수 있는 장점이 있다.

CMOS를 이용한 광대역 저잡음 증폭기의 구조로는 궤환 구조[2],[3], 공통 게이트 구조[4] 그리고 BPF (Band Pass Filter)형 입력 매칭 구조[5],[6]가 주로 사용되고 있다.

궤환 구조는 입력 매칭이 용이하지만 이득과 잡음지수가 저하되는 단점이 있으며, 공통 게이트 구조는 전력 소비가 크고 이득이 작은 단점이 있으며, BPF형 입력 매칭 구조는 이득과 잡음지수 특성이 우수한 반면 사이즈가 커지는 단점이 있다.

본 논문에서는 궤환 구조와 BPF 구조를 병행하여 사용함으로써 정합 회로의 사이즈를 줄이면서 이득과 잡음 특성을 개선할 수 있는 구조를 채택하였으며 시스템 전체 다이내믹 레인지를 높이기 위해 스위치 제어를 통해 낮은 이득 모드를 두어 설계 및 제작하였다.

Ⅱ. 광대역 저잡음 증폭기 설계

일반적인 RF시스템은 크게 송신부와 수신부로 나눌 수 있는데, 그림 1에 나타낸 바와 같이 저잡음 증폭기는 수신부의 앞부분에 위치하게 한다. 저잡음 증폭기는 수신기 앞단에 위치하여 안테나로부터 RF 신호를 처음으로 받아들이는 수신기 부분으로서 높은 이득과 낮은 잡음지수를 요구한다. 저잡음 증폭기 설계 시 고려 사항으로는 잡음지수, 이득, 선형성, 전력 소모 등이 있으며 적절한 최적화가 필요하다.

UWB 낮은 대역인 3.1~4.8 GHz에서 사용되고 있는 저잡음 증폭기의 이득은 10~15 dB 내외, 잡음지수는 2~5 dB, IIP3는 −10 dBm 이상을 갖는다[2]~[6]. 이러한 논문을 토대로 저잡음 증폭기 설계 목표는 UWB 낮은 대역인 3.1~4.8 GHz의 주파수에서 이득 15 dB 이상, 잡음지수 3 dB 이하, IIP3는 −5 dBm 이상, 그리고 소비 전력은 20 mW 이내로 설정하였다.

그림 2에 광대역에서 가장 일반적으로 사용되는 저항 종단 공통 소스 증폭기, 궤환 증폭기 그리고 공통 게이트 증폭기의 기본 구조를 나타냈다[7].

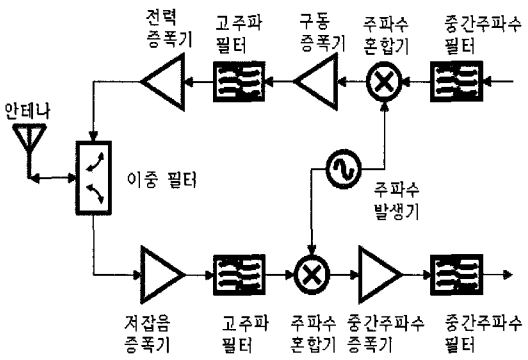
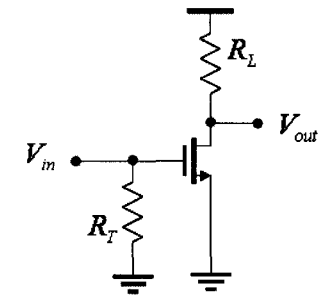
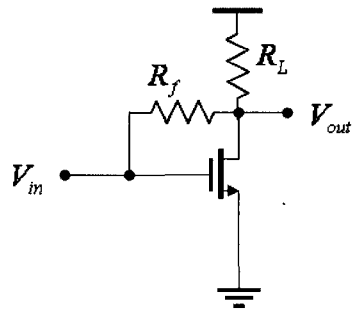


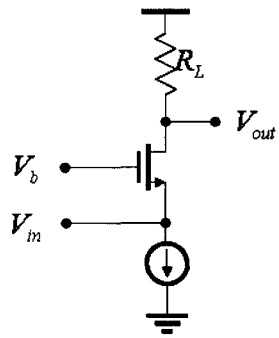
그림 1. 일반적인 RF 시스템 블록 다이어그램
Fig. 1. A block diagram of conventional RF systems.



(a) 저항종단 공통 소스 증폭기
(a) Resistor-terminated common source amplifier



(b) 궤환 증폭기
(b) Feedback amplifier



(c) 공통 게이트 증폭기
(c) Common-gate amplifier

그림 2. 일반적인 광대역 증폭기
Fig. 2. Common wide-band amplifiers.

그림 2(a)는 저항 종단 공통 소스 증폭기로 입력단에 R_T를 50 Ω으로 종단 처리함으로써 초광대역 특성을 가진다. 그러나 저항 R_T가 입력 신호의 감소와 열잡음을 발생시키며, 잡음지수가 6 dB를 넘는 단점이 있다. 그림 2(b)에 궤환 증폭기를 나타냈다. 궤환 증폭기는 궤환 저항 R_f이 작으면 광대역 정합에 유리하지만 이득과 잡음지수가 저하되는 특성이 있어 적절한 값이 요구된다. 그림 2(c)의 공통 게이트 증폭기는 입력 임피던스가 낮아 ($Z_{in} \cong 1/g_m$) 광대역 정합에 용이하지만 전류 이득이 없어 전력 이득이 작고 잡음지수가 4 dB를 넘는 단점이 있다[2]. 이러한 것을 고려할 때 궤환 방식의 증폭기에 궤환 저항 R_f를 최적화함으로써 광대역 특성과 저잡음 특성을 최적화 하는 것이 증폭기의 전체 성능지수를 높일 수 있는 방법이 됨을 알 수 있다.

그림 3에 본 논문에서 채택한 cascode 방식의 궤환 증폭기 회로도를 나타냈다. Cascode 방식은 공통 소스 트랜지스터(M_1)의 드레인 단자가 낮은 임피던스를 갖는 공통 게이트 트랜지스터(M_2)의 소스 단자에 연결되어 트랜지스터(M_1)의 드레인-게이트 간 커패시터에 의한 고주파 특성 저하를 억제할 수 있으므로 광대역 증폭기에 적합한 구조이다. 이 때 사용한 트랜지스터(M_1, M_2)의 크기는 길이 0.18 um에 폭이 2.5 um 그리고 핑거 수는 64개이다. 이득과 입력 정합을 고려하여 궤환 방식에서는 궤환 저항이 작아짐에 따라 개선된 안정도와 광대역의 정합 특성을 가질 수 있으나 잡음지수 특성과 이득 특성이 저하되므로 이들 특성을 동시에 고려하여 궤환 저항의 최적화가

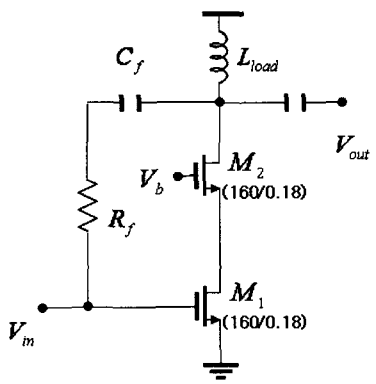


그림 3. Cascode 궤환 저잡음 증폭기
Fig. 3. A cascode feedback low noise amplifier.

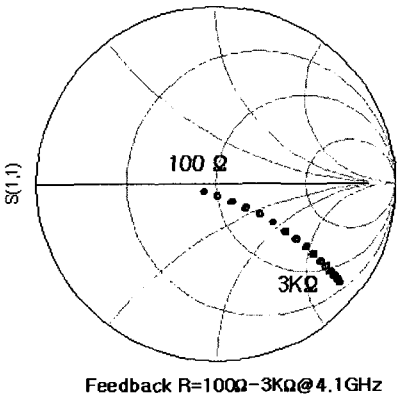


그림 4. 궤환 저항에 따른 입력단 정합
Fig. 4. The reflection coefficient with respect to feedback resistance.

요구된다.

그림 4에 궤환 저항에 따른 입력단 정합를 나타냈다. 궤환 저항이 작아질수록 입력단 임피던스가 낮아지며 따라서 Q(Quality factor)도 낮아짐을 알 수 있다.

$$Q = \frac{f_o}{BW} = \frac{|X|}{R} = \frac{|B|}{G} \tag{1}$$

식 (1)에서 f_o는 중심 주파수이며, BW는 주파수 대역폭이다. 대역폭을 증가시키기 위해서는 단위 증폭 소자의 입력단 Q가 낮아야만 하며, 중심 주파수 4 GHz에서 2 GHz 이상의 대역폭을 얻기 위해서는 Q가 2 이하인 증폭 소자가 필요하다. 그림 5는 궤환 저항 값에 따른 Q, 최대 가용 이득(Gain_Max), 최소 잡음지수(NF_min)을 나타내었다[8]. 입력단 Q를 2 이하로 하기 위해서는 궤환 저항이 1.8 kΩ 이하가 되어야 하며, 최대 가용 이득을 15 dB 이상 얻기 위해서는 궤환 저항이 1.2 kΩ 이상이 되어야 하고, 최소 잡음지수가 2 dB 이하가 되도록 하기 위해서는 궤환 저항이 700 Ω 이상이 되어야 함을 알 수 있다. 본 설계에서는 3가지 요소를 고려하여 적절한 궤환 저항 값을 1.5 kΩ으로 결정하였다.

입력 정합을 위해 BPF(Band Pass Filter)구조[5],[6]의 LC 직병렬 공진 회로를 이용하여 광대역 정합을 하였으며, 그림 6에 그 구조를 나타냈다. 병렬 공진 회로는 X_L와 X_C로 구성하였으며 직렬 공진 회로는 L_g와 C_{gs}로 구성되며, C_{gs}는 그림 3의 공통 소스 트랜지

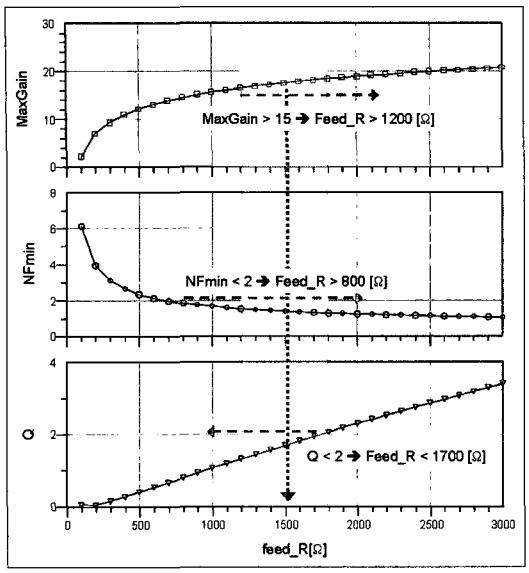


그림 5. 궤환 저항에 따른 Q, Maxgain, NFmin
Fig. 5. Q, Maxgain, NFmin vs feedback resistance.

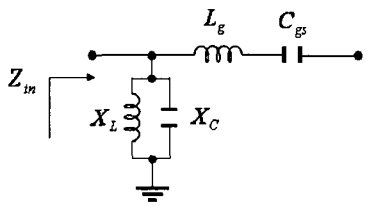


그림 6. BPF 구조의 광대역 정합 구조
Fig. 6. Wide-band matching with a BPF structure.

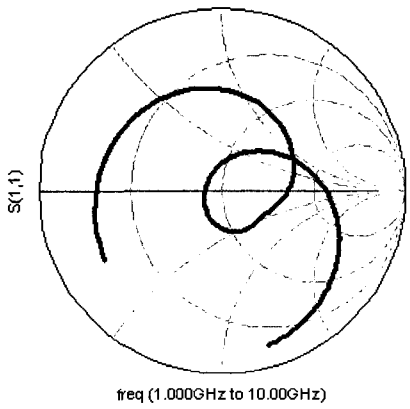


그림 7. 매칭 후의 입력단 정합
Fig. 7. Reflection coefficient of the matched input.

스터(M_1)의 게이트-소스 커패시터다. 입력 임피던스

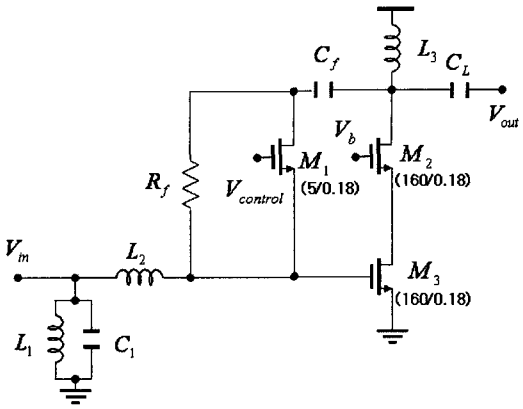


그림 8. 설계된 저잡음 증폭기 회로도
Fig. 8. The designed low noise amplifier.

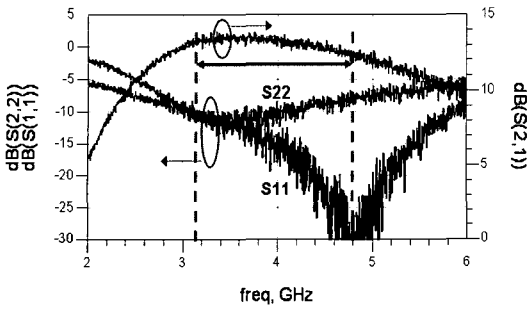
Z_{IN}은 사용 주파수 전 영역에 걸쳐 필터와 같이 보이게 되므로 그림 7에 나타난 것처럼 입력단 정합회로는 공진 주파수에서 원을 그리며 광대역 정합이 된다.

그림 8는 설계된 광대역 저잡음 증폭기의 회로도이다. 광대역 정합을 위하여 cascode 구조의 궤환회로를 이용하여 입력 정합을 용이하게 하고 단순한 LC BPF 회로를 구성하여 전체 정합을 하였으며 출력은 단순한 LC 정합을 하였다. 잡음 최적화와 선형성을 위해 트랜지스터(M_2, M_3)의 크기를 결정하였으며, 낮은 이득 모드를 위해 트랜지스터(M_1)을 두어 큰 입력 신호가 인가되었을 때 바이패스할 수 있도록 하여 전체 시스템 다이내믹 레인지를 높였다. 트랜지스터(M_1)의 사이즈는 높은 이득 모드와 낮은 이득 모드에서 이득과 잡음지수에 직접적인 관계가 있어 적절한 사이즈로 최적화 하였다.

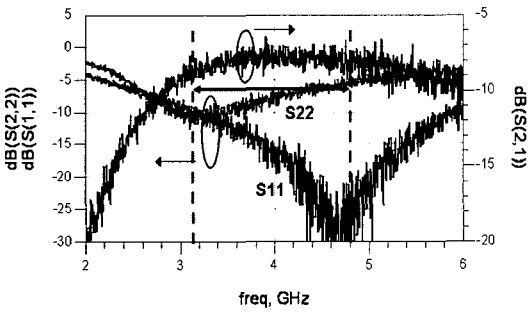
Ⅲ. 모의실험 및 측정 결과

본 논문에서는 TSMC 0.18 μm RF CMOS 공정을 이용하여 저잡음 증폭기를 설계 및 제작하였다. 측정은 probe station을 사용하였으며, 측정을 위해 바이어스와 전원 전압은 GPG probe를 입출력은 GSG probe를 사용하였다. Probe station으로 추출된 값은 회로망 분석기에 의해 s2p 파일로 변환되어 ADS에서 분석하였다.

그림 10은 저잡음 증폭기의 S-parameter 측정치를 나타내었다. 그림 9(a)의 높은 이득 모드에서 입력 정



(a) 높은 이득 모드
(a) High gain mode

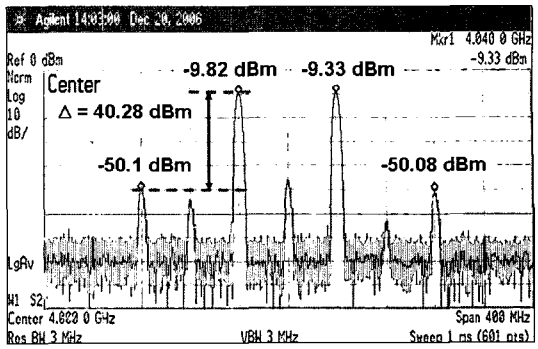


(b) 낮은 이득 모드
(b) Low gain mode

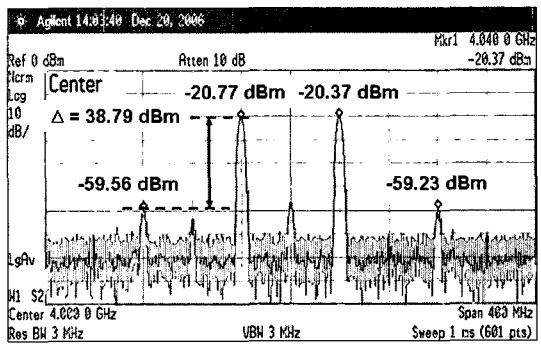
그림 9. 저잡음 증폭기 측정 결과
Fig. 9. Measured performance of the LNA.

합은 −10 dB 이하, 출력 정합은 −8.2 dB로 이하, 이득은 3.1~4.8 GHz에서 12.5~13.4 dB로 측정되었다. 그림 9(b)의 낮은 이득 모드에서 입력 정합은 −10 dB 이하, 출력 정합은 −6.3 dB로 이하, 이득은 3.1~4.8 GHz에서 −8.7~−7.2 dB로 측정되었다. 그림 11는 IMD(Inter-Modulation Distortion) 측정 결과를 나타내었다. 그림 10(a)는 높은 이득모드에서 중심 주파수 4 GHz에서 주파수 편차 ±40 MHz로 각각 4.04 GHz와 3.96 GHz에 입력 파워 −20 dBm으로 측정하였으며, 그림 10(b)는 낮은 이득 모드에서는 같은 주파수에 입력 파워 −10 dBm으로 측정하였다. 높은 이득 모드와 낮은 이득 모드에 입력 IP3(3rd Intercept Point)은 각각 0 dBm와 9.2 dBm으로 계산되었다. 그림 11에 높은 이득 모드에서 잡음 지수 측정치를 나타내었다. 높은 이득 모드와 낮은 이득 모드에서 각각 5 dB와 11 dB 이하로 측정되었다.

그림 12에 제작된 저잡음 증폭기 chip 사진을 나타내었다. 제작된 칩의 크기는 0.9 mm×1.05 mm이다.



(a) 높은 이득 모드
(a) High gain mode



(b) 낮은 이득 모드
(b) Low gain mode

그림 10. 저잡음 증폭기 IMD 측정 결과
Fig. 10. Result of IMD test measurement of the LNA.

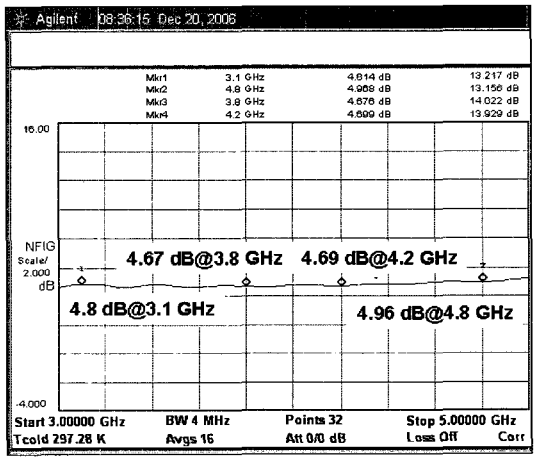


그림 11. 저잡음 증폭기 잡음지수 측정 결과
Fig. 11. Result of NF measurement of the LNA.

표 1은 설계된 저잡음 증폭기의 설계치와 측정치를 비교하였다. 저잡음 증폭기 높은 이득 모드 설계치

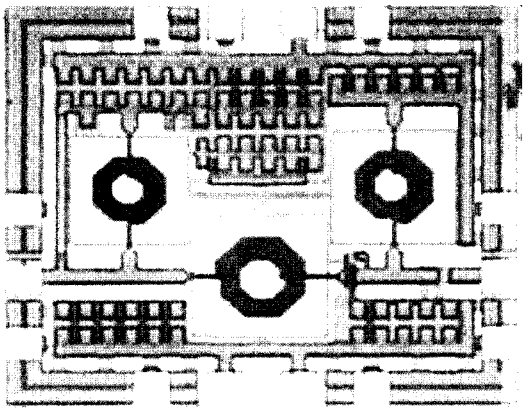


그림 12. 제작된 저잡음 증폭기 chip 사진
Fig. 12. Microphotograph of the LNA chip.

표 1. 저잡음 증폭기 성능지수
Table 1. Summary of the LNA.

항목	높은 이득모드		낮은 이득모드	
	설계치	측정치	설계치	측정치
주파수 [GHz]	3.1~4.8		3.1~4.8	
S_{11} [dB]	< −10	< −10	< −10	< −10
S_{22} [dB]	< −9.1	< −8.2	< −6.1	< −6.3
잡음지수 [dB]	< 2.9	< 5	< 8.7	< 11
Gain [dB]	> 14.3	> 12.5	> −7.8	> −8.7
IIP3 [dBm]	−1	1	8.5	9.2
전원전압 [V]	1.8	1.8	1.8	1.8
소비전류 [mA]	8.14	8.13	0	0

이득은 14.3 dB 이상, 입출력 정합은 각각 −10 dB와 −9.1 dB 이하이며, 잡음지수는 2.9 dB 이하 그리고 입력 IP3는 −1 dBm이다. 그러나 측정치 이득은 12.5 dB 이상, 입출력 정합은 각각 −10 dB와 −8.2 dB 이하이며, 잡음지수는 5 dB 이하 그리고 입력 IP3는 1 dBm으로 설계치보다 전체적인 성능 저하를 나타내고 있다. 이는 저잡음 증폭기의 레이아웃상의 입력측 파라스틱 저항과 커패시터에 의한 신호 감쇠로 인하여 2 dB 이득 저하와 2 dB 잡음지수 저하가 나타났으며 또한 이득 감쇠로 인하여 입력 IP3은 1 dB 개선된 특성이 측정되었다.

저잡음 증폭기 낮은 이득 모드 설계치 이득은 −7.8 dB 이상, 입출력 정합은 각각 −10 dB와 −6.1 dB 이하이며, 잡음지수는 8.7 dB 이하 그리고 입력 IP3는 8.5 dBm이다. 낮은 이득 모드에서도 설계치는 측정치와 비교할 때 전체적인 성능 저하 특성이 나타나고 있으며, 이러한 성능 저하는 레이아웃상의 파라스틱에 의한 영향으로 설계시 레이아웃상의 파라스틱 성분을 고려하여 정확한 설계에 대한 연구가 더 진행되어야 한다.

표 2는 CMOS를 이용하여 피드백 구조와 BPF 구조로 설계된 광대역 증폭기를 비교 분석하였다. 분석된 광대역 증폭기는 식 (2)에 나타난 FoM(Figure of Merit)[13]을 통해 성능지수를 나타내었다.

$$FoM = \frac{Gain[abs] \cdot IIP3[dBm]}{P_{DC}[mW] \cdot (F-1)[abs]} \cdot BW[GHz] \quad (2)$$

식 (2)에서 FoM은 이득과 입력 IP3 그리고 주파수

표 2. 광대역 저잡음 증폭기 동작 비교
Table 2. Comparison of wide-band CMOS LNA Performances.

Ref.	Tech.[um]	Topology	BW[GHz]	S_{11}[dB]	Gain[dB]	NF[dB]	IIP3[dBm]	Power[mW]	FoM	Year
[7]	0.25	feedback	0.2~1.6	< −8.0	13.7	~1.9	N/A	35	-	2002
[8]	0.18	feedback	1~7	< −7.2	10~13.1	3.3~6	−4.7	75	0.2	2003
[5]	0.18	LC-filter	2.4~9.5	< −9.9	8~9.3	4~7.8	−6.7	9	0.43	2004
[3]	0.18	feedback	2~4.6	< −9.0	8.8~9.8	2.3~3.9	−7	12.6	0.34	2004
[9]	0.18	feedback	2~5.2	< −9.0	13~14	4.7~5.7	N/A	38	-	2004
[10]	0.18	feedback	3~5	< −9.0	15~18	3.9~4.7	N/A	N/A	-	2005
[11]	0.18	feedback	3~6	< −12	13.5~15.9	4.7~6.7	−5	59.4	0.18	2005
[12]	0.13	LC-filter	3~5	< −10	5~9.5	3.8~6	−0.8	16.5	0.26	2006
This work	0.18	feedback, LC	3.1~4.8	< −10	12.5~13.4	4.7~5	+1	14.6	1.4	

대역폭에 비례하고 소비 전력과 잡음에 반비례하여 나타내었다.

Ⅳ. 결 론

본 논문에서는 광대역 저잡음 증폭기 설계를 위해 궤환 구조의 광대역 정합 특성과 BPF 구조의 이득과 잡음 특성을 가질 수 있는 구조를 제안하여 저잡음 증폭기의 전체성능을 개선할 수 있도록 하였으며, 또한 시스템 전체 다이내믹 레인지를 높일 수 있도록 스위칭-이득제어가 가능하도록 설계하였다. 설계된 저잡음 증폭기는 TSMC RF 0.18 μm 공정을 이용하여 제작 및 측정하였다. 제작된 저잡음 증폭기의 측정 결과, 높은 이득 모드에서 이득 12.5～13.4 dB, 잡음지수는 5 dB 이하이며, 입출력 정합은 각각 −10 dB, −8.2 dB으로 측정되었으며, 낮은 이득 모드에서의 이득은 −8.7～−7.1 dB, 잡음지수는 11 dB 이하이며 입출력 정합은 각각 −10 dB, −6.3 dB으로 측정되었다. 측정된 결과는 설계치보다 전체적인 성능 저하가 나타났으며 이는 레이아웃상의 파라스틱 성분에 의한 영향으로 설계시 파라스틱에 대한 성분을 고려하여 정확한 설계에 대한 연구가 요구된다.

참 고 문 헌

[1] A. Batra et al., "Multi-band OFDM physical layer proposal", *IEEE 802.15. Task Grorp 3a*, Jul. 2003.

[2] H. Doh, Y. Jeong, S. Jung, and Y. Joo, "Design of CMOS UWB low noise amplifier with cascode feedback", *IEEE International Midwest Symposium on Circuits and Systems*, vol. 2, pp. Ⅱ-641-Ⅱ-644, Jul. 2004.

[3] C. W. Kim, M. S. Kang, P. T. Anh, H. T. Kim, and S. G. Lee, "An ultrawideband CMOS low noise amplifier for 3～5 GHz UWB system", *IEEE J. Solid-state Circuits*, vol. 40, no. 2, pp. 544-547, Feb. 2005.

[4] S. Vishwakarma, S. Jung, and Y. Joo, "Ultra wideband CMOS low noise amplifier with active input matching", *IEEE Conference Proceeding, Joint UWBST & IWUWBS. 2004 International Workshop*, pp. 415-419, May 2004.

[5] A. Bevilacqua, A. M. Niknejad, "An ultra-wideband CMOS LNA for 3.1 to 10.6 GHz wireless receiver", *IEEE ISSCC Dig. Tech. Papers*, vol. 1, pp. 382-382, Feb. 2004.

[6] H. J. Lee, D. S. Ha, and S. S. Choi, "A systematic approach to CMOS low noise amplifier design for ultrawideband applications", *IEEE ISCAS International Symposium*, vol. 4, pp. 3962-3965, May 2005.

[7] F. Bruccoleri et al., "Noise cancelling in wideband CMOS LNAs", *IEEE ISSCC Dig. Tech. Papers*, vol. 1, pp. 406-407, Feb. 2002.

[8] S. Andersson, C. Svenson, and O. Drugge, "Wideband LNA for a multistandard wireless receiver in 0.18 μm CMOS", *Proc. ESSCIRC*, pp. 655-658, Sep. 2003.

[9] R. Gharpurey, "A broadband low-noise front-end amplifier for ultra wideband in 0.13 μm", *IEEE ISSCC Tech. Dig.*, pp. 214-215, Oct. 2004.

[10] S. Lida, K. Tanaka, H. Suzuki, N. Yoshikawa, N. Shoji, B. Griffiths, D. Mellor, F. Hayden, I. Butler, and J. Chatwin, "A 3.1 to 5 GHz CMOS DSSS UWB transceiver for WPANs", *IEEE ISSCC Tech. Dig.*, vol. 1, pp. 214-215, Feb. 2005.

[11] C. P. Chang, H. R. Chuang, "0.18 μm 3～6 GHz CMOS broadband LNA for UWB radio", *IEEE Electronics Letters 9th*, vol. 41, no. 12, pp. 696-698, Jun. 2005.

[12] A. Bevilacqua, C. Sandner, A. Gerosa, and A. Neviani, "A fully integrated differential CMOS LNA for 3～5 GHz ultrawideband wireless receivers", *IEEE Microwave and Wireless Components Letters.*, vol. 16, no. 3, pp. 134-136, Mar. 2006.

[13] Ahmed Amer, Emad Hegazi, and Hani Ragai, "A low-power wideband CMOS LNA for WiMAX", in *IEEE TCSII*, Volume PP, Issue 99, p. 1-1, 2006.

정 무 일

2000년 2월: 한밭대학교 정보통신공학과 (공학사)
2002년 2월: 한밭대학교 정보통신공학과 (공학석사)
2006년 9월~현재: 한밭대학교 전파공학과 박사과정
[주 관심분야] 집적회로 설계, RF 시스템 설계

이 창 석

1984년 2월: 경북대학교 전자공학과 (공학사)
1986년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
1996년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)
1986년 2월~1998년 3월: 한국전자통신연구원 책임연구원
1998년 4월~현재: 한밭대학교 정보통신컴퓨터공학부 부교수
[주 관심분야] 고주파 집적회로(MMIC) 설계