

탄소나노튜브 트랜지스터 제작

Fabrication of CNT Field Effect Transistor

박용욱^{1,a}, 윤석진²

(Yong-Wook Park^{1,a} and Seok-Jin Yoon²)

Abstract

We fabricated field-effect transistor based carbon nanotubes(CNTs) directly grown by thermal chemical vapor deposition(CVD) and analyzed their performance. The Ethylene (C₂H₄), hydrogen(H₂) and Argon(Ar) gases were used for the growth of CNTs at 700 °C. The growth properties of CNTs on the device were analyzed by SEM, and AFM. The electrical transport characteristics of CNT FET were investigated by I-V measurement. Transport through the nanotubes is dominated by holes at room temperature. By varying the gate voltage, we successfully modulated the conductance of FET device by more than 7 orders of magnitude.

Key Words : Carbon nanotubes, FET, CVD, Transport, Conductance

1. 서론

탄소나노튜브(carbon nanotubes, CNTs)는 1991년 일본의 Iijima박사가 처음 발견한 이후, 뛰어난 전기적, 기계적, 물리적 성질로 인해 합성과 응용 연구가 활발하게 진행되고 있다[1-5]. 직경이 수 나노미터의 크기가 되면 원주방향으로 움직이는 전자의 운동이 제한을 받게 되고 따라서 저차원의 양자현상이 나타난다. 이 양자현상은 튜브 축에 대한 감긴 형태(chirality)에 따라 아주 다르게 나타나며 금속이나 반도체 성질을 가지게 된다. 탄소나노튜브의 특이한 전기적, 기계적 특성을 이용하여 FET(field effect transistor), 전계방출소자, 2차전지, 초고집적 커패시터 등 다양한 분야의 응용을 위해 연구되고 있다[6-9]. 특히, 탄소나노튜브를 이용한 FET는 현재 실리콘기판을 사용하는 반도체 소자에서 요구되는 고집적화 및 고기능성 등으로 인해 발생하는 크기 문제 등을 해결할 수 있는 차세대 나노 반도체 소자로 활발한 연구가 이루어지

고 있는 첨단 연구 분야이다[10-14].

이와 같은 차세대 반도체 분야의 연구 필요성 때문에 기존의 연구자들은 탄소나노튜브 FET를 제작하기 위해, 다양한 방법으로 제작된 고품질의 탄소나노튜브를 용액에 희석하여 기판위에 도포한 후 소스(source)와 드레인(drain), 게이트(gate) 전극을 고가의 electron beam lithography법을 사용하여 디바이스를 제작, 특성 연구를 수행 하였다[9-11]. 위의 제작 방법은 electron beam lithography와 같은 고가의 장비를 사용하여 비경제적이고, 실제 디바이스 생산에 응용할 수 없는 양산성의 문제를 가지고 있다. 본 연구에서는 이와 같은 문제점을 해결할 수 있는 연구방법으로, 차세대 나노 전자 소자로 응용 가능성을 확인하기 위해 기존의 MOSFET(metal oxide semiconductor field effect transistor)와 구조적으로 비슷한 탄소나노튜브 FET를 반도체 제작 공정인 포토 리소그래피와 에칭 방법을 사용하여 디바이스를 제작하였다.

본 연구에서는 Fe와 Mo를 혼합한 촉매를 사용하여 열화학 기상 증착법(CVD)으로 탄소나노튜브를 디바이스에 직접 성장시키고, 실리콘 기판을 게이트로 사용하는 FET를 제작하여 탄소나노튜브의 성장 특성 및 탄소나노튜브 FET의 동작 특성 연구를 수행하였다.

1. 남서울대학교 전자공학과
(충남 천안시 성환읍 매주리 21)
2. 한국과학기술연구원 박막재료연구센터
a. Corresponding Author : pyw@nsu.ac.kr
접수일자 : 2007. 2. 6
심사완료 : 2007. 4. 23

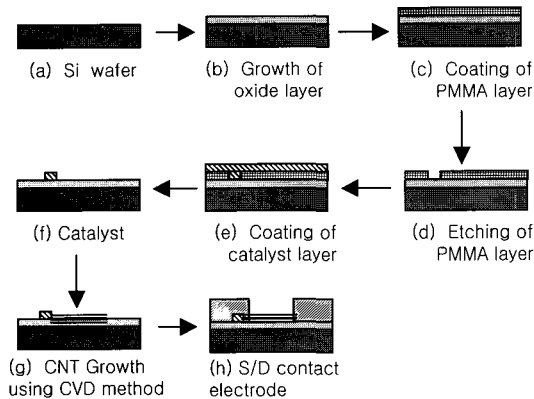


그림 1. 탄소나노튜브 FET 소자 제조 과정.
Fig. 1. The process flow of CNT FET.

2. 실험 방법

그림 1은 실리콘 기판을 게이트(gate)로 이용하고 탄소나노튜브를 액티브 채널로 사용하는 FET (field effect transistors) 소자 제작을 위한 공정도이다. 먼저 p-type 실리콘 기판위에 게이트 절연을 위하여 저압 화학 기상증착기(low pressure chemical vapor deposition, LPCVD)로 $1\ \mu\text{m}$ 두께의 SiO_2 막을 성장시켰다. 그 후 탄소나노튜브 성장을 위해 필요한 촉매(catalyst)를 실리콘 기판위에 증착하기 위해 PMMA(poly methyl methacrylate) 막을 스펀코트를 이용하여 $1.5\ \mu\text{m}$ 두께로 도포한 후 포토리소그래피와 RIE(reactive ion etching) 공정을 사용하여 촉매가 존재할 위치에 $2\ \mu\text{m} \times 8\ \mu\text{m}$ 크기의 직사각형 패턴을 선택적으로 형성하였다. 탄소나노튜브를 성장시키기 위해 사용한 촉매는 고순도 메탄올 용액에 다공질의 알루미늄 나노 입자를 사용하여 Iron nitrate와 Molybdenyl acetylacetonate를 20:1로 적정량 혼합한 후 초음파 세척기를 이용하여 균일한 농도의 촉매용액을 제조하였다. 제조된 촉매를 기판위에 도포하고 열처리를 거쳐 경화시킨 후 Methylene chloride (CH_2Cl_2) 용액을 사용하여 촉매가 존재하는 $2\ \mu\text{m} \times 8\ \mu\text{m}$ 크기의 직사각형 패턴 부분을 제외한 다른 부분에 존재하는 PMMA 막을 제거 하여 실제 FET 소자의 전극부에 해당되는 부분에만 촉매가 존재하게 하였다 (그림 a-f). 실리콘 기판위에 도포된 촉매에 그림 2와 같은 열 화학기상증착기를 사용하여 탄소나노튜브를 기판위에 성장시켰다.

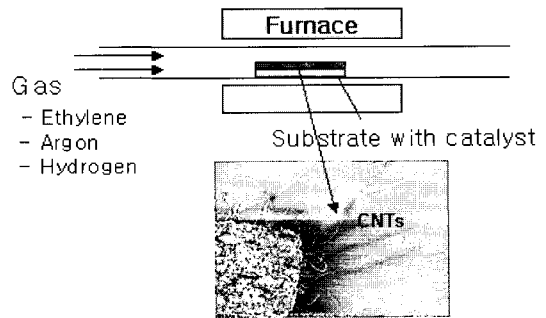


그림 2. 화학 기상 증착기 장치도.
Fig. 2. Schematic of CVD.

본 실험에서 사용한 탄소나노튜브 합성방법은 그림 2와 같은 석영반응기 내부에 기판을 삽입한 후, $700\ \text{C}$ 의 성장 온도에 도달할 때까지 Ar가스를 MFC를 이용하여 $0.8\ \text{sccm}$ 로 조절하여 석영반응기 내부가 아르곤 분위기가 되도록 하였고, 성장 온도에 도달한 후 약 10분간 촉매 금속의 산화방지를 위해 H_2 가스를 $0.15\ \text{sccm}$ 흘려주었다. 반응기의 온도가 안정화된 후 탄소나노튜브 성장을 위해 에틸렌(C_2H_4) 가스를 $5.5\ \text{sccm}$ 유입하여 약 10분간 탄소나노튜브를 합성하였다 (그림 g). 성장된 탄소나노튜브를 액티브 채널로 하는 FET소자를 제작하기 위해 E-beam 증착기로 약 $40\ \text{nm}$ 두께의 gold(Au)을 소스(Source)와 드레인(Drain) 전극으로 증착하여 탄소나노튜브 FET 디바이스를 제작하였다. 제작된 FET 디바이스의 소스와 드레인 전극은 탄소나노튜브의 연결 효율성을 관찰하기 위해 $3\sim 10\ \mu\text{m}$ 의 간격을 갖도록 설계 제작하였다.

제작된 실리콘 기판을 gate로 사용하는 탄소나노튜브 FET 소자의 탄소나노튜브 성장 특성은 HRSEM(high resolution scanning microscopy), AFM(atomic force microscopy)으로 분석하였으며, FET 동작 특성을 확인하기 위해 프롭브 스테이션을 이용하여 FET의 I-V 특성을 관찰하였다.

3. 실험 결과

그림 3(a)은 실리콘 기판을 gate로 사용하는 탄소나노튜브 FET 소자의 단면 형상을 보여주고 있다. 본 실험에서 나노튜브 FET를 제작하기 위해 실리콘 기판을 gate로 사용하였고 소스와 드레인 전극과 절연을 위해 절연성이 우수한 SiO_2 막을

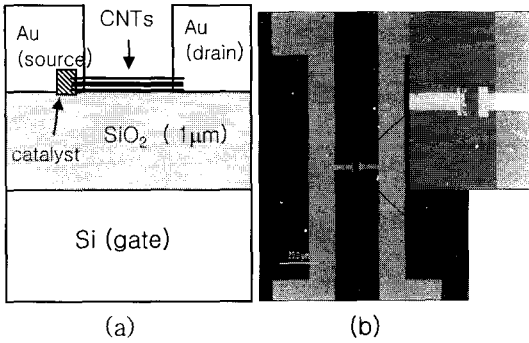


그림 3. 탄소나노튜브 FET 소자 구조: (a) 단면도, (b) 제작된 소자.

Fig. 3. Schematic of the FET device: (a) cross section, (b) fabricated FET.

지압 화학 기상 증착법으로 1 μm 두께로 성장시켰다. 이는 탄소나노튜브를 합성하는 온도가 700 °C로 다른 연구자들에 비해 낮은 온도이지만 촉매로 사용한 금속이 게이트로 사용하는 기판으로 확산될 수 있는 고온이기 때문에 금속의 확산을 방지하기 위해 비교적 두꺼운 절연막(1 μm)을 갖는 디바이스를 제작하였다. 그리고 실리콘 기판위에 나노튜브를 성장시킨 후 탄소나노튜브가 연결된 소스와 드레인 전극을 제조하기 위해 저항, 일함수 등의 특성이 우수한 Au를 40 nm 두께로 증착하여 전극을 형성하였다. 그림 3(b)는 (a)와 같은 구조를 갖는 본 실험을 위해 제작된 FET 디바이스의 사진이다. 사진에서 성장된 탄소나노튜브는 확인할 수 없지만 전극에 존재하는 촉매와 디바이스의 형상은 확인할 수 있다. 그림 3(b)의 삽입 그림에서 촉매가 정확한 형태로 제작되었으며, 촉매부분을 제외한 다른 부분에는 촉매가 존재하지 않고 전극 끝단에 정확히 위치하고 있는 것을 알 수 있다. 실험 결과 탄소나노튜브를 성장시키기 위해 사용한 촉매가 Fe와 Mo 금속을 포함하고 있기 때문에 정확한 촉매의 위치 제어는 디바이스 제작에 있어 매우 중요하며 만일 촉매가 전극 사이에 존재하면 드레인과 소스 전극이 도통하게 되는 문제점이 발생되었다. 또한 합성된 탄소나노튜브가 양 전극단에 연결되는 효율성을 증가시키기 위해 소스와 드레인 전극의 간격을 3~10 μm로 변화시키며 탄소나노튜브 FET 소자를 제작 분석하였다.

그림 4의 사진은 소스와 드레인 전극의 간격이 3 μm로 제작된 탄소나노튜브 FET의 SEM 사진이다. SEM 사진에서 우선 탄소나노튜브가 잘 성장

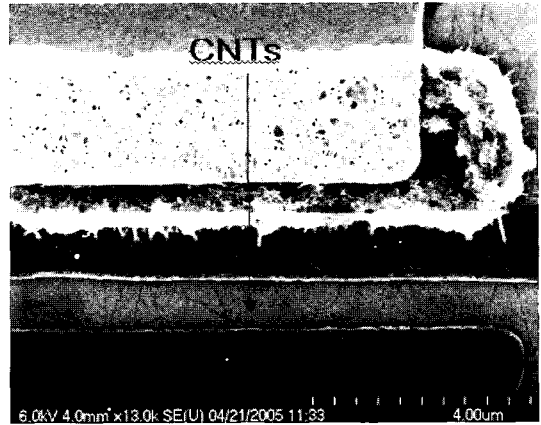


그림 4. 탄소나노튜브 FET의 SEM 사진.

Fig. 4. SEM image of CNT FET.

된 것을 보여 주며, 다수의 탄소나노튜브가 양 전극(소스, 드레인)에 연결되어 있는 것을 알 수 있다. 탄소나노튜브를 이용하여 FET 디바이스를 제작하기 위해서는 반도체형의 나노튜브를 성장시켜야 하고, 또한 정확한 탄소나노튜브의 특성을 평가하기 위해서는 하나 또는 적은 개수의 튜브만 전극단에 연결 되어야 한다. 그림 4의 그림에서 알 수 있듯이 3 μm의 전극 간격을 갖는 경우 양 전극단에 연결된 탄소나노튜브의 숫자가 너무 많아 정확한 특성 분석이 어려웠다. 따라서 소스와 드레인 전극의 거리를 증가시키며 디바이스를 제작하여 적은 숫자의 탄소나노튜브가 연결된 디바이스를 제작하여 특성을 분석하였다. 본 실험에서는 약 5 μm의 전극 간격을 갖는 디바이스 경우 높은 제작 성공률을 보였고, 7 μm 이상의 전극 폭을 갖는 디바이스의 경우는 탄소나노튜브가 성장은 하였지만 양전극에 연결되지 못하는 경우가 대부분이었다. 따라서 소스와 드레인 전극이 5~6 μm의 간격을 갖는 디바이스를 중점적으로 제작하여 특성을 평가하였다.

그림 5(a)는 소스와 드레인의 간격이 5 μm인 소자를 약 10분간 탄소나노튜브를 촉매를 이용하여 성장시킨 FET의 AFM 결과이다. 촉매에서 성장한 다수의 탄소나노튜브 중 하나의 튜브만 양 전극단에 연결되어 있는 것을 보여준다. 또한 연결된 탄소나노튜브가 SWNT(single-wall nanotube)인지 MWNT(multi-wall nanotube)의 구조를 갖는지 확인하기 위해 AFM을 사용하여 제작된 디바이스에 존재하는 나노튜브의 직경을 조사하였다. 그림 5(b)

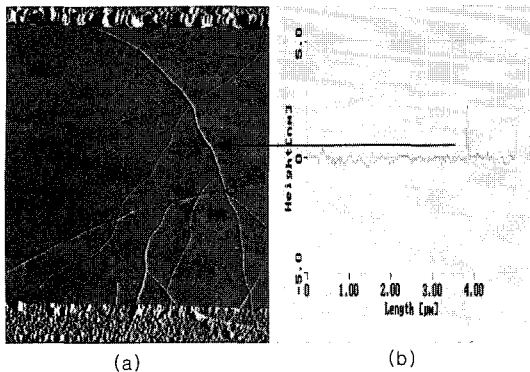


그림 5. 탄소나노튜브 FET의 AFM 사진: (a) 표면, (b) 직경.
 Fig. 5. AFM images of CNT FET: (a) surface, (b) diameter.

의 결과는 양전극단에 연결된 나노튜브의 직경이 2.3 nm인 것을 보여준다. 이는 다른 연구자들의 결과에서도 잘 알려진 것과 같이 본 연구에서 합성한 탄소나노튜브는 SWNT로 성장 되었음을 알 수 있다[6]. 그림 6은 5 μm 의 소스, 드레인 간격을 갖는 탄소나노튜브 FET 소자의 I-V 특성을 보여 주고 있다. 본 연구에서 제작한 탄소나노튜브 FET 소자의 게이트는 실리콘 기판을 사용하였고 게이트 전압도 기판에 직접 인가하였다. 나노튜브를 통하여 흐르는 소스-드레인 전류 특성은 상온에서 게이트(기판)에 인가된 전압과 드레인 전압에 따른 드레인 전류 특성을 측정 평가하였다. 그림 6의 결과는 그림 5의 조건으로 제작된 FET 소자에 게이트 전압을 $-10 \sim 0$ V로 변화시키며 일정한 드레인 전압(각 $V_d = 0.5, 1, 2\text{V}$)을 인가하였을 때 얻은 드레인 전류(I_d) 특성으로, 제작된 나노튜브 FET 소자는 전형적인 p-channel MOSFET (metal-oxide-silicon field effect transistor) 소자의 I-V 특성을 보여주고 있다. 제작된 탄소나노튜브 FET는 p-type, 즉 hole이 다수 캐리어로 존재하는 트랜지스터이며 이는 기존의 연구 결과와도 잘 일치하고 있다[6,10]. 다수 캐리어로 hole이 존재하는 이유는 탄소나노튜브가 hole을 제공하는 것이 아닌 Au 전극과 나노튜브의 work function의 차이로 인하여 발생하는 전자의 이동에 의한 band banding에 의하여 발생된 결과로 생각된다[11].

인가된 드레인 전압에 따라 I-V 출력 특성이 미세한 차이는 있지만 일관된 경향성을 보여주고 있으며, 드레인 전압이 0.5 V와 1 V 인 경우 $V_{on} = -2$ V였고, 드레인 전압이 2 V인 경우 $V_{on} = -1.3$ V

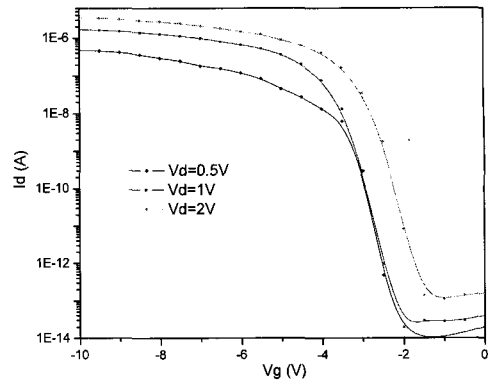


그림 6. 탄소나노튜브 FET의 I-V 특성.
 Fig. 6. I-V characteristics of CNT FET.

로 감소하는 결과를 보여주고 있다. 이와 같은 결과를 전형적인 p-channel의 MOSFET와 비교하여 보면 본 실험에서 제작된 탄소나노튜브 FET의 구동 전압이 $-2 \sim -1.3$ V로 상당히 높지만, 이는 게이트 절연막이 1 μm 로 다른 소자에 비하여 두꺼워 발생된 현상으로 생각되며, 게이트 절연막을 감소시키면 동작 전압도 감소 될 것이다. 드레인 전압이 0.5 V인 경우 제작된 탄소나노튜브 FET의 conductance(I_{on}/I_{off} , $4.6 \times 10^{-7}/1.2 \times 10^{-14}$) 값은 약 10^7 정도의 값을 가져 상당히 우수한 특성을 가지고 있음을 알 수 있다. 다른 드레인 전압에서도 상수의 값은 차이가 있지만 비슷한 conductance 상수 특성을 보여 주고 있다.

4. 결론

본 연구에서는 Fe와 Mo를 혼합한 촉매를 사용하여 열 화학 기상증착법(CVD)으로 탄소나노튜브를 디바이스에 직접 성장시키고, 실리콘 기판을 gate로 사용하는 FET를 제작하여 탄소나노튜브의 성장 특성 및 탄소나노튜브 FET의 동작 특성을 연구하였다. 에틸렌, 아르곤, 수소가스를 사용하여 반도체 특성을 갖는 탄소나노튜브를 합성하였으며, 제작된 탄소나노튜브 FET는 p-type, 즉 hole이 다수 캐리어로 존재하는 트랜지스터 특성을 보였다. 사용한 게이트 절연막이 1 μm 로 두꺼워 구동 전압이 $-2 \sim -1.3$ V로 상당히 높지만 탄소나노튜브 FET의 conductance(I_{on}/I_{off} , $4.6 \times 10^{-7}/1.2 \times 10^{-14}$) 값은 약 10^7 정도의 우수한 특성값을 가져 차세대 나노 전자 소자로 응용할 수 있고, 게이트 절연막 감소 및 게이트 구조에 대한 연구를 통하여 동작 특성을 향상시킬 수 있을 것으로 생각된다.

감사의 글

본 연구는 2003년도 한국과학재단 해외 post-doc 연구지원으로 수행되어 이에 감사드립니다.

참고 문헌

- [1] S. Iijima, "Helical microtubules of graphitic carbon", *Nature*, Vol. 354, p. 56, 1991.
- [2] S. Iijima and T. Ichihashi, "Single shell carbon nanotubes of 1 nm diameter", *Nature*, Vol. 363, p. 603, 1993.
- [3] S. Fan, M. G. Chapline, N. R. Franklin, T. W. Tombler, A. M. Cassell, and H. Dai, "Self-oriented regular arrays of carbon nanotubes and their field emission properties", *Science*, Vol. 238, p. 512, 1999.
- [4] J. I. B. Wilson, N. Scheerbaum, S. karim, N. Polwart, P. John, Y. fan, and A. G. Fitzgerald, "Low temperature plasma chemical vapour deposition of carbon nanotubes", *Diamond and Related Materials*, Vol. 11, p. 918, 2002.
- [5] 최성현, 이재형, "마이크로웨이브 플라즈마 화학기상증착법에 의한 탄소나노튜브의 성장특성", *전기전자재료학회논문지*, 19권, 6호, p. 501, 2006.
- [6] R. Martel, T. Schmitz, H. R. Shea, T. Hertel, and Ph. Avouris, "Single and multi wall carbon nanotube field-effect transistor", *APL*, Vol. 73, p. 2447, 1998.
- [7] 류경탁, Kenjiro Oura, 김연보, "레이저 증착법에 의한 탄소계 박막의 구조 및 전기 방출 특성", *전기전자재료학회논문지*, 15권, 7호, p. 634, 2002.
- [8] 이정아, 문성일, 이윤희, 주병권, "집적화된 3극형 탄소 나노 튜브 전자 방출원의 제작", *전기전자재료학회논문지*, 17권, 2호, p. 212, 2004.
- [9] P. G. Collin, M. S. Arnold, and P. Avouris, "Engineering carbon naotubes and nanotube circuits using electrical breakdown", *Science*, Vol. 292, p. 706, 2001.
- [10] J. Appenzeller, J. Knoch, R. Martel, S. Wind, and Ph. Avouris, "Field-modulated carrier transport in carbon nanotube Transistors", *PRL*, Vol. 89, No. 12, p. 12608-1, 2002
- [11] S. Heinze, J. Tersoff, R. Martel, V. Derycke, J. Appezeller, and Ph. Avouris, "Carbon nanotubes as schottky barrier transistors", *PRL*, Vol. 89, No. 10, p. 106801-1, 2002.
- [12] S. Rosenblatt, Y. Yaish, J. W. Park, J. Gore, V. Sazonova, and P. L. Mceuen, "High performance electrolyte gated carbon nanotube transistors", *Nano Lett.*, Vol. 2, p. 869, 2002.
- [13] A. Javey, R. Tu, D. B. Farmer, J. Guo, R. G. Gordon, and H. Dai, "High performance n-Type carbon nanotube field-effect transistors with chemically doped contacts", *Nano Lett.*, Vol. 5, p. 345, 2005.
- [14] R. V. Seidel, A. P. Graham, J. Kretz, B. Rajasekharan, G. S. Duesberg, M. Liebau, E. Unger, F. Kreupl, and W. Hoenlein, "Sub-20 nm short channel carbon nanotube transistors", *Nano Lett.*, Vol. 5, p. 417, 2005.