

다결정 실리콘 기판 위에 형성된 나노급 니켈 코발트 복합실리사이드의 미세구조 분석

송오성^{1*}

Microstructure Characterization on Nano-thick Nickel Cobalt Composite Silicide on Polycrystalline Substrates

Oh-Sung Song^{1*}

요 약 최소선폭 0.1 μm 이하의 살리사이드 공정을 상정하여 10 nm-Ni_{0.5}Co_{0.5}/70 nm-Poly-Si/200 nm-SiO₂ 구조로부터 패속 열처리를 이용해서 실리사이드 온도를 600~1100 $^{\circ}\text{C}$ 까지 변화시키면서 복합실리사이드를 제조하고 이들의 면저항의 변화와 미세구조의 변화를 면저항 측정기와 TEM 수직단면, 오제이 두께 분석으로 확인하였다. 기존의 동일한 공정으로 제조된 니켈실리사이드에 비해 제안된 니켈 코발트 복합실리사이드는 900 $^{\circ}\text{C}$ 까지 저저항을 유지시킬 수 있는 장점이 있었고 20 nm 두께의 균일한 실리사이드 층을 폴리실리콘 상부에 형성시킬 수 있었다. 고온 처리시에는 복합실리사이드와 실리콘의 전기적으로 상분리되는 혼합현상으로 고저항 특성이 나타나는 문제를 확인하였다. 제안된 NiCo 합금 박막을 70 nm 높이의 폴리실리콘 게이트를 가진 디바이스에 900 $^{\circ}\text{C}$ 이하의 실리사이드화 온도에서 효과적으로 살리사이드 공정의 적용이 기대되었다.

Abstract We fabricated thermally-evaporated 10 nm-Ni/70 nm-Poly-Si/200 nm-SiO₂/Si and 10 nm-Ni_{0.5}Co_{0.5}/70 nm-Poly-Si/200 nm-SiO₂/Si structures to investigate the microstructure of nickel monosilicide at the elevated temperatures required for annealing. Silicides underwent rapid anneal at the temperatures of 600~1100 $^{\circ}\text{C}$ for 40 seconds. Silicides suitable for the silicide process formed on top of the polycrystalline silicon substrate mimicking the gates. A four-point tester was used to investigate the sheet resistances. A transmission electron microscope and an Auger depth profile scope were employed for the determination of cross sectional microstructure and thickness. 20 nm thick nickel cobalt composite silicides on polycrystalline silicon showed low resistance up to 900 $^{\circ}\text{C}$, while the conventional nickel silicide showed low resistance below 700 $^{\circ}\text{C}$. Through TEM analysis, we confirmed that the 70 nm-thick nickel cobalt composite silicide showed a unique silicon-silicide mixing at the high silicidation temperature of 1000 $^{\circ}\text{C}$. We identified Ni₃Si₂, CoSi₂ phase at 700 $^{\circ}\text{C}$ using an X-ray diffractometer. Auger depth profile analysis also supports the presence of this mixed microstructure. Our result implies that our newly proposed NiCo composite silicide from NiCo alloy films process may widen the thermal process window for the silicide process and be suitable for nano-thick silicides.

Key words : Composite Silicide, Ni_{0.5}Co_{0.5} alloy, TEM, Silicide, Silicide

1. 서론

실리사이드는 실리콘과 천이금속이 정량적인 화학비로 결합한 중간상 물질로서, CMOS 소자의 트랜지스터 게이트 상부와 소오스, 드레인 상부에 선택적으로 형성되어, 실리콘 하지층과의 저저항 오믹컨택을 유지시키고 상

부 금속 배선층과 실리콘 사이의 확산 방지층으로서의 역할을 담당한다.[2-4] 이러한 실리사이드 물질은 살리사이드(salicide : self-aligned silicide) 공정으로 구현되는데, 살리사이드는 말 그대로 마스크 없이 자체적으로 실리사이드가 위치하게 하는 공정으로 게이트 양쪽에 스페이서를 형성시킨 후 기판 전면에 천이금속을 성장시키고 열처리하여 원하는 게이트와 활성화 영역의 상부만 실리사이드화 시키고 잉여의 금속을 제거하는 공정으로 대부분

¹서울시립대학교 신소재공학과

*교신저자: 송오성(songos@uos.ac.kr)

의 최소선평폭 0.25 μm 이하의 CMOS 공정에 채택되고 있다.[1,5,6]

이러한 마스크 없이 활성화 영역의 상부와 게이트 상부에 선택적으로 저저항 실리사이드를 형성시키는 살리사이드 공정을 통하여 구현되는 기존의 실리사이드로는 TiSi_2 , CoSi_2 , NiSi 등이 있다. 그러나 TiSi_2 는 선평폭 의존성과 고온 응집성으로 나노급 살리사이드 공정에는 매우 부적합하며,[7,8] CoSi_2 는 기본적으로 disilicide로 실리사이드화 이후 고온 응집성과 부피 팽창의 문제와 실리사이드화 반응 시 자연 산화막을 제거하기 위해 과도한 크리닝 공정이 필요한 문제가 있었다.[9] NiSi 는 비교적 최근에 개발되어 나노급 공정에 적합하지만 700 $^{\circ}\text{C}$ 이상에서 고저항의 NiSi_2 로 변환되어 후속 공정온도를 700 $^{\circ}\text{C}$ 이하로 한정시켜 살리사이드 공정 온도가 제한되는 문제가 있었다.[10] 따라서 기존의 니켈모노실리사이드의 온도에 따른 상변태를 방지하기 위해 니켈 합금 및 첨가원소를 사용하여 상변태 온도를 높이고 니켈모노실리사이드의 안정화 온도 구간을 넓히려는 노력이 계속되어 왔다.

최근에는 이러한 기존 단상 실리사이드의 문제를 극복하기 위해서 기존의 실리사이드의 장점만을 이용하기 위해 Co/Ti, Co/Ni 등의 적층형 박막으로부터 복합 실리사이드를 제조하여 고온 안정성을 1000 $^{\circ}\text{C}$ 까지 획기적으로 향상시킨 정성희 등[11,12]의 보고 및 제 3원소의 첨가로 인한 고온까지 안정성을 향상시킨 예[13]가 있었으나 고저항상의 선택적 제거를 위한 새로운 습식 세정 공정의 개발 필요성과 니켈 과잉 실리사이드의 우선 성장에 의한 응집 현상 등의 문제가 있는 것으로 알려지고 있다.

이와 같이 기존의 실리사이드를 복합화하여 열적안정성을 확보하려는 방안을 양산공정의 호환성을 위해서도 바람직하고 이미 적층형을 이용한 구조로부터 기초적인 가능성이 확인된 바 있다.

최근에는 CMOS 디바이스의 속도 향상을 위해 게이트를 저저항의 실리사이드로 대체하려는 FUSI(fully silicide) gate가 각광을 받고 있으며 본 연구에서는 0.1 μm 이하의 트랜지스터의 게이트 높이로 예측되는 70 nm 두께의 폴리실리콘 층에 10 nm 두께의 $\text{Ni}_{0.5}\text{Co}_{0.5}$ 합금 박막을 열증착기로 성막하고 실리사이드화 함으로써 실리사이드화 온도에 따른 전기저항의 변화와 수직단면미세구조의 변화를 확인하였다.

2. 실험방법

실험에 사용된 기판은 직경 100 mm, 두께 550 μm 의 p-type(100) 단결정 실리콘 웨이퍼로서 크리닝이 완료된

기판은 소오스와 드레인을 상정한 활성화 영역을 상정하였고, 200 nm의 열산화막을 가진 실리콘 기판에는 LPCVD를 사용하여 폴리(poly)실리콘을 기판 전면에 70 nm의 두께로 성막하여 폴리실리콘으로 구성된 게이트를 상정하였다. 각 기판에 자연 산화막을 제거하기 위해 시편은 증착 직전에 RCA세정과 HF 세정을 이용하여 유기 불순물과 자연산화막을 완전히 제거한 후 $\text{Ni}_{0.5}\text{Co}_{0.5}$ 조성의 니켈 코발트 합금을 10 nm 두께로 열증착기를 이용하여 연속적으로 증착시켜 그림 1과 같이 최종적으로 10 nm- $\text{Ni}_{0.5}\text{Co}_{0.5}$ /70 nm-Poly-Si/200 nm- SiO_2 /Single-Si 구조의 시편을 준비하였다. 한편 비교를 위하여 마찬가지로 Co가 첨가되지 않은 10 nm-Ni/70 nm-Poly-Si/200 nm- SiO_2 /Single-Si 구조의 시편도 완성하였다.

완성된 시편들은 10 $^{-3}$ torr의 진공에서 7쌍의 할로겐램프로 구성된 RTA를 활용하여 700, 1000 $^{\circ}\text{C}$ 의 2가지 조건에서 40초간 열처리하여 실리사이드가 생성되도록 하였다.

열처리가 완료된 시편들은 잉여금속을 제거하기 위해서 80 $^{\circ}\text{C}$ 에서 30% 황산(H_2SO_4)에 10분간 담가 처리하였다.

살리사이드 공정이 완료된 시편은 각 구조별, 실리사이드 온도별로 사점면저항측정기(four point probe, Changmin사, CMT-SR1000N)를 사용하여 면저항(R_s)를 측정하였다.

TEM 관찰을 위한 시편은 일반적인 수직단면 관찰용 TEM 시편 제작방법을 이용하여 제작되었다. 수직단면 관찰을 위해서 2 \times 10 mm 2 로 자른 두 조각의 실리사이드 층이 완성된 실리콘 시편을 실리사이드면이 서로 마주보도록 접착제로 접착하고, 외경이 3 mm 인 황동 튜브에 맞도록 초음파로 잘라내어 튜브 내경에 맞도록 접착시켰다. 시편이 장입된 황동 튜브의 양쪽을 정밀 연마기로 연마하여 최종 두께가 20 μm 가 되도록 하여 디스크형 가공을 완료하였다.

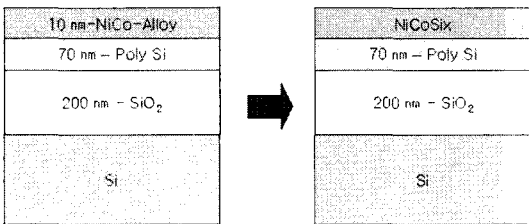
두께가 얇아진 디스크형 시편을 다시 덤플러를 이용하여 디스크 중심부에 위치한 실리사이드층의 단면부의 두께가 0.25 μm 가 되도록 하였다. 완성된 디스크시편은 다시 PIPS (precision ion polishing system)을 써서 시편의 중심부가 전자빔에 투명한 100 nm 정도가 되도록 정밀 연마를 실시하였다.

완성된 시편은 JEOL 200 kV 투과전자현미경을 써서 실리사이드부의 SADP(selected area diffraction pattern)와 Bright Field image를 찍어서 성분과 두께를 확인하였다.

생성된 상을 확인하기 위해서 PANalytical사의 모델명 X'Pert PRO를 이용하여 X-선 회절분석을 하였는데, X-선 source는 니켈 필터를 통과시켜 얻은 Cuka로 파장은 1.5405 \AA 이었고, 이때 필라멘트 전류는 30 mA, 가속전압은 40 kV 이었다. 스캔영역은 JCPDS(Joint Committee

Powder Diffraction Standards)카드 상에 나타나있는 니켈 실리사이드를 고려하여 2θ를 20~80° 범위에서 700, 100 0℃에서 40초간 열처리한 시편의 상을 분석하였다. 얻어진 XRD curve에서 JCPDS 카드를 이용하여 상을 분석하였다.

또한, AES(Auger Electron Spectroscopy, Perkin-Elmer사)를 이용하여 각 어닐링 온도의 시편에 대해 Si, Ni, Co의 조성변화를 스퍼터링 속도를 유지하면서 표면으로부터 측정하여 온도에 따라 생성된 실리사이드층의 화학조성의 정량분석을 시도하였다.



RTA 600~1100℃, 40sec

그림 1. 실험과정 모식도.

3. 실험결과 및 토의

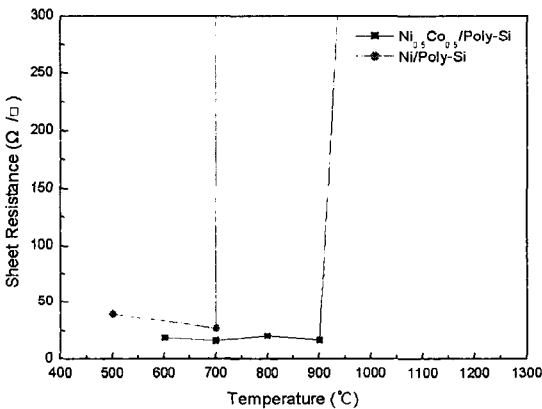


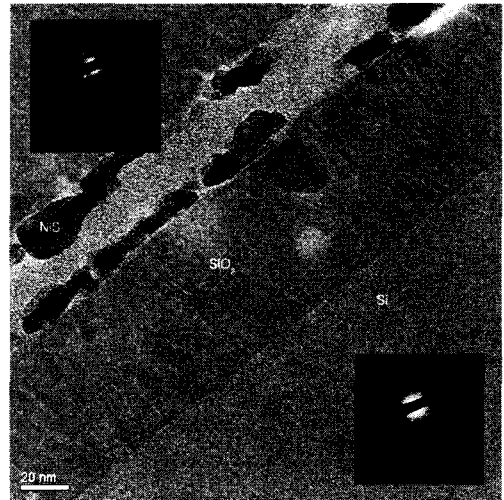
그림 2. 실리사이드화 온도변화에 따른 실리사이드의 면저항.

그림 2에는 게이트를 상정한 폴리실리콘 위에 기준으로 정한 10 nm-Ni/Poly-Si와 10 nm-Ni_{0.5}Co_{0.5}/Poly-Si 적층 구조를 600℃부터 1100℃까지 RTA 온도를 달리하여 실리사이드화 시킨 실리사이드층의 면저항 측정 결과를 나타내었다. 복합실리사이드의 경우에는 고온에서 (NiCo)Si₂의 저저항상을 형성하여 고온에서도 저저항을

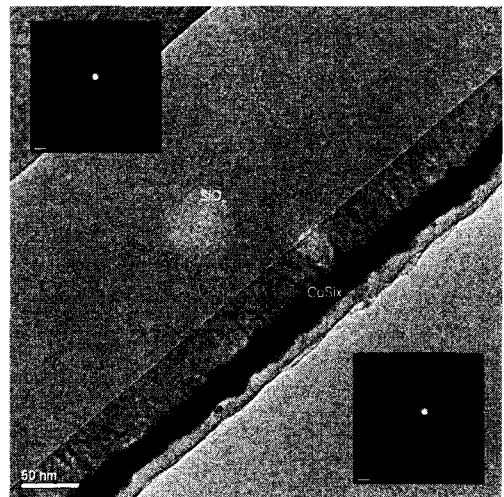
유지함을 알 수 있었다.[14]

기존의 Ni/Poly-Si는 700℃ 이후의 고온에서는 급격한 고저항값을 보이는데 비해 Ni_{0.5}Co_{0.5}-alloy/Poly-Si에서는 900℃까지 저저항을 유지하는 것을 관찰 할 수 있었다.

결과적으로 10 nm두께의 Ni_{0.5}Co_{0.5}합금박막으로부터 생성된 복합실리사이드를 채용하여 기존의 Ni/Poly-Si의 700℃에 한정된 고온 안정성을 개선하여 다결정 기판에서 200℃이상 향상시킨 결과를 얻을 수 있었다.



(a) Ni/Poly-Si, 700℃



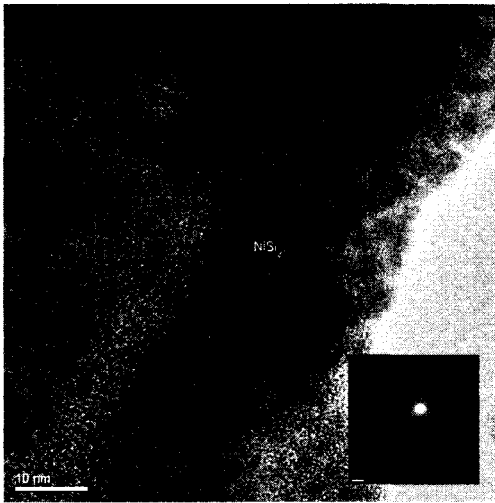
(b) Ni_{0.5}Co_{0.5}/Poly-Si, 700℃

그림 3. 실리사이드화 조건변화에 따른 TEM 사진 (a) Ni/Poly-Si 700℃, (b) Ni_{0.5}Co_{0.5}/Poly-Si 700℃.

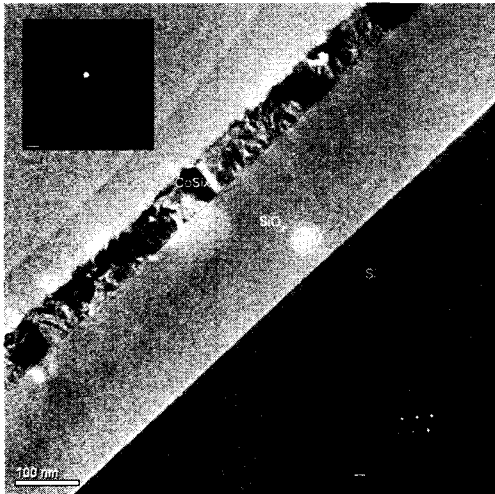
그림 3 (a), (b)에는 10 nm-Ni 및 10 nm-Ni_{0.5}Co_{0.5}박막을 폴리실리콘 게이트를 상정한 70 nm의 다결정 실리콘위에

증착한 후 700°C로 쾌속 열처리하여 형성한 경우의 실리사이드 층의 수직단면 이미지를 나타내었다. (a)에는 Ni 박막만을 증착한 구조로부터 실리사이드화한 TEM 이미지이며, 형성된 실리사이드는 평균적으로 10.23 nm의 두께를 보이고 있다. 그러나 형성된 실리사이드는 국부적으로 끊어진 형상을 보이고 있으며, 폴리실리콘층 내부에서의 국부적인 혼합 현상을 확인할 수 있었다.

(b)에는 Ni_{0.5}Co_{0.5} 박막으로부터 실리사이드화한 경우의 사진이며, 폴리실리콘 층이 기판 역할을 하여 상부에 20.74 nm 두께의 매우 균일한 계면과 표면을 가진 복합실리사이드 층이 형성되었음을 보이고 있다.



(a) Ni/Poly-Si, 1000°C



(b) Ni_{0.5}Co_{0.5}/Poly-Si, 1000°C

그림 4. 실리사이드화 조건변화에 따른 TEM 사진 (a) Ni/Poly-Si 1000°C, (b) Ni_{0.5}Co_{0.5}/Poly-Si 1000°C.

그림 4 (a), (b)에는 앞서의 조성과 같은 박막으로 70 nm-Poly-Si/200 nm-SiO₂/Single-Si의 게이트는 상정한 70 nm의 다결정실리콘위에 10 nm-Ni과 10 nm-Ni_{0.5}Co_{0.5} 조성의 박막을 증착한 후 1000°C로 쾌속 열처리하여 형성한 경우의 실리사이드 층의 수직단면 이미지를 나타내었다. (a)에는 Ni 박막을 증착한 경우의 사진이며, 형성된 실리사이드는 다결정 실리콘의 상부에 약 15 nm의 불연속적인 실리사이드 층을 만들고 또한 결정립계를 통한 우선성장으로 폴리실리콘층 내부에도 혼합 형태의 실리사이드가 생성됨을 알 수 있다.

(b)에는 Ni_{0.5}Co_{0.5} 박막 구조로부터 생성된 실리사이드 이미지로서 평균적으로 56.74 nm 두께의 표면을 가진 실리사이드 층이 형성되었음을 보이고 있고, 결정립계를 통한 우선성장으로 TEM 사진을 보면 상의 혼합으로 인해 실리사이드 층의 contrast 차이에 의해 70 nm 두께의 폴리실리콘층 내부에 실리콘과 실리사이드가 혼합되어 주상정으로 형성됨을 확인하였다.

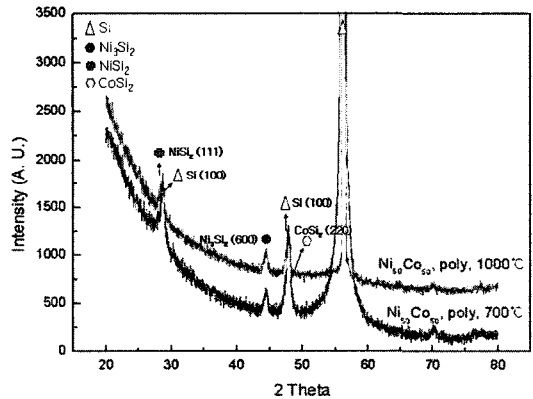


그림 5. Ni_{0.5}Co_{0.5}/Poly-Si 구조로부터 형성된 700°C와 1000°C 실리사이드의 XRD 그래프.

그림 5에는 Ni_{0.5}Co_{0.5} 조성의 박막을 다결정 실리콘기판 위에 형성한 시편으로부터 생성된 실리사이드의 피크를 나타내었다. 700°C 열처리 시편에서는 저저항인 CoSi₂가 확인되었고 1000°C 열처리 시편에서는 NiSi₂상이 확인되어 고저항임을 뒷받침 하여준다. 또한 앞서 보인 면저항의 결과에 근거하여 이 Ni₃Si₂상은 준안정상으로 저저항을 가지는 특성이 있다고 판단되었다. 따라서 700°C 열처리 시편에서는 CoSi₂와 Ni₃Si₂ 등의 저저항상으로 인해 저저항을 나타내는 것이고, 1000°C 열처리 시편의 저저항값이 크게 나오는 이유는 형성된 Ni₃Si₂나 NiSi₂가 균일하게 형성된 것이 아니라 결정립계를 따라서 부분적으로 형성되어 큰 면저항값을 나타내는 것으로 보인다.

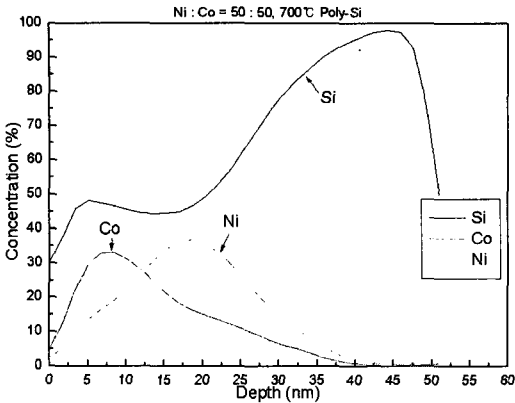
4. 결론

나노급 CMOS공정을 상정하여 10 nm-Ni_{0.5}Co_{0.5}/70 nm-Poly-Si/200 nm-SiO₂/Single-Si 구조로부터 제조된 복합실리사이드를 제조하여 기존의 Ni/Poly-Si 구조의 니켈 실리사이드에 비해 900℃까지 안정한 온도구간을 높인 우수한 실리사이드임을 확인하였다. 따라서 제안된 새로운 NiCo 합금 박막으로부터 형성된 실리사이드는 70 nm 높이의 폴리실리콘 게이트에서도 900℃ 이하의 처리온도를 유지하여 상부에 20 nm의 나노급 살리사이드 공정이 가능하다고 기대되었다.

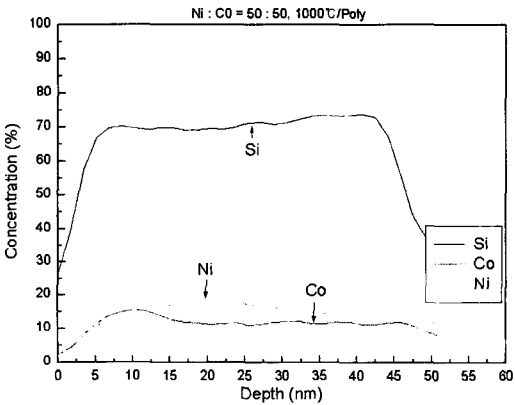
온도에 따라 700℃에서는 균일한 20 nm의 나노급 복합실리사이드의 형성이 가능함을 확인하였고 1000℃에서는 주상정 구조를 가진 실리콘과 실리사이드의 혼합(mixing) 미세구조를 확인하였다. 이러한 혼합구조를 가짐으로써 전기적인 고저항의 원인이 될 수 있었으므로 가능한 900℃ 이하로 실리사이드화 처리온도를 낮추는 것이 나노급 살리사이드 공정개발에 유리하였다.

참고문헌

- [1] The International Technology RoadMap For Semiconductor, Front End Process, p. 25, SIA, 2003 Edition (2003).
- [2] J. Y. Dai, Z. R. Guo, S. F. Tee, C. L. Tay, E. Er and S. Redkar, Appl. Phys. Lett., 78, 3091 (2001).
- [3] J. Prokop, C. E. Zybilla and S. Veprek, Thin Solid Films, 359, 39 (2000).
- [4] C. Detavernier, R. L. Van Meirhaeghe and F. Cardon, J. Appl. Phys., 88, 133 (2000).
- [5] J. Chen, J. P. Colinge, D. Flandre, R. Gillon, J. P. Raskin, and D. Vanhoenacker, J. Electrochem. Soc., 7, 144 (1997).
- [6] J. J. Sun, J. Y. Tsai, and C. M. Osburn, IEEE Transactions on Electron Devices, 45, 1946 (1998).
- [7] Hua. Fang, Mehmet C. Ozturk, E. G. Seebauer and D. E. Batchelor, J. Electrochem. Soc., 146, 4240 (1999).
- [8] J. Lutze, G. Scott and M. Manley, IEEE Electron Device Lett., 21, 155 (2000).
- [9] J. B. Lasky, J. S. Nakos, O. J. Cain, P. J. Geiss, IEEE Trans. Electron Devices, 38, 262 (1991).
- [10] B. A. Julies, D. Knoesen, R. Pretorius, D. Adams, Thin Solids Films, 347, 201 (1999).
- [11] S. H. Cheong, O. S. Song, Kor. J. Mater. Res., 13(5), 279 (2003).
- [12] O. S. Song, S. H. Cheong, D. J. Kim, Y. Y. Choi,



(a) Ni_{0.5}Co_{0.5}/Poly-Si 700℃



(b) Ni_{0.5}Co_{0.5}/Poly-Si 1000℃

그림 6. Ni_{0.5}Co_{0.5}/Poly-Si 구조로부터 형성된 700℃와 1000℃ 열처리의 Auger depth profiling 그래프.

그림 6 (a), (b)에는 700℃와 1000℃ 온도별로 AES depth profiling 분석을 실시한 데이터를 보였다. Ni_{0.5}Co_{0.5}/Poly-Si 구조를 700℃ 열처리한 경우인 (a)에서는 Si성분의 상승점인 약 20 nm 실리사이드 두께가 예측 가능하였다. 이것은 앞서 보인 그림 3(b)의 TEM 결과와 잘 일치하고 있다. (b)의 Ni_{0.5}Co_{0.5}/Poly-Si 1000℃ 조성으로 생성된 실리사이드에서는 Si 및 Co, Ni의 성분이 10 nm 깊이 이후부터 일정하게 유지되는 것을 통해 특징을 보이는데 미세구조는 이로써 실리사이드가 함께 두께 방향으로 존재하는 혼합구조를 가짐을 의미하고 있다. 주상정구조의 실리콘과 실리사이드가 존재함으로써 Si, Ni, Co의 피크가 전 두께 범위에서 균일하게 검출되어 나타남으로써 그림 4(b)의 주상정 혼합조직의 존재를 뒷받침하고 있다.

Kor. J. Mater. Res., 14(11), 769 (2004).

[13] Wei Huang, Li-Chun Zhang, Yu-Zhi Gao and Han-Yan Jin, Microelectronic Engineering, 83, 345 (2006).

[14] E. J. Jung, S. W. Jung, H. S. Kim, J. H. Yun, Microelectronic Eng., 82, 449 (2005).

송 오 성(Oh-Sung Song)

[정회원]



- 1987년 2월 : 서울대학교 금속공학과 (공학사)
- 1988년 2월 : 서울대학교 금속공학과 (공학석사)
- 1994년 5월 : MIT 재료공학(공학박사)
- 1996년 3월 : NTT 기초연구원

- 1997년 8월 : 삼성전자 CPU 기술팀

<관심분야> : 자성재료, 주얼리.