

CoSi₂ 전극 구조의 증착법에 따른 특성 변화 연구

남 형 진[†]

선문대학교 전자공학부[†]

Study on Property Variations of CoSi₂ Electrode with Its Preparation Methods

Hyoung Gin Nam[†]

[†]Division of Electronic Engineering, Sun Moon University

ABSTRACT

Phase transition and dopant redistribution during silicidation of CoSi₂ thin films were characterized depending on their preparation methods. Our results indicated that cleanness of the substrate surface played an important role in the formation of the final phase. This effect was found to be reduced by addition of W resulting in the formation of CoSi₂. However, even in this case, the formation of the final phase was achieved at the cost of extra thermal energy, which induced rough interface between the substrate and the silicide film. As for the dopant redistribution, the deposition sequence of Co and Si on SiGe was observed to induce significant differences in the dopant profiles. It was found that co-deposition of Co and Si resulted in the least redistribution of dopants thus maintaining the original dopant profile.

Key Words : CoSi₂, SiGe, foreign atom, silicide formation

1. 서 론

코발트 실리사이드는 비저항과 누설전류가 비교적 작으며 안정성이 비교적 높아 VLSI(very large-scale integrated) 회로 제작 시 interconnects, Ohmic 접합, Schottky 접합, 또는 전극으로 널리 사용되고 있다[1-4]. 최근에는 실리콘과 비교적 작은 lattice mismatch를 갖는 특성을 활용하고자 epitaxial 성장을 추구하는 연구도 활발하게 진행되고 있으며[5] 한편으로는 비정질 실리콘을 저온에서 결정화하는 수단으로 활용하는 연구도 진행되고 있다[6]. 하지만 반도체 소자의 크기가 계속 감소함에 따라 실리사이드 형성 시에 기판을 구성하는 실리콘을 너무 많이 소모한다는 단점이 두드러지게 되었다. 또한 기판 표면 상태에 따라 실리사이드 형성이 심각한 영향을 받는 것으로 알려져 있다[1, 7]. 따라서 이러한 문제점을 보완할 수 있는 새로운 제작법이 필요하게 되었다.

본 연구에서는 코발트 실리사이드를 사용하여 전극

이나 접합을 형성하는 경우 박막의 스트레스가 누설전류에 미치는 영향이 크다는 점을 고려하여 제 3의 원소를 첨가하여 실리사이드를 제작함으로써 증착방법에 따른 스트레스의 변화를 분석하고자 하였다. 또한 반도체 소자의 크기가 계속 감소함에 따라 접합저항이 소자 특성에 커다란 영향을 미치는 사실을 고려하여 실리사이드 제작법에 따라 실리사이드를 형성하기 위한 열처리 과정 중 반도체 내의 도펀트 재 분포를 분석하고자 하였다.

본 논문에서는 코발트 실리사이드 제작 시 텅스텐 첨가에 따른 실리사이드 특성변화 및 코발트 실리사이드 제작법에 따른 반도체 내 도펀트 재 분포에 대한 관찰 결과에 대하여 서술한다.

2. 실험방법

본 실험에서는 E-beam evaporation을 이용하여 기판 상에 상온에서 Fig. 1에 나타낸 구조와 같이 2가지 방법으로 실리사이드를 증착하였다: 1) 기존의 증착법 - 실리콘을 약 50 nm증착한 후 코발트를 20 nm증착; 2)

[†]E-mail : hgnam@sunmoon.ac.kr

층별 증착법 - 실리콘 10 nm를 증착한 후 코발트 4 nm를 증착한 다음 이러한 layer-by-layer 형태의 증착을 5회 반복 수행. 또한 경우에 따라서는 증착된 샘플 상에 텅스텐을 코발트 두께의 ~0.1정도가 되도록 약 2 nm정도 증착하였다. 증착 후 모든 샘플에 대하여 1영역 전기로를 이용 질소분위기 아래 700°C 또는 900°C에서 6분동안 열처리 하였다.

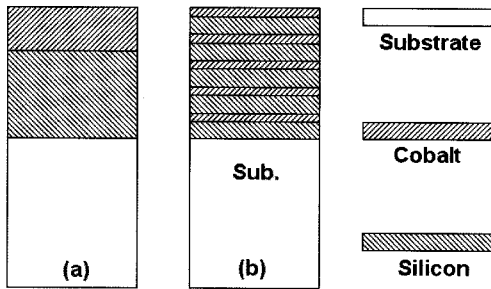


Fig. 1. Sample structures prepared by (a) conventional method and (b) layer-by-layer method.

기판 위에 실리콘 박막을 우선 증착한 이유는 세척 정도에 따른 기판 표면의 영향을 미리 제거하기 위한 것이다. 본 실험에서 사용한 기판은 (100) 실리콘 또는 여기에 성장된 SiGe이었다. SiGe 기판은 실리콘 상에 실리콘 버퍼층을 먼저 증착한 후 Molecular-Beam Epitaxy (MBE) 방법으로 성장하였다. 성장 중에 캐리어 농도가 $\sim 10^{18}/\text{cm}^3$ 이 되도록 Sb의 농도를 조절하였으며 Ge양은 20%로 고정하여 700°C에서 증착하였다.

분석 방법으로는 실리콘사이드의 화학조성비를 측정하기 위해 Microlab 350을 사용하여 Auger electron spectroscopy(AES)분석을 수행하였으며 실리콘사이드와 실리콘 사이의 경계면 조사 및 형성된 실리콘사이드 상 확인을 위해 JEM-3010을 이용하여 cross section transmission electron microscopy(XTEM)분석과 transmission electron diffraction(TED) 분석을 수행하였다. 박막 스트레스에 대하여는 Philips PW1710을 사용한 x-ray diffraction(XRD) 분석을 수행한 다음 관찰된 스펙트럼 간의 피크 이동 정도를 측정하여 정성적인 분석을 시도하였다. 또한 캐리어 농도 및 이들의 반도체 내 분포는 Cameca IMS 4f를 사용한 Secondary Ion Mass Spectroscopy(SIMS) 분석을 통하여 확인하였다.

3. 결과 및 고찰

3.1. 텅스텐 첨가에 따른 특성변화

Fig. 2에는 텅스텐을 첨가하여 제작한 후 900°C에서

열처리한 샘플의 AES 분석 결과를 제시하였다. Fig. 2(a)는 기존의 증착법으로 제작한 샘플의 결과이며 Fig. 2(b)는 층별 증착법으로 제작한 샘플의 결과이다. 그림에서 알 수 있듯이 화학조성비는 Co:Si = 1:2에 가까우며 TED 분석 결과 CoSi₂가 형성된 것을 알 수 있었다. 특히 Fig. 2(b)에서는 뚜렷하게 plateau가 형성된 것으로 보아 층별 증착 방식이 (Co_xW_{1-x})Si₂ 형성에 보다 더 좋은 것으로 보여진다.

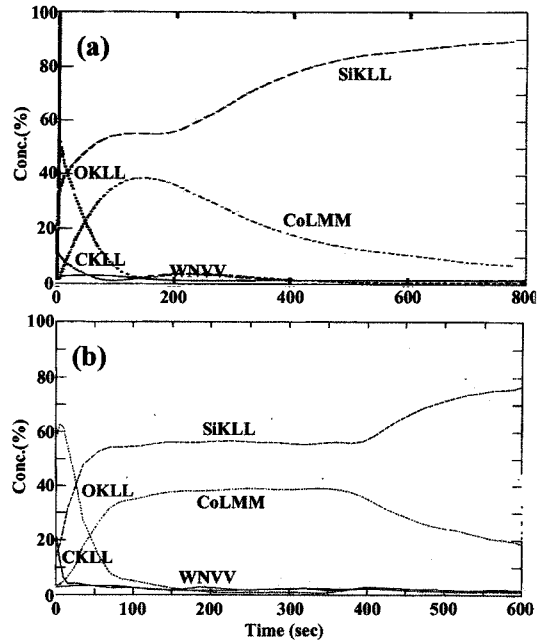


Fig. 2. AES depth profile of CoSi₂ prepared by (a) conventional method and (b) layer-by-layer method.

한편, 위와 같은 증착법 및 열처리 과정을 겪었으나 텅스텐이 첨가되지 않은 샘플에서는 CoSi가 관찰되었다. 또한 같은 증착법으로 제작된 샘플을 700°C에서 열처리한 경우에는 텅스텐의 첨가 여부와 상관없이 CoSi₂가 형성되지 못하고 CoSi가 형성된 것으로 관찰되었다. 즉 세척 정도에 따른 기판의 표면 상태가 실리콘사이드 형성에 미치는 영향을 최소화하기 위해 실리콘 버퍼층을 증착하였음에도 불구하고 불완전한 세척에 따라 산화막 등이 표면에 남아있는 경우 일반적으로 CoSi₂ 형성온도로 알려진 700°C에서 CoSi₂ 형성이 억제되는 것을 알 수 있다. 한편 보다 높은 열에너지를 공급할 경우에도 CoSi₂ 형성이 억제되는 것으로 관찰되었으나 텅스텐을 첨가한 경우에는 기판 표면의 영향이 감소되어 CoSi₂가 형성됨을 볼 수 있었다.

Fig. 3에는 XTEM으로 관찰한 코발트 실리콘사이드

구조의 단면 사진이다. Fig. 3(b)에서 볼 수 있는 바와 같이 텅스텐이 첨가된 경우 실리사이드 grain이 상당한 크기로 성장하였으며 이러한 결과로 $(Co_xW_{1-x})Si_2$ 의 표면은 비교적 거친 것으로 관찰되었다. 즉, 텅스텐 첨가는 기판으로부터의 실리콘 확산을 촉진하는 효과를 발휘하는 것으로 판단된다. 반면에 텅스텐을 첨가하지 않은 경우에는 실리사이드와 실리콘 사이의 경계면은 물론 실리사이드 표면도 매우 부드럽게 형성되었으나 CoSi₂가 형성되지 못한 것으로 분석되었다.

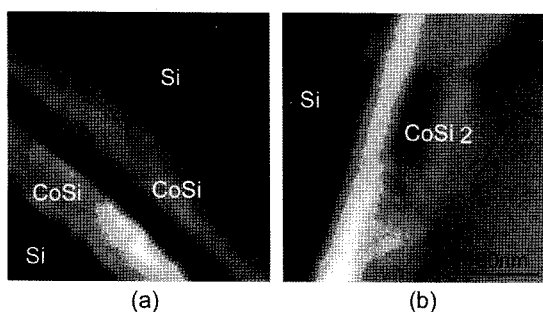


Fig. 3. Cross sectional view of Co silicides (a) W was not added (b) W was added.

Fig. 4에는 텅스텐이 첨가된 실리사이드에 대한 XRD 패턴을 제시하였다. Fig. 4(a)는 기존의 증착방법으로 코발트를 증착한 경우이고 Fig. 4(b)는 층별 증착 방법으로 제작한 경우이다. 다결정 구조가 갖는 스트레스를 XRD를 사용하여 측정하는 것은 쉽지 않으나 본 연구에서는 단점을 최대한 극복하기 위하여 slow scan XRD를 사용하였으며 각 샘플에 대하여 4가지 다른 오리엔테이션에서 패턴을 측정하였다. 그림에서 볼 수 있듯이 2 θ 값이 약 70°인 피크와 62°인 피크가 존재하는데 이들 피크 사이의 각도 차이를 XRD 장비에 부착된 컴퓨터로 분석하였다. 그 결과 conventional 방법으로 제작된 샘플은 7.435°, layer-by-layer 방식으로 제작한 실리사이드 경우에는 7.415°이었다. 이러한 차이는 오차 범위 내로 볼 수도 있겠으나 재현성이 있는 것으로 관찰되어 유효한 차이인 것으로 판단된다. 한편 XRD 피크의 위치는 분석 시에 샘플의 charging 상태에 따라 약간 이동할 수는 있으나 두 피크 간의 2 θ 값이 변할 수는 없기 때문에 본 실험에서 관찰된 차이는 곧 실리사이드 박막의 제작 방법에 따른 스트레스 차이를 의미하게 된다.

실리콘 기판에 금속박막을 증착하여 제작하는 코발트 실리사이드 시스템의 경우 처음엔 Co₂Si가 형성된 다음 CoSi를 거쳐 최종적으로 CoSi₂가 형성된다. 실리사이드 구성 요소가 아닌 제 3의 금속 원소를 소량 첨

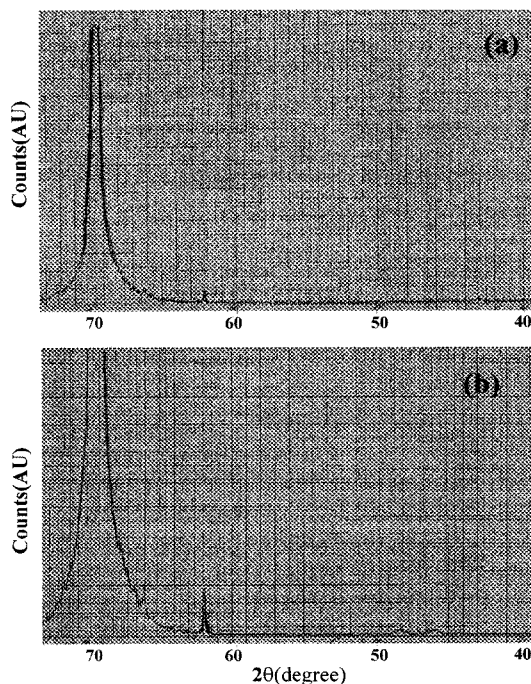


Fig. 4. slow scan XRD patterns obtained from W added CoSi₂ prepared by (a) conventional method (b) layer-by-layer method.

가하는 경우 중간 단계의 실리사이드 상이 안정화 되어 최종 실리사이드 상으로의 상전이 억제되는 것으로 보고되고 있다[8]. 따라서 텅스텐의 첨가는 CoSi의 안정화를 초래하여 세척 정도에 따른 기판 표면의 효과와 함께 CoSi₂로의 상변화를 억제할 것으로 기대된다. 하지만 이러한 안정화를 극복할 수 있는 충분한 열에너지가 제공될 경우에는 오히려 기판 표면이 CoSi₂ 형성에 미치는 영향을 크게 저하시킴으로써 텅스텐이 첨가되지 않은 경우에 비해 CoSi₂ 성장이 실리사이드의 표면이 비교적 거칠어 질 정도로 이루어졌다. 아울러, 텅스텐을 첨가한 경우 실리사이드와 실리콘 사이의 계면도 비교적 거친 것으로 관찰되었는데 이는 텅스텐이 실리콘 계면까지 확산해 들어옴에 따라 실리콘이 또한 박막을 향하여 확산하기 때문인 것으로 여겨진다.

한편 low scan XRD 측정 분석 결과 증착 방법에 따라 피크 간의 2 θ 값 사이에 유효한 차이가 관찰되었다. 이는 실리사이드 제작 방법을 적절하게 조절하여 스트레스를 감소시킬 수 있다는 가능성을 충분히 입증하는 결과이다.

3.2. 증착법에 따른 도펀트의 재 분포 변화

Fig. 5에는 negative SIMS 분석의 raw 데이터를 제

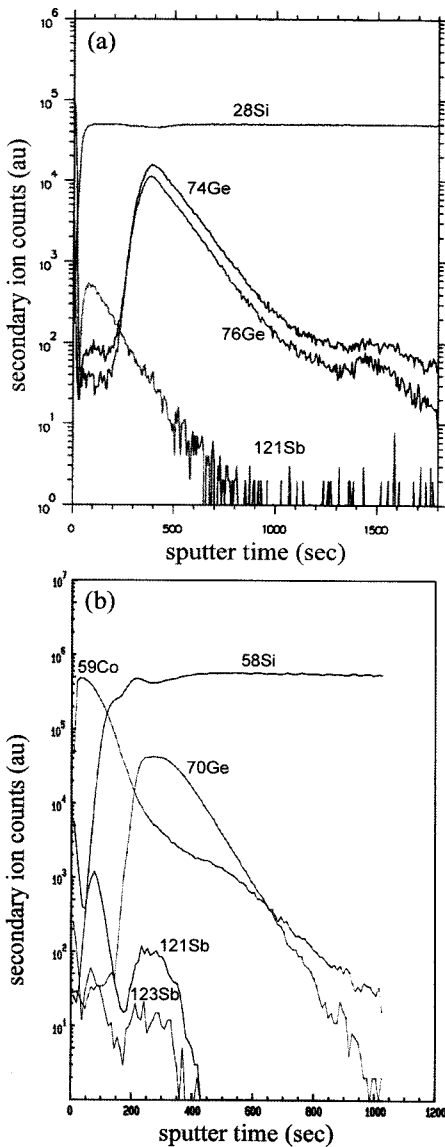


Fig. 5. SIMS profile obtained from SiGe with a (a) Si cap layer (b) Co cap layer.

시하였다. Fig. 5(a)에서 볼 수 있듯이 실리사이드 형성 시 실리콘을 먼저 증착한 경우 Sb의 분포는 표면 안쪽에 피크치를 형성하며 SiGe 내부로 들어갈수록 줄어드는 경향을 보이고 있다. 또한 Ge 분포는 ~1500sec에서 구릉을 형성하고 있다. 반면, 코발트를 먼저 증착한 경우의 Fig. 5(b)에 제시한 바와 같이 Sb 분포는 3개의 피크를 보인다. 또한 첫 번째 피크는 표면 상에 위치하는 것을 볼 수 있으며 Fig. 5(a)의 경우와는 달리 Ge 분포도 구릉을 보이지 않고 있다.

위의 결과들로 보아 실리콘이 먼저 증착되는 경우에 Sb가 증착되는 실리콘 층으로 현저하게 확산해 가는 것을 알 수 있다. 이러한 Sb의 확산은 SiGe 내부에 vacancy 형성을 초래하고 궁극적으로는 Ge이 반도체 안 쪽으로 확산하는 현상을 유발한다. Fig. 5(a)에서 관찰된 Ge 분포 상의 구릉은 이러한 현상의 결과로 보여진다. 반면에 코발트를 먼저 증착한 다음 실리콘을 증착한 경우에는 금속-rich 실리사이드와 실리콘-rich 실리사이드가 공존하는 것으로 나타났다. 또한 실리사이드와 SiGe 계면에서는 Sb의 segregation 현상이 두드러지게 나타남을 알 수 있다. Fig. 5(b)에서 관찰된 3개의 Sb 피크는 이러한 3개의 층 간 계면에서의 segregation에 의한 것으로 판단된다.

4. 결 론

본 연구에서는 코발트 실리사이드 제작 시 텅스텐 첨가가 미치는 영향에 대하여 조사하였다. 또한 실리사이드 형성을 위해 코발트와 실리콘을 증착하는 순서가 반도체 내 도펀트의 재 분포에 미치는 영향도 아울러 분석하였다. 우선 텅스텐의 첨가는 세척 정도에 따른 기관 표면 상태와 함께 최종 실리사이드로의 상전이율을 억제하는 효과가 있으나 이를 극복할 수 있는 충분한 열에너지가 공급되는 경우에는 오히려 기관 표면이 실리사이드 형성에 미치는 영향을 감소시키는 것으로 관찰되었다. 또한 기존의 증착방법과 층별 (layer-by-layer) 증착 방법으로 실리사이드를 제작하는 경우 XRD 분석 결과 두 피크 간 2θ 값은 작지만 유효한 차이를 갖는 것으로 관찰되었다. 즉, 실리사이드 제작 방법을 조절하여 스트레스를 감소시킬 수 있음을 보임으로써 전극구조의 누설전류 감소에 대한 가능성을 제시하였다.

감사의 글

샘플 제작에 수고해 준 구경환군에게 감사를 드린다.

참고문헌

1. C. T. Joansson, I. A. Maximov, H. J. Whitlow, V. Shutthanandan, L. Saraf, D. E. McCready, B. W. Arey, Y. Zhang, and S. Thevuthasan, Nucl. Instr. Meth. Phys. Res. B249, 532 (2006).
2. TD. Erbetta, C. M. Lazzari, M. Brambilla, and T. Marangon, Microelect. Engr. 83, 2258 (2006).
3. Y. Chen, M. W. Lippitt, H. Chew, and W. M. Moller,

- IEEE Trans. Elect. Dev. 50, (2003).
4. M. Tsuchiaki, A. Murakoshi, and C. Hongo, Jpn. J. Appl. Phys. 42, 1847 (2003).
 5. C. W. Lin, I. Petrov, and J. E. Greene, Thin Sol. Films, 1340 (2006).
 6. J. Kim, A. M. Piwowar, R. Nowak, J. A. Gradella Jr., and W. A. Anderson, Appl. Surf. Sci. 253, 3053 (2007).
 7. S. Zimmermann, Q. T. Zhao, H. Hohnemann, M. Wiemer, C. Kaufmann, S. Mantl, V. Dudek, and T. Gessner, Microelect. Engr. MEB5701 (2007).
 8. R. N. Wang, Y. He, and J. Y. Feng, Nucl. Instr. Meth. Phys. Res. B 222 (2004) 462.