

## TLP 평가기법을 이용한 Diode type의 ESD 보호소자 특성 평가

이태일<sup>†</sup> · 김홍배<sup>\*</sup>

<sup>†</sup>충주대학교 전자공학과, <sup>\*</sup>충주대학교 전자정보공학부

### Properties evaluation for ESD Protection device of Diode type using TLP evaluation method

Tae Il Lee<sup>†</sup> and Hong Bae Kim<sup>\*</sup>

<sup>†</sup>Department of Electronics Engineering, Chongju University

<sup>\*</sup>Division of Electronics & Information Engineering, Chongju University

#### ABSTRACT

In paper, We evaluated for various diode type ESD protection device using TLP measurement method. An Evaluation diode is divided to Enclosed type and Stripe type as pattern style in extensive. These diodes is split up followed factor that Anode-to-Cathod space, N+ region width, Multi type and Contact to Active space. After a TLP measurement, we can be got the  $Vt_2$ ,  $It_2$  by I-V characteristic values. In the results, diode of enclosed type is present relatively higher Current capability( $It_2$ ) than stripe type in a same voltage conditions. And the Second-breakdown voltage( $Vt_2$ ) were that Stripe type's diode higher than Enclosed type's diode as have 14~15V. Finally we suggest the best diode design condition as ESD protection device using entire consequence.

**Key Words :** TLP, ESD, Protection device, Diode

#### 1. 서 론

현대 전자기술의 발전은 IC의 집적도 향상을 가져왔고, 이에 따라 다기능·고집적화의 VLSI 실현을 가능하게 하였다. 이와 함께 완성된 IC의 신뢰성 측면의 평가 및 보증 또한 IC의 중요한 성능지표로서 인식되어 개발단계에서부터 이에 필요한 검증이 진행되고 있는 실정이다.

신뢰성 관점에서 평가되는 항목들은 제조현장에서부터 End user가 사용하는 주변 환경으로부터 받을 수 있는 여러 가지 요소를 내포하고 있으며, 이는 온도, 습도, 전기적 Stress와 같은 것 들이 있다. 이 중 전기적 Stress와 관계되는 ESD(ElectroStatic Discharge)라는 현상은 EOS (Electrical OverStress) 현상 중 1us이 내의 짧은 시간에 발생하는 과도적인 현상을 통칭하는 것으로 인체, 기계, 소자 등의 여러 경로를 통해 소자

에 유입되어 소자 기능의 열화 또는 파괴를 일으킨다. 표 1에는 ESD 현상을 유발하는 현상을 세 가지 모델로 정리한 내용을 나타냈으며, 이들 세 가지 모델은  $I_{peak}$ , Rise time 등에 대해 각각 고 유한 특성치를 갖고 있다[1]-[2].

이와 같은 ESD 현상에 의한 소자 파괴를 방지하기 위해 IC내부에는 ESD에 대한 보호소자를 삽입하게 되는데, 이 종류에는 Diode나 TR과 같은 단일 소자에서부터 이들의 조합으로 구성된 Network 형태의 보호소자가 사용되기도 한다[3]. 이 중 Diode type의 보호소자는 설계 및 공정이 다른 소자들에 비해 용이하고

**Table 1.** Models of ESD Phenomenon

| Model | $I_{peak}$<br>[A] | Rise time<br>[ns] | Bandwidth<br>[MHz] |
|-------|-------------------|-------------------|--------------------|
| HBM   | 1.2~1.5           | 2~10              | 2.1                |
| MM    | 2.8~3.8           | < 10              | 12                 |
| CDM   | 9±1               | < 0.4             | 1100               |

<sup>†</sup>E-mail : taeillee@chongju.ac.kr

Layout시 여러 가지 방식으로 삽입이 가능하여 주로 사용되고 있다.

한 편 ESD에 대한 평가방법에서는 위에 소개된 각 모델을 회로적인 등가회로로 구현하여 평가하는 ESD Simulator이다. 하지만 이 Simulator를 이용한 평가에서는 평가된 수준에서 DUT의 ‘PASS 또는 FAIL’에 대한 정보만을 제공하기 이유로 제한적인 결과만을 얻게 된다. 이에 대한 결과를 보완하기 위해 제안된 TLP (Transmission Line Pulse) 측정법은 ESD Pulse에 대한 DUT의 I-V 특성을 추출할 수 있어 ESD 보호소자에 대한 보다 신뢰성 있는 검증을 가능하게 해준다[4].

본 논문에서는 TLP 측정 시스템을 이용하여 Diode type의 ESD 보호소자에 대한 평가를 시행하였으며, 이를 통해 TLP Parameter( $V_t$ ,  $I_t$ )를 추출하여 보다 객관화되고 신뢰성 있는 ESD 보호소자 설계를 가능하게 하였다. 평가된 Diode는 Pattern type에 의해 두 가지로 구분되고, Design 조건에 따라 여러 가지로 Split되었다.

## 2. 실험방법

### 2.1 TLP 측정 시스템

본 논문에서 ESD 보호소자 측정에 사용된 TLP 측정 시스템의 개략적인 구성도를 그림 1에 도시하였다. 본 논문에서 사용된 장비는 Barth社의 4002TLP Model이며, Probe station을 이용한 Wafer level의 평가로 진행되었다.

TLP 시스템에서 생성되는 Pulse는 150ns의 Pulse width를 갖는 Double exponential pulse type인 HBM Model의 파형을 등가적으로 구현할 수 있도록 지원한다. 그리고 TLP 시스템에서의 Pulse width는 Transmission line(이하 전송선로)의 길이로 조절되고, Pulse의 Rise time은 Rise-time Filter를 통해 지정된 값을 구현할 수 있도록 한다.

그림 1에서 V와 A로 표시된 전압계와 전류계는 오

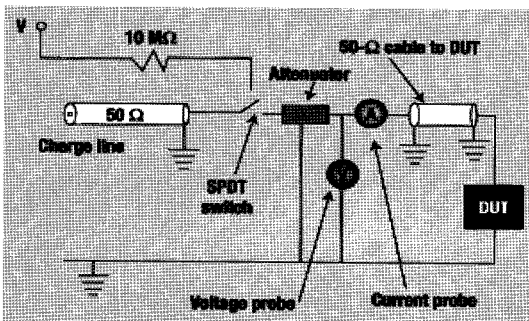


Fig. 1. Configuration of TLP measurement system.

실로스코프를 통한 Monitoring을 의미하며, Pulse의 입·출력 파형을 Monitoring하는 지점과 구성에 따라 여러 가지 측정 방식으로 나뉘고 있다. 본 실험에서 적용된 방식은 TLP 측정에서 가장 일반적으로 적용되고 있는 Constant impedance 방식의 TDR-O(Time Domain Reflection-Over lap) 방식이다[5].

### 2.2. 평가대상소자

평가에 사용된 Diode는 크게 Enclosed type과 Stripe type의 Diode이다. 그림 2에서 이에 대한 Pattern을 보여주고 있으며, 그림 2(a)에 표기된 Pattern내의 각 영역에 대한 설명을 표 2에서 나타내었다. 그리고 각 Pattern에 대한 평가 조건은  $S(n+ \text{ to } p+ \text{ space})$ ,  $W(n+ \text{ region width})$ , Multi type 그리고  $n+$  영역의 Contact-to-Active Space를 적용하였다.

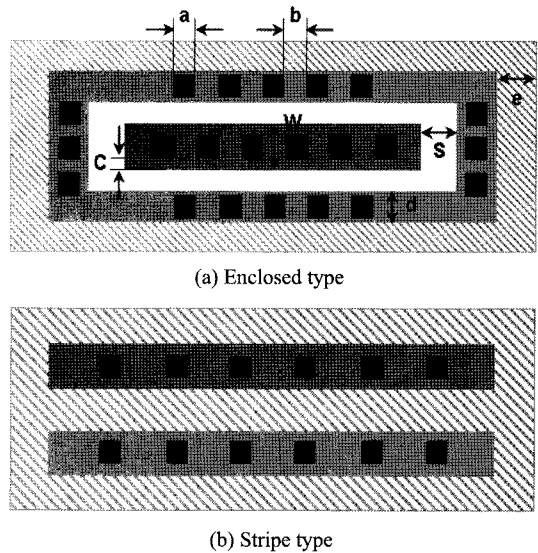


Fig. 2. Applied diode pattern for TLP evaluation.

Table 2. Design parameters for Diode layout

| Factor | Description        | Value       |
|--------|--------------------|-------------|
| a      | Contact size       | 1.8         |
| b      | CNT-to-CNT Space   | 1.8         |
| d      | P+ Width           | 3.8         |
| e      | P-Well-to-P+ Space | 4.0         |
| C      | N+-to-CNT Space    | 2.0(3.8)    |
| S      | P+-to-NP+ Space    | 3.0(3.0~10) |
| W      | N+ Width           | 100(50&200) |

그림 2의 Pattern에서 파란색 빗금으로 표시된 부분이 P-well이고, 빗금이 없는 부분이 p+ 그리고 분홍색은 n+ 영역을 의미한다. 또한 표 2에서 빨간 글자로 적힌 항목은 Split되어 Drawing된 요소들이다. 각 항목의 수치에서 괄호 안의 숫자는 Split 된 범위를 의미한다.

2.3. 적용공정

본 평가를 위한 Diode의 제작은 1.5 um 2Poly-1Metal Analog CMOS 공정을 이용하였다.

3. 실험결과 및 고찰

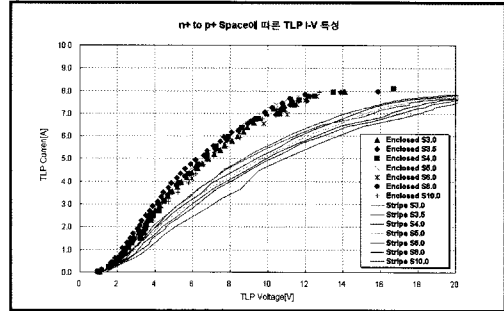
먼저 TLP 평가에 적용된 조건들을 표 3에 정리해 보았다. TLP 장치에 의해 생성되는 Pul-se에 대한 조건은 100ns의 Width와 0.2 ns의 Rise-time으로 설정하였다.

표 3의 Leakage 항목은 DUT의 Soft-failure에 대한 평가를 위한 조건이며, 이는 평가되는 소자가 V12라는 Second breakdown 지점에 이르기 전에 정해진 Leakage 수준 이상이 발생하는 현상을 의미한다. 본 평가에서는 통상적으로 소자의 Leakage current level로 적용되는 1uA를 기준으로 정하였으며, 측정결과에서 Leakage fail에 의해 측정이 종료된 경우 이에 대한 Comment를 기재하였다.

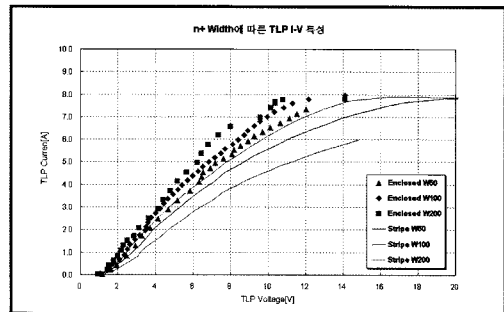
그림 3에는 Enclosed type과 Stripe type에 대한 TLP I-V 특성의 전체 결과를 도시하였다. 그리고 각 Pattern layout 조건에 따른 Diode type간의 비교를 위해 같은 설계조건에서의 결과를 나타내었다.

그림의 결과에서 알 수 있듯이 모든 설계 조건의 결과에서 Enclosed type의 Diode가 Stripe type의 Diode보다 같은 전압조건에서 비교적 더 높은 Current capability를 갖는다는 것을 확인할 수 있다. 세부적으로 보

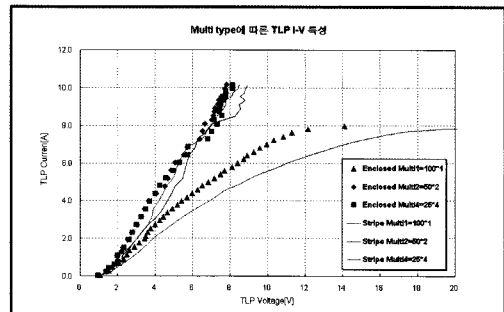
면 먼저 n+-to-p+ Space에 대한 특성에서는 같은 Type의 경우 Space에 따라 변별력 있는 결과를 나타내진 않았다. 물론 근소한 차이는 있었으나, Space에 따라 비



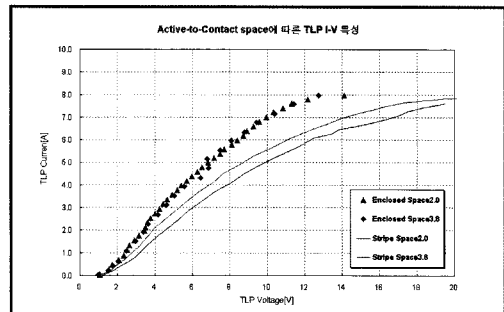
(a) n+-to-p+ Space



(b) n+ Width



(c) Multi type



(d) n+ CNT-to-ACT region Space

Table 3. Set-up conditions for TLP Measurement

| Parameter               | Conditions |
|-------------------------|------------|
| Leakage test voltage    | 0.1[V]     |
| Leakage current limit   | 1.0E-6[A]  |
| Pulse current limit     | 10.0[A]    |
| Maximum pulse voltage   | 250[V]     |
| Start pulse voltage     | 1.0[V]     |
| Test step voltage       | 1.0[V]     |
| Pulse width             | 100[ns]    |
| Puse rise-time          | 0.2[ns]    |
| Voltage step multiplier | X1         |

Fig. 3. TLP I-V Characteristics by Design conditions.

레 또는 반비례하는 경향성을 갖진 않았다. 다음으로 n+ Width에 따른 결과에서는 Width가 증가함에 따라 Current capability가 증가함을 확인할 수 있었고, Stripe type Width 200 um에서 최대 7.89A을 나타냈다. Multi type에 대한 결과는 100 um\*1ea와 나머지 결과와의 차이가 뚜렷하였고, 이는 Type에 상관없이 모두 같은 결과를 나타냈다. 마지막으로 N+ Contact-to-Active Space에 대한 결과도 Split된 조건에 따른 변화는 거의 없었고, Diode type에 따른 차이 만을 확인할 수 있었다.

표 4는 그림 3의 I-V 특성 그래프에서 추출한 각 설계조건 별 Vt2, It2 결과를 정리한 것이다. 여기서 Vt2는 Second-Breakdown Vol tage를 의미하며, 이 전압 이상에서는 정상적인 소자동작은 물론 소자의 물리적 Damage를 야기 시킨다. 그리고 It2는 Vt2 전압에서의 전류값을 의미 하는데, 이 전류값은 Current capability라 하여 보호소자의 특성을 가늠할 수 있는 지표가 된다.

표의 내용 중 Remark에 표시된 내용은 측정 종료에 대한 Comment인데, Operator end는 정상적인 Vt2, It2를 확보하여 종료된 경우이고 Maximum current limit는 측정조건(표 3)에서 설정된 전류(10A)에 도달하여

종료된 경우이다. 그리고 Leakage current limit은 별도의 DC측정에서 설정된 Leakage current level에 도달하여 종료된 경우를 의미한다. 이와 같은 결과를 나타낸 소자의 경우는 Second breakdown 지점 이전에 Soft-failure 현상이 있어났다고 볼 수 있다. 표 4 하단에 표시되어 있는HBM에 대한 값은 TLP 측정결과와 It2값에 HBM의 등가저항 값인 1.5 kΩ를 곱하여 계산된 값이나, 신뢰할 수 있는 검증이 이루어진 것은 아니므로 참고 수준으로 보면 될 것이다. 이 값은 평가된 모든 소자에서 10 kV이상을 나타내었다.

표 4의 TLP I-V Parameter 결과를 보다 쉽게 파악할 수 있도록 그림 4에서 전체결과를 그래프로 나타내보았다. 그림 4를 보면 앞서 얘기한 각 설계조건 및 Diode type에 따른 결과를 보다 쉽게 이해할 수 있을 것이다. 전체적으로 가장 두드러진 차이는 Diode type에 따른 Vt2 값임을 알 수 있으며, 이는 ESD 보호소자용 소자가 동작되어야 할 전압 영역을 고려할 때 Enclosed type의 Diode가 Stripe type의 Diode보다 적당하다고 말할 수 있다.

왜냐하면 ESD 보호소자는 IC의 동작 전압영역 보다 큰 크면서 내부 소자의 BV(Breakdown Vol tage)보다는 작은 내압을 갖고 있어야 하기 때문이다. 참고로 본

Table 4. Results of Vt2, It2 by Design conditions

| Type        | Cell    | Result |       | HBM[kV] | Remark                |
|-------------|---------|--------|-------|---------|-----------------------|
|             |         | Vt2    | It2   |         |                       |
| Stripe type | S3.0    | 19.62  | 7.82  | 11.73   | Operator end          |
|             | S3.5    | 19.99  | 7.82  | 11.73   | Operator end          |
|             | S4.0    | 20.36  | 7.74  | 11.61   | Operator end          |
|             | S5.0    | 24.46  | 7.72  | 11.59   | Operator end          |
|             | S6.0    | 23.98  | 7.75  | 11.62   | Operator end          |
|             | S8.0    | 23.72  | 7.76  | 11.64   | Operator end          |
|             | S10.0   | 23.31  | 7.76  | 11.63   | Operator end          |
|             | W50     | 14.83  | 5.99  | 8.99    | Leakage current limit |
|             | W100    | 19.52  | 7.82  | 11.73   | Operator end          |
|             | W200    | 16.43  | 7.89  | 11.84   | Operator end          |
|             | Multi*1 | 19.52  | 7.82  | 11.73   | Operator end          |
|             | Multi*2 | 8.94   | 10.13 | 15.20   | Maximum current limit |
|             | Multi*4 | 8.49   | 10.16 | 15.24   | Maximum current limit |
|             | CNT2.0  | 19.52  | 7.82  | 11.73   | Operator end          |
|             | CNT3.8  | 19.50  | 7.82  | 11.42   | Leakage current limit |

| Type          | Cell    | Result |       | HBM[kV] | Remark                |
|---------------|---------|--------|-------|---------|-----------------------|
|               |         | Vt2    | It2   |         |                       |
| Enclosed type | S3.0    | 14.11  | 7.96  | 11.95   | Operator end          |
|               | S3.5    | 13.89  | 7.95  | 11.92   | Operator end          |
|               | S4.0    | 16.72  | 8.11  | 12.16   | Operator end          |
|               | S5.0    | 13.86  | 7.96  | 11.92   | Operator end          |
|               | S6.0    | 14.01  | 7.94  | 11.91   | Leakage current limit |
|               | S8.0    | 16.87  | 7.97  | 11.95   | Operator end          |
|               | S10.0   | 12.77  | 7.96  | 11.93   | Operator end          |
|               | W50     | 12.03  | 7.34  | 11.02   | Maximum current limit |
|               | W100    | 14.11  | 7.96  | 11.95   | Maximum current limit |
|               | W200    | 14.09  | 7.78  | 11.67   | Operator end          |
|               | Multi*1 | 14.11  | 7.96  | 11.95   | Maximum current limit |
|               | Multi*2 | 7.81   | 10.16 | 15.24   | Maximum current limit |
|               | Multi*4 | 8.12   | 10.14 | 15.22   | Maximum current limit |
|               | CNT2.0  | 14.11  | 7.96  | 11.95   | Maximum current limit |
|               | CNT3.8  | 12.72  | 7.97  | 11.96   | Maximum current limit |

Note) HBM Value=It2\*1500

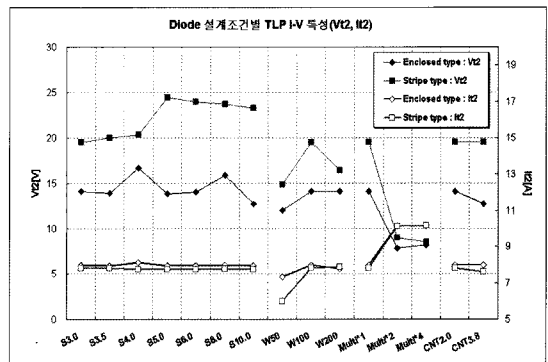


Fig. 4. TLP Parameter(Vt2, It2) of the Designed diode.

Table 5. Recommended design condition for ESD Protection device of Diode type.

| 항 목                       | 적용내용          |
|---------------------------|---------------|
| Pattern type              | Enclosed type |
| n+to-p+ space             | 3.0 um        |
| n+ Width                  | 100 um        |
| Multi type                | 1EA           |
| n+Contact-to-Active space | 2.0 um        |

보호소자가 Target으로 고려한 Internal device의 DC Level BV 규격은 18V이상이다.

이상의 평가 결과를 토대로 가장 최적화 된 Diode type의 ESD 보호소자의 설계 Rule을 표 5에 도시하였다.

#### 4. 결 론

지금까지 Diode type의 ESD 보호소자에 대한 TLP 측정결과에 대하여 논의해보았다. 이를 통해 얻어진 결과를 정리하면 다음과 같다.

1. Enclosed type의 Diode는 동일조건인 전압에서 Stripe type의 Diode보다 Current capability 성능이 좋다.
2. n+-to-p+ Space에 대한 It2의 결과는 두 가지 Type 모두에서 동일한 수준을 유지하여 설계조건에 따른 경향성을 나타내지 않았다.
3. n+ width에 대한 결과는 Width 증가에 따라 It2가 증가하는 비례관계를 나타냈다.
4. Multi type에 대한 결과는 같은 Size를 기준으로 2개 이상의 Multi pattern으로 구성 하는 것이 Current capability를 향상시킨다. 하지만 이 경우 10V 이하의 Vt2를 나타내었다.

5. n+ Contact-to-ACT Space에 대한 결과는 조건에 따라 변별력을 갖지 않았다.

이와 같은 TLP Parameters는 ESD 보호소자 설계 지침에 있어 유용한 정보가 될 수 있을 것이며, 부적당한 ESD 보호소자 선정으로 인한 '설계-공정-평가'의 시행 착오 또한 감소시킬 수 있을 것이다.

#### 참고문헌

1. Andreas D. stricker, "Technology Computer Aided Design of ESD Protection Devices" Hartung-Gorre Verlag, Konstanz, 2001, pp.13-17.
2. Sanjay Dabral, Timothy Maloney, "Basic ESD and I/O Design", John Wiley&Sons, Inc.,1998, pp.2-4.
3. Marianna cavone, et al., "A method for the characterization and evaluation of ESD protection structures and networks", Journal of Electrostatics 36, 1995, pp.109-125.
4. Leo, G. Henry, "Transmission Line Pulse Testing of the ESD Protection Structure of ICs.-A Failure Analysts Perspective", 26<sup>th</sup> International Symposium for Testing and Failure Analysis, 2000, pp.203-215.
5. Steven H. Voldman, "ESD Physics and Devices", John Wiley&Son, Ltd, 2004, pp.7-10.