

저 전압 스윙 기술을 이용한 저 전력 병렬 곱셈기 설계

김 정 범[†]

요 약

본 논문에서는 작은 점유면적과 저 전력 소모 특성을 갖도록 CPL(Complementary Pass-Transistor Logic) 논리구조의 전가산기에 저 전압 스윙 기술을 적용하여 16×16 비트 병렬 곱셈기를 설계하였다. 회로구성상 CPL 논리구조는 CMOS 논리구조에 비해 NMOS 트랜지스터만을 사용하기 때문에 작은 면적을 소비한다. 저 전압 스윙 기술은 회로에 공급되는 전압보다 낮은 전압 레벨에서 출력 동작을 하여 전력 소모를 감소시키는 기술이다. 본 논문에서는 전가산기의 출력 단계에 사용되는 인버터에 저 전압 스윙 기술을 적용하여 저 전력 소모 특성을 갖는 16×16 비트 병렬 곱셈기를 설계하였다. 설계한 회로는 17.3%의 전력 소모 감소와 16.5%의 전력소모와 지연시간의 곱(Power·Delay) 감소가 이루어졌다.

키워드 : 저 전력회로 설계, 저 전압 스윙 기술, CPL

Design of a Low-Power Parallel Multiplier Using Low-Swing Technique

Jeong Beom Kim[†]

ABSTRACT

This paper describes a new low-swing inverter for low power consumption. To reduce a power consumption, an output voltage swing is in the range from 0 to $VDD-2V_{TH}$. This can be done by the inverter structure that allow a full swing or a swing on its input terminal without leakage current. Using this low-swing voltage technology, we proposed a low-power 16×16 bit parallel multiplier. The proposed circuits are designed with Samsung 0.35 μ m standard CMOS process at a 3.3V supply voltage. The validity and effectiveness are verified through the HSPICE simulation.. Compared to the previous works, this circuit can reduce the power consumption rate of 17.3% and the power-delay product of 16.5%.

Key Words : Low-Power Circuit Design, Low-Swing Technology, CPL

1. 서 론

오늘날 디지털 회로의 설계에서 중요시되는 문제는 높은 성능과 칩 면적의 최소화, 전력 소모 감소 등을 들 수 있다. 이동 장치와 휴대 장치의 대중화에 의해 보급이 늘어나면서, 저 전력 회로에 대한 필요성이 증대되고 있다. 저 전력 회로 기술은 칩 면적의 증가나 회로의 성능 감소에 영향을 미치지 않는 상태에서 전력 소비를 효과적으로 감소시켜야 한다[1,2].

회로의 성능을 평가하는 주된 요소는 동작 속도와 전력 소모이다. 그동안 VLSI 설계연구자들에 의해 동작 속도는 만족할 만큼의 성능 개선을 이루었다. 그러나 저 전력 소모에 있어서는 동작속도 개선의 발전 속도를 따르지 못하고 있다. 이러한 문제를 해결하기 위해서 현재 많은 노력과 연

구가 이루어지고 있다. 전력 소모를 감소시키기 위한 요소에는 여러 가지가 있다. 예를 들면, 공급 전압을 낮추는 방법, 트랜지스터 수를 감소시켜 회로를 간소화하는 방법, 논리 회로 형태를 전환하는 방법 등 여러 가지 요소가 있다. 따라서 논리 회로의 안정된 성능과 목적에 따라 적합한 형태의 방법을 찾는 것이 중요하다[3-7].

전력 소모를 감소시키는 방법의 하나로 감소된 출력 전압을 이용하는데 이러한 기술을 저 전압 스윙 기술이라 한다. 저 전압 스윙 기술은 도미노 논리회로에 처음으로 적용하여 저 전력 회로를 구현하였으며, 이후 성능향상을 위한 연구가 진행되었다[1-3]. 또한 CVSL (Cascade Voltage Switch Logic) 회로에 저 전압 스윙 기술을 적용하여 저 전력 회로를 구현 하였다. 그러나 도미노 논리회로와 CVSL 회로는 특수한 용도에 한정적으로 사용되는 논리회로 형태이므로 집적회로 설계에 적용이 제한적이라는 단점이 있다. 따라서 본 논문에서는 집적회로 설계에 일반적으로 사용되는 CPL (Complementary Pass-transistor Logic) 회로에 저 전압 스윙 기술을 적용하였으며, 이를 CPL 16×16 비트 병렬 곱셈

※ 본 연구에 사용한 CAD S/W는 반도체설계교육센터(IDEC)의 지원에 의한 것이다.

[†]정 회 원 : 강원대학교 전기전자공학부 부교수
논문접수 : 2006년 12월 11일, 심사완료 : 2007년 5월 29일

기에 적용하여 저 전력 회로로 구현하였다. CPL 논리구조는 NMOS 트랜지스터만을 사용하기 때문에 칩의 소비 면적을 감소시킬 수 있다[7,8].

제안한 회로는 0.35 μ m CMOS 표준공정의 파라미터를 이용하여 HSPICE로 시뮬레이션 하였으며, CADENCE VIRTUOSO를 사용하여 16 \times 16 비트 병렬 곱셈기를 레이아웃(layout) 하였다.

2. 저 전압 스윙 기술

2.1 전력 소모

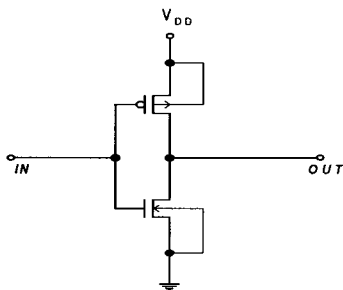
전력 소모(에너지 손실) 요소는 공급 전압과 출력 단의 노드 커패시터 등으로 식(1)으로 표현된다.

$$E = C_L \times V_{DD} \times V_{dd} \quad (1)$$

여기서 C_L 은 노드 커패시터, V_{DD} 는 공급 전압, V_{dd} 는 출력 스윙전압이다. 식 (1)에 의하면 에너지 손실은 출력 단의 노드 커패시터와 공급 전압, 출력 단의 스윙전압의 곱으로 이루어진다. 따라서 출력 단의 스윙전압을 감소시키면 에너지 손실을 감소시킬 수 있다.

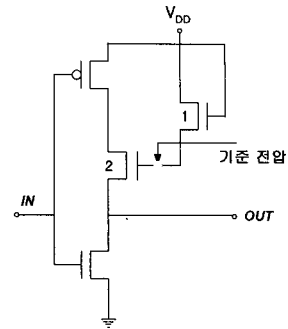
2.2 저 전압 스윙 인버터

저 전압 스윙 기술은 회로에 공급되는 전압보다 낮은 전압 레벨에서 출력 동작을 하여 전력 소모를 감소시키는 기술이다. (그림 1)의 일반적인 인버터는 0V(GND)에서 공급 전압(V_{DD})까지 완전스윙을 한다. 만약 공급 전압이 3.3V인 경우, 출력 전압은 0V~3.3V 값을 가진다. 이러한 출력 동작 전압 범위는 전력 소모와 밀접한 관계를 가지고 있다. 식(1)에서 나타낸 바와 같이 출력 스윙전압을 감소시키면 에너지 손실은 감소된다.



(그림 1) 일반적인 CMOS 인버터

(그림 2)는 본 논문에서 제시한 저 전압 스윙 인버터이다. 일반적인 CMOS 인버터에 NMOS 트랜지스터가 추가된 변형된 인버터 구조이다. V_{DD} 에 연결된 PMOS 트랜지스터와 GND에 연결된 NMOS 트랜지스터 사이에 NMOS 트랜지스터가 추가되었다. 1번 트랜지스터의 드레인은 변형된 인버터의 기준전압으로서 인버터의 동작전압이 된다. 2번 트랜



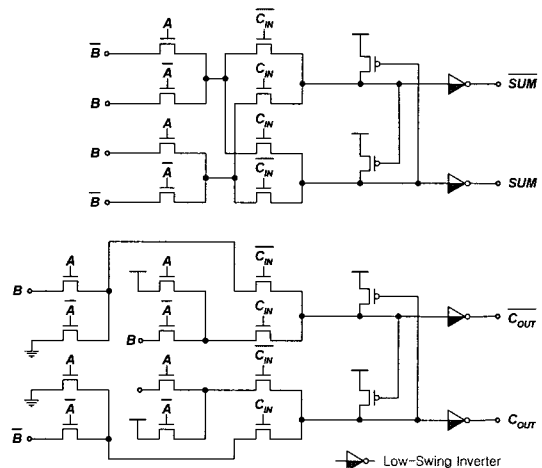
(그림 2) 저 전압 스윙 인버터

지스터는 기준전압에 의해 동작하며, PMOS 트랜지스터와 연결되어 V_{DD} 전압을 출력 노드에 전달한다. 기준전압은 추가된 NMOS 트랜지스터의 수와 문턱전압(V_{TH})에 의해 $V_{ref} = (V_{DD} - V_{TH})$ 이 된다. 추가된 NMOS 트랜지스터는 다이오드 형태의 저항이 되어 출력전압을 감소시킨다. 공급전압이 3.3V일 경우, 일반적인 CMOS 인버터의 에너지 손실은 $E = C_L \times 3.3V \times 3.3V$ 이고, 저 전압 스윙 인버터의 에너지 손실은 $E = C_L \times 3.3V \times (3.3 - V_{TH})V$ 이다. 따라서 공급전압에서 저 전압 스윙 차만큼 에너지 손실을 감소시킨다. 즉, 에너지 손실 $E = C_L \times V_{DD} \times (V_{DD} - (V_{ref} - V_{TH}))$ 이며, 저 전압 스윙 기술 적용으로 인한 전력소모 감소율은 $((V_{ref} - V_{TH})/V_{DD}) \times 100\%$ 이다.

3. 저 전압 스윙 기술을 이용한 회로설계

3.1 저 전압 스윙 기술을 이용한 CPL 전가산기

CPL 전가산기의 출력 단에 사용되는 인버터에 저 전압 스윙 인버터를 적용하여 회로의 출력 전압스윙을 감소시켰다. CPL 전가산기의 논리 구성은 NMOS 트랜지스터만을 사용하므로 칩 면적의 소비를 감소시킬 수 있다. 출력 단에 사용된 PMOS 트랜지스터는 NMOS 트랜지스터로 인한 논리 '1'에 대한 상쇄된 신호를 복원해 준다. (그림 3)은 설계한 저 전압 스윙 CPL 전가산기이다.



(그림 3) 저 전압 스윙 CPL 전가산기

3.2 16×16 비트 병렬 곱셈기

병렬 곱셈기는 곱셈과정에서 발생하는 부분 곱들을 병렬로 연결되어 독립적인 계산을 수행한다. m비트의 승수 X와 n비트의 피승수 Y의 곱은 식 (2)와 같다. P_k2^k 는 부분 곱이다.

$$\begin{aligned}
 X &= \sum_{i=0}^{m-1} X_i 2^i \\
 Y &= \sum_{j=0}^{n-1} Y_j 2^j \\
 P &= X \cdot Y = \sum_{i=0}^{m-1} X_i 2^i \cdot \sum_{j=0}^{n-1} Y_j 2^j \\
 &= \sum_{i=0}^{m-1} \sum_{j=0}^{n-1} (X_i Y_j) 2^{i+j} \\
 &= \sum_{k=0}^{m+n-1} P_k 2^k \tag{2}
 \end{aligned}$$

최종 출력으로 연결된 전가산기는 다른 회로와의 원활한 신호 전달을 위해 완전스윙 전가산기를 사용하였다. 이는 저 전압 스윙 기술로 인한 낮은 출력 전압이 원래 신호로의 복원과정이 없이 다음 단의 입력으로 전달되기 때문에, 손상된 신호를 복원하기 위해서 완전스윙 CPL 전가산기를 사용하였다.

4. 시뮬레이션 결과 및 비교

본 논문은 0.35μm CMOS 기술을 이용하여 HSPICE 로 시뮬레이션 하였다. 공급 전원은 3.3V로 하였으며, 출력에 200fF의 부하 커패시터를 연결하여 측정하였다.

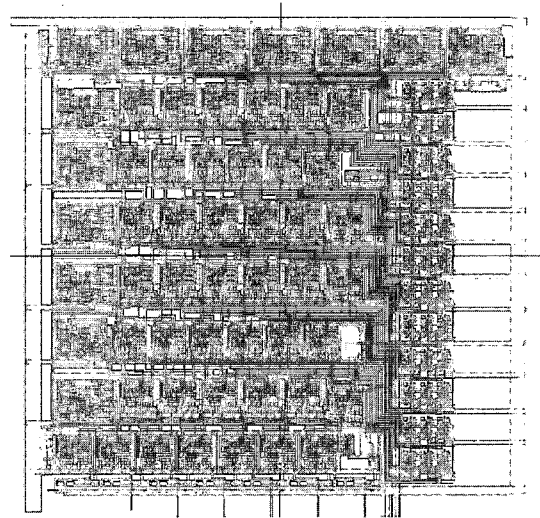
인버터와 CPL 전가산기에 대한 특성 비교를 <표 1>에 나타내었다. CPL 전가산기는 22.5%의 전력 소모 감소효과와 전력소모와 지연시간의 곱에서는 24.3%의 성능향상을 이루었다. <표 2>는 16×16 비트 병렬 곱셈기에 대한 비교표이다. 16×16 병렬 곱셈기의 경우 본 논문에서 제안한 저 전압 스윙 기술을 적용한 17.3%의 전력소모 감소효과와 전력소모와 지연시간의 곱에서는 16.5%의 성능향상을 이루었다. (그림 4)는 본 논문에서 설계한 16×16 비트 병렬 곱셈기의 레이아웃이다.

<표 1> CPL 전가산기에 대한 비교표

	기존회로[5]	본 논문의 회로
평균전력소모(mW)	0.40	0.31
전달지연시간(ns)	1.75	1.71
전력소모×지연시간 [pJ]	0.70	0.53

<표 2> 16×16 비트 병렬 곱셈기에 대한 비교표

	기존회로[6]	본 논문의 회로
평균전력소모(mW)	6.60	5.46
전달지연시간(ns)	4.65	4.69
점유면적(μm ²)	1.3×2.1	1.3×2.2
전력소모×지연시간 [pJ]	30.69	25.61



(그림 4) 본 논문에서 설계한 곱셈기의 레이아웃

5. 결론

본 논문은 기존의 CMOS 인버터를 변형하여 저 전압 스윙 특성을 갖는 논리 회로를 제안하였다. 일반적인 인버터에 NMOS 트랜지스터를 추가하여 감소된 출력 전압으로 동작할 수 있는 인버터를 CPL 전가산기에 적용하였으며 이를 이용하여 16×16 비트 병렬 곱셈기를 설계하였다. 공급 전압보다 낮은 전압으로 출력 동작을 함으로써 전력소모를 감소시켰다. 본 논문에서 제안한 저 전압 스윙 기술을 16×16 비트 병렬 곱셈기에 적용한 결과, 17.3%의 전력 소모 감소효과와 전력소모와 지연시간의 곱에서는 16.5%의 성능향상을 이루었다.

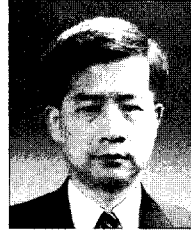
개선사항으로는 과도 전류 감소와 상승 전달 지연 시간의 감소가 요구된다. 이러한 문제의 해결 방법으로서 저 전압 스윙 기술에 적합한 새로운 논리 구조에 대한 연구가 필요하다.

참고 문헌

- [1] A. Rjoub and O. Koufopavlou, "Low-Power Domino Logic Multiplier Using Low-Swing Technique", in Proceeding of IEEE International Conference on Electronics, Circuits and Systems, vol.2, pp.45-48, 1998.
- [2] S. H. Yang, M. K. Lee and Kyoung-Rok Cho., "Small-Swing Domino Logic for Low Power Consumption." in Proceeding of SPIE MicroElectronics, pp.164-167, 2003.
- [3] Jang Hee Kang and Jeong Beom Kim, "Design of a low power CVSL full adder using low-swing technique", in Proceeding of IEEE International Conference on Semiconductor Engineering, pp.247-251, 2004.
- [4] Jyh-Ming Wang, Sung-Chuan Fang, and Wu-Shiung Feng, "New Efficient Design for XOR and XNOR Functions on the Transistor Level", IEEE Journal of Solid-State Circuits,

Vol.29, No.7, July 1994.

- [5] Reto Zimmermann and Wolfgang Fichtner, Fellow, IEEE, "Low-Power Logic Styles: CMOS Versus Pass-Transistor Logic", IEEE Journal of Solid-State Circuits, Vol.32, No.7, July 1997.
- [6] Issam S. Abu-Khater, Abdellatif Bellaouar, and M. I. Elmasry, "Circuit Techniques for CMOS Low-Power High-Performance Multipliers", IEEE Journal of Solid-State Circuits, Vol.31, No.10, October 1996.
- [7] Shivaling S, Mahant-Shetti, Poras T, Balsara, "High Performance Low Power Array Multiplier Using Temporal Tiling". IEEE Transactions on Very Large Scale Integration(VLSI) System. Vol.7, No.1, March 1999.



김정범

e-mail: kimjb@kangwon.ac.kr

1985년 인하대학교 전자공학과 학사

1987년 인하대학교 대학원 전자공학과 석사

1997년 포항공과대학교 대학원 전자전기 공학과 박사

1987년~1992년 금성반도체 중앙연구소 선임연구원

1994년~1997년 현대전자 시스템IC연구소 책임연구원

1997년~1998년 충북대학교 전기전자공학부

1999년~현재 강원대학교 전기전자공학부 부교수

관심분야 : VLSI 설계