a-Si:H TFT의 수율 향상을 위한 공정 개선

허 창 우*

The Improvement of Fabrication Process for a-Si:H TFT's Yield

Chang-wu Hur*

요 약

본 연구는 기존의 방식으로 만든 비정질 실리콘 박막 트랜지스터의 제조공정에서 발생되는 결함에 대한 원인을 분석하고 해결함으로써 수율을 증대시키고 신뢰성을 개선하고자한다. 본 연구의 수소화 된 비정질 실리콘 박막 트랜지스터는 Inverted Staggered 형태로 게이트 전극이 하부에 있다. 실험 방법은 게이트전극, 절연층, 전도층, 에치스토퍼 및 포토레지스터층을 연속 증착한다. 스토퍼층을 게이트 전극의 패턴으로 남기고, 그 위에 n+a-Si:H 층 및 NPR(Negative Photo Resister)을 형성시킨다. 상부 게이트 전극과 반대의 패턴으로 NPR층을 패터닝하여 그것을 마스크로 상부 n+a-Si:H 층을 식각하고, 남아있는 NPR층을 제거한다. 그 위에 Cr층을 증착한 후 패터닝하여 소오스-드레인 전극을 위한 Cr층을 형성시켜 박막 트랜지스터를 제조한다. 이렇게 제조한 박막 트랜지스터에서 생기는 문제는 주로 광식각공정시 PR의 잔존이나 세척 시 얇은 화학막이 표면에 남거나 생겨서 발생되며, 이는 소자를 파괴시키는 주된 원인이 된다. 그러므로 이를 개선하기 위하여 ashing 이나 세척공정을 보다 엄격하게 수행하였다. 이와 같이 공정에 보다 엄격한 기준의 세척과 여분의 처리공정을 가하여 수율을 확실히 개선 할 수 있었다.

ABSTRACT

TFT's have been intensively researched for possible electronic and display applications. Through tremendous engineering and scientific efforts, a-Si:H TFT fabrication process was greatly improved. In this paper, the reason on defects occurring at a-Si:H TFT fabrication process is analyzed and solved, so a-Si:H TFT's yield is increased and reliability is improved. The a-Si:H TFT of this paper is inverted staggered type TFT. The gate electrode is formed by patterning with length of 8 μm~16 μm and width of 80~200 μm after depositing with gate electrode (Cr). We have fabricated a-SiN:H, conductor, etch-stopper and photo-resistor on gate electrode in sequence, respectively. We have deposited n+a-Si:H , NPR(Negative Photo Resister) layer after forming pattern of Cr gate electrode by etch-stopper pattern. The NPR layer by inverting pattern of upper gate electrode is patterned and the n+a-Si:H layer is etched by the NPR pattern. The NPR layer is removed. After Cr layer is deposited and patterned, the source-drain electrode is formed. The a-Si:H TFT made like this has problems at photo-lithography process caused by remains of PR. When sample is cleaned, this remains of PR makes thin chemical film on surface and damages device. Therefor, in order to improve this problem we added ashing process and cleaning process was enforced strictly. We can estimate that this method stabilizes fabrication process and makes to increase a-Si:H TFT's yield.

키워드

TFT, Amorphous Si, Stain, Burning, Yield, Ashing, Cleaning

* 목원대학교 정보 · 전자 · 영상공학부

접수일자 : 2007. 6. 1

Ⅰ. 서 론

현재 비정질 실리콘은 광전변환 소자 및 대면적 박막 소자에 널리 이용되고 있다. 특히 평판디스플레이(flat panel display: FPD) 기술을 선도하고 있는 active matrix LCD 의 스위칭 소자로써 a-Si:H TFT 그리고 contact image sensor, solar cell 등의 재료로써 널리 응용되고 있다.

TFT-LCD를 대형화, 고정세화하면 공정이 복잡해지고 결함이 많이 발생되며 수율이 저하되는 결과를 초래한다.

TFT의 수율을 개선시키기 위해서는 공정을 엄격히 관리하고 검사를 철저히 수행 할 필요가 있다.

본 논문에서는 TFT를 기존의 방식에 비하여 보다 철저한 광식각 공정 및 검사공정을 채택하여 적용하므로써 수소화 된 비정질 실리콘 박막 트랜지스터의 제조공정을 안정화하고, 박막 트랜지스터의 수율을 개선하고자 한다.

Ⅱ. a-Si:H TFT 의 제작 및 특성

비정질실리콘(a-Si:H)은 본 실험에서는 Plasma Enhanced Chemical Vapor Deposition(PECVD) 방법으로 증착 하였다. 증착 조건(SiH_4 유량, Chamber 압력, RF Power, 기판 온도)에 따라 비정질실리콘의 전도도, Optical Band Gap, 증착율 등 전기 광학적 특성이 달라진다.

게이트 절연층 및 Passivation 막인 a-SiN:H 박막은 SiH_4 가스와 NH_3 가스를 혼합하여 PECVD 법으로 제작하였다. NH_3/SiH_4가 증가함에 따라 a-SiN:H 의 저항율은 증가하고 굴절율은 감소한다. 또한 RF Power 에 대해서는 RF Power 에 거의 관계가 없다. 그리고 E_{opt} 는 2.61 eV 정도이다.

본 실험에서 사진식각공정은 모든 박막의 패턴 형성마다 실시되었고, 사용된 mask aligner는 대면적용 contact aligner이며 photoresist 는 positive PR로 spin coater 로 coating하여 사용하였다.

본 실험에서는 Corning 7059 Glass를 기판으로 게이트 전극(Cr)을 1500 Å 정도 증착하여 Length 8 μm ~ 16 μm, Width 80 μm ~ 200 μm 의 크기로 Pattern 하여 게이트 전극을 형성 하였다. 게이트 전극 위에 a-SiN:H, a-Si:H, a-SiN:H 등을 연속하여 증착하였다. 이때 각 박막의 두께는 a-SiN:H : 2000 Å, a-Si:H:500 Å , a-SiN:H : 2000 Å 으로 형성 하였다. 그 위에 PPR(Positive Photo Resistor) 층을 스핀 코팅으로 ~ 1 μm 형성한다. 여기서 a-SiN:H층을 패턴하고, 그 위에 n+a-Si:H층 및 NPR 층을 형성시킨다. 하부 Cr층을 마스크로 하여 기판 유리쪽에서 UV(Ultra Violet)를 조사한다. 다음에 현상용액에 담그면 Cr 게이트층과 동일한 형태의 패턴으로 PR층이 형성되고,그 PR층을 마스크로하여 에치스토퍼 a-SiN:H층을 RIE 식각한다. RIE 장비는 PECVD 의 RI Mode를 사용 하였다. 이때 사용한 RIE 가스는 CHF_3 와 O_2를 혼합하여 사용하였다. 다음으로 남아있는 PR층을 제거하고 그 위에 n+a-Si:H층을 500 Å 정도 증착한 후 NPR층을 스핀코터로 코팅한다. 이어서, 게이트패턴과 반대 패턴으로 NPR층을 패터닝하여 n+a-Si:H층을 CF_4+O_2 가스로 RIE 하였다. a-SiN:H층과 a-Si:H층 각각에 사용된 RIE조건은 표1에 나타내었다.

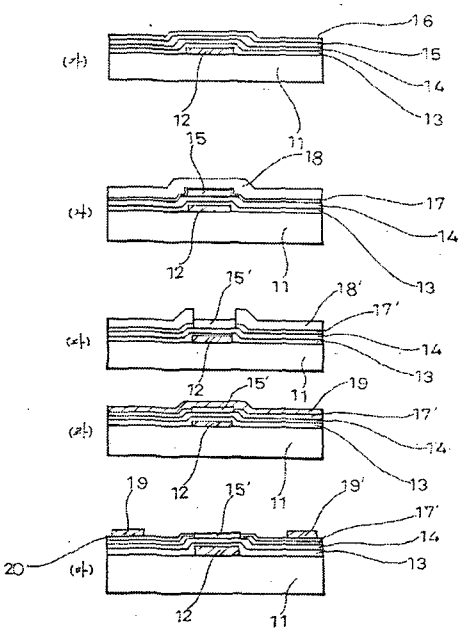

그림1. 수소화 된 비정질 실리콘 박막 트랜지스터의 제조 공정도

Fig. 1. Process flow chart of a-Si:H TFT
(11:corning glass, 12:Cr, 13:a-SiN:H, 14:a-Si:H, 15:a-SiN:H, 16:PPR, 17:n+a-Si:H, 18:NPR, 19:CrSix, 20:n+a-Si:H)

표 1. a-SiN:H층과 a-Si:H층의 RIE 조건
Table 1. RIE condition of a-SiN:H layer and a-Si:Hlayer

	a-Si:H	a-SiN:H
Etching mode	RIE	RIE
Gas 압력	30 mTorr	30 mTorr
Gas 종류	CF_4+O_2(8%)	CHF_3+O_2(3%)
Gas flow rate	10 sccm	30 sccm
r.f. power	50 W	30 W
etch rate	500 Å/min	300 Å/min

식각하고 남아있는 PR층을 제거한다. 유리기판 쪽에서 Cr 게이트 전극을 마스크로 하여 UV 빛을 조사하고 현상시키면 게이트전극과 반대의 패턴으로 NPR층이 패터닝된다. 패터닝된 게이트전극과 반대 패턴의 NPR층을 마스크로 하여 n+a-Si:H층을 식각하고 남아있는 NPR층을 제거한다. 다음에 그림1. (라)에 도시된 봐와 같이 Cr층을 증착한 후 패터닝시켜 소오스-드레인 전극을 형성시켜 박막 트랜지스터를 제조한다.

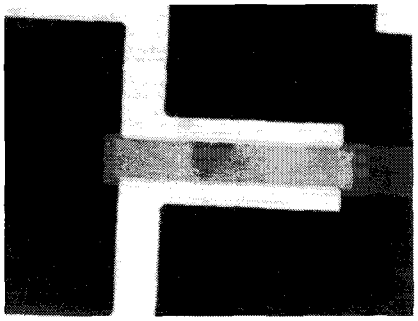

그림 2. 채널부분에서 전원을 인가하였을 때 발생된 얼룩
Fig. 2. Stain occurred by bias at channel

이상과 같이 형성한 수소화 된 비정질 실리콘 박막 트랜지스터에서 제작 후 많은 문제가 발생하였고, 그림2는 채널부분에서 전원을 인가하였을 때 발생된 얼룩이다.

그림3은 게이트 연결 부분에서 전원을 인가하였을 때 발생된 burning 현상이고, 그림4는 이 현상이 보다 진전 죄었을 경우에 TFT소자와 연결 금속선이 완전히 타버린 그림이다.

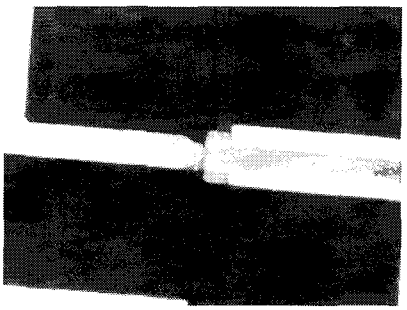

그림 3. 전원을 인가 시 발생된 burning
Fig. 3. Burning occurred by bias at channel

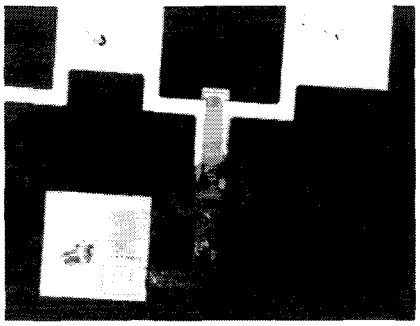

그림 4. 여러 번 전원인가 시 발생된 burning
Fig. 4. Burning occurred by bias at channel

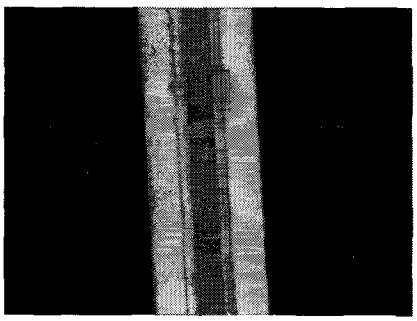

그림 5. 채널부분에서 전원을 인가하였을 때 발생된 얼룩
Fig. 5. Stain occurred by bias at channel

여러 번 반복하여 실험을 계속 진행한 결과 이러한 현상은 광식각 공정으로 게이트를 패턴한 후에 발생된다는 것을 확인하였고, 정밀 분석결과 이는 게이트 패턴 후에 유기물이 표면에 약간 남아 있음을 알 수 있었다. 철저히 세척공정을 하여도 이 현상을 없앨 수 없었고, 이

유기물 미세박막은 기존의 세척공정으로는 제거 할 수 없음을 판단하였다. 많은 연구와 토의 결과 우리는 O_2 plasma 로 이를 ashing 하는 공정을 채택하였고 이 공정에 의해서 이러한 현상을 제거 할 수 있었다. 향후 TFT 제조 공정시에 각각의 광식각공정후에는 항상 O_2 plasma ashing 공정을 실시한다면 TFT 제조 공정 수율을 상당히 높일 수 있으리라 판단된다.

그림6는 이렇게 제조공정의 변화 후에 제작한 샘플들의 최종 완성 사진이다. 제조된 TFT의 전기적 특성을 측정하기 위하여 KARL SUSS (독일) 제품의 Probe Station 과 Kithley 제품의 4145A Parameter Analyser 측정 장치를 사용하여 I-V 특성, Vth, Ion/Ioff 등의 특성을 구하였다.

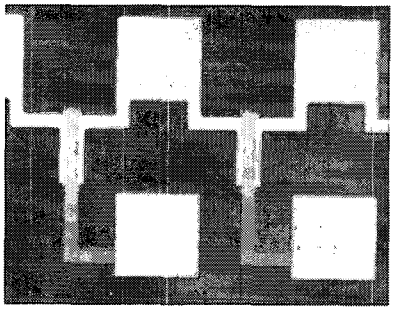

그림 6. 최종 완성된 TFT
Fig. 6. fabricated a-Si:H TFT

최종 완성된 TFT의 경우 게이트 전압 20 Volts에서 포화 전류가 8μA 정도이고 Ion/Ioff 는 10^8, Vth 는 4Volts 정도였다.

이러한 특성으로 보아서 본 논문의 O_2 plasma ashing 공정에 의한 a-Si:H TFT 제조의 경우 전기적 특성은 별차이 없이 기존의 a-Si:H TFT 의 경우에 비해서 제조공정상에 발생된 문제를 상당히 개선하여 수율을 향상 상당히 높일 수 있는 안정한공정이 될 수 있음을 확인하였다.

Ⅳ. 결 론

현재 a-Si:H TFT에 대한 필요성이 LCD 구동용 Transistor ,이미지 Sensor 및 광소자 구동 등에 매우 절실히 요구되며 그 연구가 활발히 진행되고 있다. TFT-LCD를 대형화, 고정세화하면 공정이 복잡해지고 결함이 많이 발생되며 수율이 저하되는 결과를 초래한다.

TFT의 수율을 개선시키기 위해서는 공정을 엄격히 관리하고 검사를 철저히 수행 할 필요가 있다.

본 논문에서는 TFT를 기존의 방식에 비하여 보다 철저한 광식각 공정 및 검사공정을 채택하여 적용하므로써 수소화 된 비정질 실리콘 박막 트랜지스터의 제조공정을 안정화하고, 박막 트랜지스터의 수율을 개선하고자 한다.

이렇게 제조한 박막 트랜지스터에서 생기는 문제는 주로 광식각공정시 PR의 잔존이나 세척 시 얇은 화학막이 표면에 남거나 생겨서 발생되며, 이는 소자를 파괴시키는 주된 원인이 된다. 그러므로 이를 개선하기 위하여 ashing 이나 세척공정을 보다 엄격하게 수행하였다. 이와 같이 공정에 보다 엄격한 기준의 세척과 여분의 처리공정을 가하여 수율을 확실히 개선 할 수 있었다.

이상의 특성에서 본 논문에서 사용한 방법으로 a-Si:H TFT를 생산 할 경우 TFT 의 공정 단가 및 수율을 개선하여 현재 많은 소자에 이용되고 있는 a-Si:H TFT 의 응용폭을 상당히 확대 시킬 수 있으리라 생각되며 HDTV 의 디스플레이로써 각광을 받고 있는 TFT를 사용한 AM LCD FAX. 에 사용되고 있는 Contact Image Sensor등에도 적용 할 수 있으리라 기대된다.

참고문헌

[1] Chang W. Hur, " Method of Making Thin Film Transistors", United States Patent, Patent No.5,306,653, Apr. 1994.

[2] R.V.R. Murthy, Mechanisms underlying leakage current in inverted staggered a-Si:H thin film transistors, Fourth Symp. on Thin Film Transistor Technologies, Boston, Nov. 1-6, 1998.

[3] 허창우,이문기,김봉열,"강유전성 PbTiO3 박막의 형성 및 계면특성", 대한전자공학회 논문지, 26권 7호, pp.83-89, 1989

[4] A. Nathan, Correlation between leakage current and overlap capacitance in a-Si:H TFTs, IEEE Workshop on Charge-Coupled Devices and Advanced Image Sensor, Karuizawa, Japan, June 10-12, 1999.

[5] 이규정,류광렬,허창우, "산화물 반도체 박막 가스센서 어레이의 제조 및 수율 개선", 한국해양정보통신

학회 논문지 vol.6,No.2, pp. 315-322, 2002
[6] 허창우, "강유전성 박막의 형성 및 수소화 된 비정질 실리콘과의 접합 특성", 한국해양정보통신학회 논문지 vol.7,No.3, pp. 468-473,2003
[7] 허창우,이문기,김봉열,"강유전성 PbTiO3 박막의 형성 및 계면특성", 대한전자공학회 논문지, 26권 7호, pp.83-89, 1989
[8] K. Amatooni, a-Si:H Schottky diode direct detection pixel for large area x-ray imaging, IEEE IEDM, December 7-10, Washington, D.C., 1997.
[9] 윤재석,허창우, "게이트 산화막에 따른 n-MOSFET 의 금속 플라즈마 피해", 한국해양정보통신학회 논문지 vol.3,No.2, pp. 471-475,1999.

저자소개

허 창 우(Chang-wu Hur)

1991.2 연세대학교 전자공학과 공학박사
1986.9 ~ 1994.2 금성사 중앙 연구소
1994.3 ~ 현재 : 목원대학교 IT공학부 정교수
※관심분야 : 반도체공학 및 VLSI 설계