

논문 2007-44SD-6-2

# PoRAM의 4bit 셀 어레이 구조와 이를 동작시키기 위한 센싱 기법

## ( The 4bit Cell Array Structure of PoRAM and A Sensing Method for Drive this Structure )

김정하\*, 이상선\*\*

( Jung-ha Kim and Sang-sun Lee )

### 요약

본 논문에서는 PoRAM의 4bit 셀 어레이 구조와 이를 동작시키기 위한 센싱 방법에 대해서 연구하였다. PoRAM은 기존의 SRAM이나 DRAM과는 다른 동작을 취한다. PoRAM 소자의 상단전극과 하단전극에 전압을 가했을 때 저항 성분 변화에 따른 셀에 흐르는 전류를 측정하여 상태를 구분한다. 셀 어레이의 새로운 어드레싱 방법으로, 행-디코더는 "High", 열-디코더는 "Low"로 선택하여, 셀에 해당하는 전류가 워드라인에서 비트라인으로 흐르게 하였다. 이때 흐르는 전류를 큰 값으로 증폭시켜 원하는 값을 얻고자 전압 센스 앰플리파이어를 사용한다. 이는 전압 센싱 방법인 전류 미러를 이용한 1단 차동 증폭기를 사용한다. 전압 센스 앰플리파이어에서 증폭을 시켜주기 위해 셀에서 측정된 전류 값을 전압 값으로 변환시켜주는 장치가 필요하다. 1단 차동 증폭기 입력 단에 소자 저항인 diode connection NMOS를 달아주었다. 이를 사용함으로써 전류 값과 저항 값의 곱으로 나타내어진 입력값(Vin)과 기준전압(Vref)을 비교하여 지우기 상태일 경우에는 "Low", 쓰기 상태일 경우에는 "High"로 증폭되는 것을 확인했다.

### Abstract

In this paper, a 4bit cell array structure of PoRAM and the sensing method to drive this structure are researched. PoRAM has a different operation from existing SRAM and DRAM. The operation is that when certain voltage is applied between top electrode and bottom electrode of PoRAM device we can classify the cell state by measuring cell current which is made by changing resistance of the cell. In the decoder selected by new-addressing method in the cell array, the row decoder is selected "High" and the column decoder is selected "Low" then certain current will flow to the bit-line. Because this current is detect, in order to make large enough current, the voltage sense amplifier is used. In this case, usually, 1-stage differential amplifier using current mirror is used. Furthermore, the detected value at the cell is current, so a diode connected NMOSFET, that is, a device resistor is used at the input port of the differential amplifier to converter current into voltage. Using this differential amplifier, we can classify the cell states, erase mode is "Low" and write mode is "High", by comparing the input value, Vin, that is a product of current value multiplied by resistor value with a reference voltage, Vref.

**Keywords :** Nonvolatile Memory, PoRAM, Decoder, Sense Amplifier

## I. 서론

\* 정회원, \*\* 학생회원, 한양대학교 전자전기컴퓨터공학부

(Department of Electrical and Computer Eng., Hanyang University)

※ 본 논문은 산자부에서 지원하는 0.1Tb급 차세대 비휘발성 메모리 개발사업의 지원을 받았으며, IDEC의 지원Tool을 활용함.

접수일자: 2006년12월6일, 수정완료일: 2007년5월9일

일반적으로 반도체 메모리는 DRAM과 SRAM을 중심으로 시장이 형성 되었으나, 몇 년 전부터 비휘발성 메모리 즉 Flash memory가 등장하면서 새로운 반도체의 흐름이 진행 되고 있다. 최근에는 디바이스 속도의 고속화, 저 전력, 고집적화에 대한 연구의 중요성이 높

아짐으로써 Magnetic RAM(MRAM), Phase RAM (PRAM), Ferroelectric RAM(FeRAM)<sup>[1]</sup> 등의 메모리들이 활발한 연구 중에 있다. 특히 Polymer RAM(PoRAM)은 차세대 비휘발성 메모리로 트랜지스터의 삽입 없이, 상단전극과 하단전극이 교차하는 영역에 단분자, 저분자, 고분자의 bistable 전도성 유기 소재가 존재하는 단순한 1Resistance (1R) 셀 구조이다. 특히, 다른 메모리와 다르게 프로세싱이 간단하고 CMOS 매칭이 가능하며, feature size가 45nm로 고집적화에 아주 유리하다<sup>[2]</sup>. 또한 상·하전극에 전압을 가했을 때 동일한 전압에서 저 저항상태/고 저항상태의 전류변화가 100배 이상 발생하는 bistable 전기적 소자 특성을 가지는 메모리 소자이다. PoRAM의 데이터 값에 따라 수십 mA ~  $\mu$ A의 전류를 원하는 값으로 증폭시키기 위해서 센스 앰플리파이어를 사용한다. 셀의 동작 상태에 따라 데이터를 센싱 하는 방법에는 여러 가지가 있다. 최근에 연구가 많이 진행되고 있는 MRAM의 경우, 기준 셀을 사용하여 선택된 셀과 기준 셀에서 흐르는 전류 값을 비교하여 센싱 하는 방법인 전류 센싱 방법을 사용한다<sup>[3]</sup>. 본 논문은 전압 센싱 기법을 적용함으로써, "High", "Low"로 증폭되는 스피드가 빠른 장점을 가지고, 적은 개수의 트랜지스터를 사용함으로써 면적소모도 작다. 따라서 기존의 전압 센싱 기법에 PoRAM 셀의 전류 값을 전압 값으로 변환 시키는 구조로 면적을 최소화하는 회로를 이번 논문에서 제안하여 보다 스피드를 빠르게 동작시킬 수 있는 회로를 구성하였다. 또한 셀의 상태를 구분하기 위해 사용된 센스 앰플리파이어를 포함한 PoRAM의 셀 어레이를 설계하고, 전체적인 구조를 분석했다.

본 논문은 II장에서 PoRAM 구조와 동작에 대해서 살펴보고, III장에서는 PoRAM 읽기 동작에서 지우기 상태(Data = 0)와 쓰기 상태(Data = 1)의 셀들의 전류 값을 센싱 하기 위한 회로로 전류 미러를 이용한 1단 차동 증폭기를 제안한다. IV장에서는 전체적인 셀 어레이 동작 설명과 기존과 다른 어드레싱의 행-디코더, 열-디코더를 설명한다. 마지막으로 V장에서는 결론을 맺을 것이다.

## II. PoRAM의 단일 셀 구조

### 2.1 PoRAM 소자

그림 2.1은 PoRAM 소자 구조를 나타낸다. 그림에서 보듯이 Al을 사용한 상단전극과 하단전극 사이에 폴리

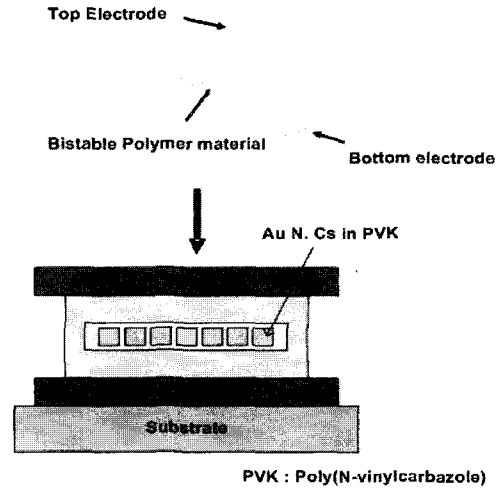


그림 2.1. PoRAM 소자 구조  
Fig. 2.1. PoRAM Devices Structure.

머 물질을 넣은 구조로 본 그림에 사용된 폴리머 물질은 PVK:poly (N-vinylcarbazole)이다.

PVK안의 중간 레이어층에 트랩현상을 일으킬 수 있는 물질인 Au N. Cs를 넣어 중간 레이어층 전자의 유무로 인한 셀의 상태 변화를 이용하는 소자이다. 전체적으로 시메트릭한 구조로 구성되어 있고, 양단 전극에 전압을 가하여 셀에 해당하는 폴리머 물질의 저항변화에 따른 전류를 측정하여 각 셀의 상태를 파악 할 수 있다.

### 2.2 PoRAM I-V 특성 곡선

그림 2.2는 PoRAM 소자 양단에 전압을 걸어 주었을 때, 전체적인 동작에 따른 각각의 전류 상태를 나타낸 그림이다.

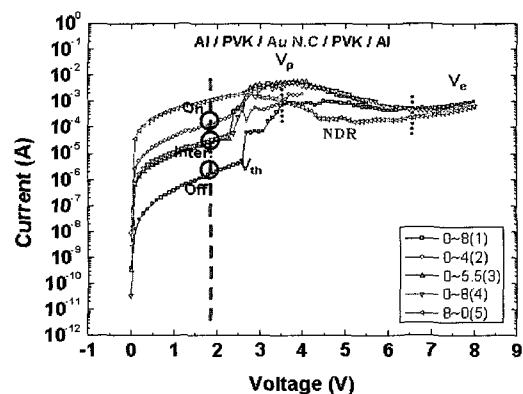


그림 2.2. PoRAM 소자 I-V 특성곡선  
Fig. 2.2. PoRAM Device I-V characteristic curve.

가로축은 전압으로 0V~9V이상의 전압으로 측정, 세로축은 전류로  $10^{-12}$ ~1A까지 나타낸다. 문턱전압( $V_{th}$ ), 쓰기전압( $V_p$ ), 지우기 전압( $V_e$ )은 동작에 따른 전압 값을 나타내고, 해당 전류 값은 2V( $V_{read}$ ) 읽기 전압에서 측정할 수 있다. PoRAM의 지우기 동작은 0~10V까지의 전압을 인가해주고, 쓰기 동작은 0~5V까지 순차적으로 전압을 가한 후 각 동작에 해당하는 전류 값을 읽어 메모리 상태를 구분한다.

2.3 지우기(Erase) 동작

PoRAM에서 지우기 동작은 양단의 전압을 그림 2.3(a)와 같이 0~10V까지 가했을 경우 하단전극에서 상단전극으로 전자들이 이동한다.

이때 약 3V의 문턱전압이 가해지면 하단전극에 있는 전자들이 PVK안에 중간 레이어층에 머물게 되는 트랩현상이 일어난다. 이때 문턱전압 이상 걸게 되면 중간 레이어층에 머물러 있던 전자들은 상단전극 쪽으로 올라가게 되고, 계속적으로 하단전극에 있는 전자들이 상단전극으로 올라간다. 전압을 거의 10V까지 가했을 때에는 전자들이 상단전극 쪽으로 올라가 완전히 다 여기 된 상태를 나타낸다. 전압을 가하지 않은 상태인 저항 즉,  $R_{virgin}=2M\Omega$ 이라 가정한다면, 지우기 동작이 일어나고 난 후 셀의 상태를 보면 처음의 상태와 같은 소자의 모습, 전혀 변하지 않은 모습의 상태로 남아있기 때문에 이전과 동일한 저항 값을 가지게 된다. 따라서  $R_{erased}=2M\Omega$ 로 나타낼 수 있다. 지우기 동작의 I/V 곡선을 살펴보면, 맨 처음 0V부터 점점 전압을 걸어 주었을 때, 맨 아랫부분의 off-라인에서 시작된다. 지우기 전압까지 전압을 가하고, 내려 올 경우에는 위

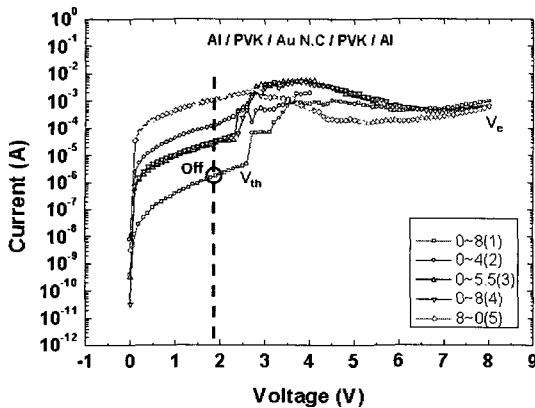


그림 2.3. 지우기 동작 : I/V특성 곡선  
Fig. 2.3. Erase Operation. : I/V Characteristic curve.

쪽의 분홍색 라인을 타고 내려오게 된다. 지우기 동작의 상태를 알아보기 위해  $V_{read}=2V$  상태에서 측정했을 시 해당 전류 값을 알 수 있고, 전류 값은  $I_{erased}=10^{-6}A$ 임을 알 수 있다.

2.4 쓰기(Program) 동작

쓰기동작은 양단에 0~5V까지 전압을 인가한 경우 PoRAM 소자 구성을 그림 2.4(a)에서 볼 수 있다.

0~2V까지는 에너지 상태가 다른 전자들이 하단전극에 머물러 있다가 문턱전압인 약3V가 인가되면 높은 에너지 값을 가지는 전자들은 PVK안의 중간 레이어 층에 전자들이 머물게 된다. 점점 5V까지 전압을 인가하면, 중간 레이어 층에 머물러 있던 전자들이 전계를 받아 상단전극으로 이동하고, 비교적 작은 에너지 값을 가진 전자들은 하단전극에서 중간 레이어 층으로 올라온다. 전압을 가하지 않았던 상태의 저항인  $R_{virgin}=2M\Omega$ 의 상태가 아닌 쓰기동작이 일어나고 난 후 저항은  $R_{programmed}=20K\Omega$ 으로 변화했다. 이러한 소자상태에 따른 I/V 곡선은 그림 2.4(b)에서 나타낸다. 쓰기동작일 경우 0~5V까지 인가하게 되면 맨 아래 라인을 타고 상승한다. 이때 쓰기 동작의 전압이 5V이므로 파란 선으로 된 위쪽 라인을 타고 내려온다. 쓰기상태를 확인하기 위해  $V_{read}=2V$ 에서 측정한 결과 흐르는 전류의 값은  $10^{-4}A$ 임을 알 수 있다.

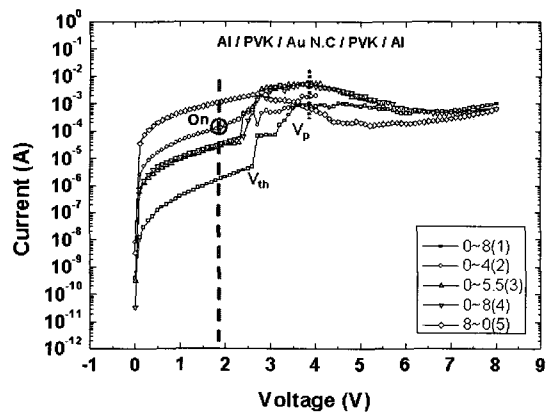


그림 2.4. 쓰기 동작 : I/V 특성곡선  
Fig. 2.4. Program Operation. : I/V Characteristic curve.

2.5 읽기(Read) 동작

읽기 동작은 셀의 상태를 파악하기 위해 사용되는 동작이고, 메모리에 있어서 가장 중요한 동작이다. 그림 2.5에서와 같이 2V의 전압을 인가하여 각 셀에 흐르는 전류 값을 측정하고 해당 셀의 상태를 구분한다.

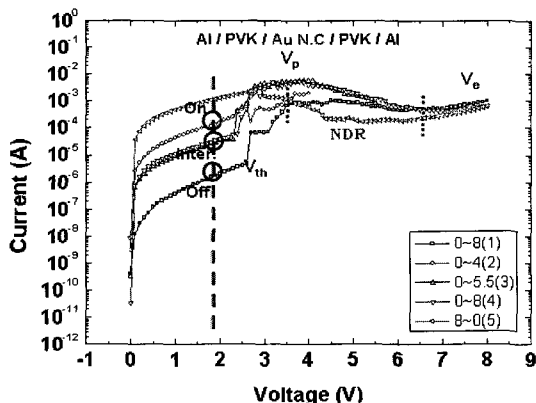


그림 2.5. 읽기 동작 : I/V 특성 곡선  
 Fig. 2.5. Read Operation. : I/V Characteristic curve.

표 1. PoRAM 전체적인 동작의 셀 파라미터  
 Table 1. Cell Parameter of PoRAM Total Operation.

	쓰 기 (Program Operation)	지우기 (Erase Operation)	읽기 (Read Operation)
전압 (Voltage)	0~5V	0~10V	2V
셀 전류 (Cell Current)	10 <sup>-6</sup> A	10 <sup>-6</sup> A	Cell 상태에 따라 다름 (Program, Erase, Inter.)
셀 저항 (Cell Resistor) *Virgin 2kΩ	20kΩ	2kΩ	Cell 상태에 따라 다름 (Program, Erase, Inter.)

2V에서 셀의 전류 값을 읽었을 경우 10<sup>-4</sup>A의 전류가 흐르고 있다면, 이때의 선택된 셀의 상태는 쓰기 (program) 상태, 즉 DATA="1"인 상태이고, 10<sup>-6</sup>A의 전류 값을 나타내면 셀의 상태는 지우기, DATA="0"인 상태임을 알 수 있다. 이때 읽기 동작에 해당하는 히스테리시스곡선은 그림 2.5(b)에서 나타낸다. 녹색 사선으로 나타내어진 라인이 읽기전압을 나타내고, 이때 해당하는 전류 값들로 "1", "0", 상태를 파악되며, 셀 상태를 구분하기 위한 읽기 동작은 Vread=2V에서 확인한다. 쓰기/지우기/읽기에 대한 동작 파라미터는 표 1.에서 알 수 있다.

### III. 센스 앰플리파이어

#### 3.1 센스 앰플리파이어 동작원리

메모리의 특성과 구조마다 다른 종류의 센스 앰플리파이어를 사용한다. 센스 앰플리파이어는 셀 구조와 특성에 따라 그에 해당하는 데이터를 확실하게 감지하고 증폭하여 그 값을 외부에 연결시켜주는 회로로 가장 중요한 회로중의 하나이다. 센스 앰플리파이어에 요구되

는 사항은 다음과 같다.

- 1)고감도
- 2)고속 동작
- 3)낮은 소비 전력
- 4)작은 면적 소모

PoRAM소자는 셀의 쓰기 상태, 지우기 상태를 구분하기 위해서 읽기 동작인 2V에서 감지를 한다. 이때 셀에 흐르는 전류가 쓰기 상태인지 지우기 상태인지 명확하게 구분하기 위해서는 기준 전압과 비교하여 큰 값은 더 크게, 작은 값은 더 작게 증폭하여 출력하여야 한다. 따라서 기준전압보다 높은 전압 값이 증폭되어 출력되면 쓰기 상태이고, 기준전압보다 낮은 전압 값이 나오면 지우기 상태로써 셀의 상태를 구분한다.

#### 3.2 전압 센스 앰플리파이어

##### 가. 전류미러를 이용한 1단 차동 증폭기

PoRAM에서 사용되는 센스 앰플리파이어는 그림 3.1에서처럼 전류미러를 이용한 1단 차동 증폭기(differential amplifier)로 굉장히 간단한 회로가 사용된다.

PoRAM은 기존의 메모리보다 전류레벨이 높기 때문에 sensitivity가 높고, 복잡한 구조로 이루어진 증폭기보다 증폭도가 좋고, 연산 증폭기 1개로 구성할 수 있는 단순 구조의 증폭기가 최적이다. 이는 일반적으로 정전압원 Vgg 대신 전류 미러를 사용하면 전체적인 핀 개수를 줄일 수 있는 것이므로 전체적인 전력소모를 줄이게 되고, 보다 간편하게 차동 증폭기를 구현할 수 있

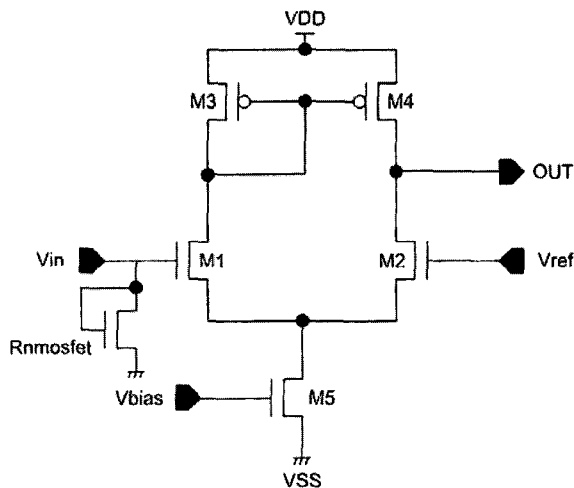


그림 3.1. 전류미러를 이용한 1단 차동 증폭기  
 Fig. 3.1. 1-Stage Differential Amplifier using Current Mirror.

다. 하지만 회로에서의 M3는 다이오드 접속으로 되어 있어 저항 값이  $1/g_{m3}$ 에 불과한 작은 값을 가지므로 큰 출력 진폭을 얻을 수 없다는 단점을 가지고 있다<sup>[4]</sup>.

읽기 동작은 셀의 상태가 쓰기 상태인지 지우기 상태인지 판가름하고, 그에 따른 전류 값이 선택된 비트라인을 타고 전류 미러를 이용한 1단 차동 증폭기의 입력단에 들어오게 된다. 차동 구조로 이루어져 있으므로 반대편 입력단의 기준전압( $V_{ref}$ ) 값과 비교되어 증폭되어 나가는 방법을 사용한다. 입력단에 들어오는 값은 전류 값이기 때문에 전압 감지 증폭기에서의 전류 값은 증폭시키는데 어려움을 갖고 있으므로, 해당 값을 전압으로 변환시키는 회로가 필요하다. 본 논문에서는 전류 미러를 이용한 1단 차동증폭기의 입력단에 전류를 전압으로 바꾸어주기 위해 저항을 달아주었다. 이는 들어오는 전류 값과 입력단에 달린 저항의 곱이 곧 전압 값으로 변환됨으로 이러한 방법을 제안하였다. 일반적으로 저항을 달아주게 되면 면적소모와 파워손실이 크기 때문에 이를 방지하기 위해 디퓨전 저항을 피하고 MOS-저항을 사용했다. 포화 영역에서 동작하는 MOS-저항을 설계함으로써, 전압 값이 변하여도 그에 해당하는 전류 값은 거의 변화가 없기 때문에 해당 저항 값의 변화량도 거의 일정한 Diode Connection NMOS를 사용하여 20K $\Omega$ 의 저항 값을 가지도록 설계하였다.

M5는 Biasing Current NMOS로써 전체 흐르는 전류 값을 알 수 있다. 따라서  $V_{in}$ 과  $V_{ref}$ 단의 흐르는 전류의 합이 곧 M5를 통해서 흐르며, M2의 소스부분에 연결되어 있기 때문에 M2의  $V_{gs}$  값을 변화시켜 M2의 상태를 차단영역 또는 선형영역으로 변환 시키고 이에 해당하는 차동 증폭이 이루어 질 수 있도록 도와준다. 이에 대한 설명은 3.3과 3.4에서 더 자세히 하겠다.

#### 나. 기존 센스 앰플리파이어와 비교

일반적으로 메모리에 많이 사용되었던 센스 앰플리파이어는 Positive-feedback differential amplifier 구조(DRAM, SRAM)와 Differential amplifier구조(EEPROM, flash memory)가 있다. 기존의 DRAM에서는 positive-feedback differential amplifier를 사용함으로써, 센싱 속도를 크게 높일 수 있으나 이를 구성하려면 더미셀 사용하거나, 메모리 구조상 셀 1개당 2개의 비트라인을 사용하게 됨으로서 면적면에 있어서 1R 폴리머 메모리에는 적합하지 않다. 비휘발성 메모리인 MRAM에서는 더미셀과 같은 기준셀을 이용한

다. MRAM은 1T1MTJ구조의 셀을 가지고 있으나 자체의 방향에 따른 전류의 흐름을 나타내는 것으로 PoRAM의 특성과는 다소 차이점을 가진다. MRAM의 센싱방법은 셀의 전류 레벨이 굉장히 작기 때문에 기준셀을 이용하여 센스앰플리파이어에서 기준셀과 선택된 셀을 비교하는 방식을 쓴다. 따라서 이는 비트라인 하나를 사용하는 구조가 아닌 2개의 비트라인에서 전류 값을 신게 된다. 또한 기준셀을 2가지 종류로 만들어서 하나는 "high reference cell", 다른 하나는 "low reference cell"로 선택된 셀이 "High"일 경우에는 "High"에 해당하는 기준셀을 사용하고, 반대로 선택된 셀이 "Low"일 경우에는 "Low"에 해당하는 기준셀을 사용하여 증폭시키는 방법도 있다. 이 방법은 비트라인을 로컬 비트라인과 글로벌 비트라인으로 이원화시켜 글로벌 비트라인을 더 두껍게 만들고 저항을 떨어뜨려 RC-delay가 작아지게 하는 특성으로 각각 회로의 장점을 살렸다<sup>[5]</sup>. 이밖에도 센싱 기준대상에 따라 전압 센싱 또는 전류 센싱 방법을 사용한다. 전류 센싱 방법은 MRAM처럼 작은 전류까지 센싱 시킬 수 있는 sensitivity가 높은 장점을 가지고 있으나, 직접 센싱 하기 위해서 해당하는 전류 값을 전압 값으로 변환하기 위한 장치가 필요하며, 변환 회로를 구성하는데 있어서는 많은 면적을 필요로 하고, 트랜지스터의 개수가 늘어나 스피드에 영향을 준다. PoRAM의 경우 셀 구조도 단순하고, 전류 레벨도 높기 때문에 전류 센싱 기법을 사용하지 않고도, 3.2.가에서 설명한 것처럼 간단한 구조의 전류미러를 이용한 1단 차동 증폭기로도 센싱이 가능하며, 칩 면적을 줄이는데도 굉장히 효율적이다.

#### 다. 지우기(Erase) 상태 일 경우 전압 센스 앰플리파이어

지우기 상태는 읽기 동작에서 셀의 데이터가 "0"의 상태일 경우를 나타낸다. 이에 해당하는 전류 값은  $10^{-6}A$ 이다. 셀이 지우기 상태일 경우 그림 3.2에서 전류 미러를 이용한 1단 차동 증폭기를 살펴보면, 입력단에 전류 값을 전압 값으로 변환시켜주기 위해 Diode Connection NMOS를 사용한다. 이의 값은  $R_{nmosfet}=20K\Omega$ 이고, 지우기 상태일 경우 셀에 흐르는 전류 값은 10-6A이기 때문에 이와 저항 값의 곱으로 나타낸 입력단의 전압은  $V_{in}=0.02V$ 이다. 센스 앰플리파이어에서 사용된 기준전압  $V_{ref}$ 값은 1.25V로 셀이 쓰기(program) 상태 일 경우와 같다. 각 해당하는 MOS를 분석해보면

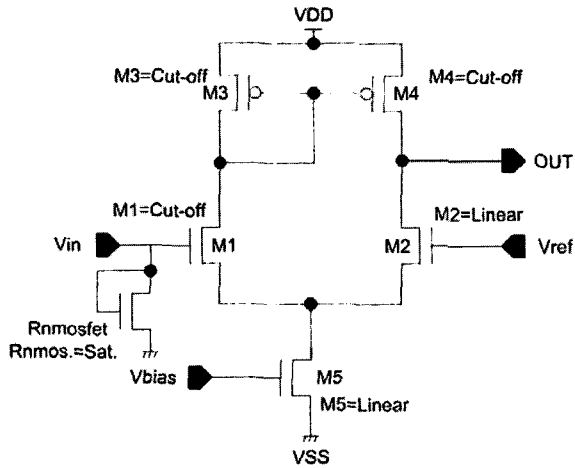


그림 3.2. 지우기 상태 일 경우 전압 센스앰플리파이어  
Fig. 3.2. Voltage Sense-amplifier in Erase State.

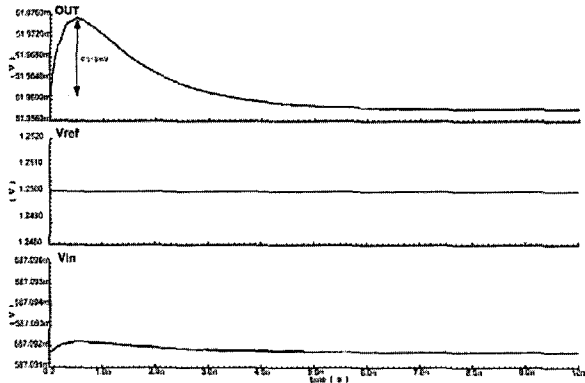


그림 3.3. 지우기 상태 일 경우 출력파형  
Fig. 3.3. Output Waveform in Erase State.

표 2. 지우기 상태 일 경우 Bias Condition  
Table 2. Bias Condition in Erase State.

	Vin	Vref	VDD	VSS	Vbias	Rnmosfet
Value	0.02V	1.25V	2.5V	0V	1V	20Kohm
M1,M2	Pull-down NMOSFET W/L					3/1
M3,M4	Pull-up PMOSFET W/L					6/1
M5	Biasing Current NMOSFET W/L					2/1

M1,M3,M4는 차단영역, M2,M5는 선형영역에서 동작한다. 셀이 지우기 상태일 경우에는 출력 값으로 data="off"상태를 나타내야 하고, 그 값은 "0"이다. M4는 차단 영역이기 때문에 CMOS 인버터형태의 원리를 이용하면 M2, M5의 값이 출력 값으로 나와야 하고, 이 값은 0에 가까운 값이어야 한다.

이때  $V_{out} = V_{gsM2} + V_{dsm5}$ 의 수식을 만족한다.  $V_{dsm5} = 101.5nV$ 이고,  $V_{dsm2} = 32.19nV$ 이기 때문에 둘의

합으로  $V_{out}$ 을 나타낼 수 있고, 계산상 거의 0의 값이 출력되는 것을 알 수 있다. 따라서 셀이 지우기 상태일 경우에는  $V_{in}$ 과  $V_{ref}$ 의 비교로 인하여, 데이터가 "0"로 증폭 되어서 나오는 것을 알 수 있고, 이에 해당하는 입력 값에 따른 출력 값은 그림 3.3에서 확인 할 수 있다. 그림 3.3에서  $V_{out}$ 의 그래프가 직선이 아닌 곡선으로 나타났는데, 이를 수치적으로 확인해보면 0.016mV로 차이는 거의 0이다. 표 2는 지우기 상태일 경우 bias condition이다.

라. 쓰기(Program) 상태 일 경우 전압 센스 앰플리파이어

셀의 상태는 읽기 동작( $V_{read} = 2V$ )에서 구분하고, 쓰기 상태 일 경우의 전류 값은 히스테리시스 곡선에서 확인했듯이 약  $10^{-4}A$ 이다. 그림 3.4는 쓰기 상태일 경우 전압 센스 앰플리파이어의 스키매틱이다.

저항 값은 20K $\Omega$ 이기 때문에  $10^{-4}A$ 와 20K $\Omega$ 을 곱인 2V로 전압 값의 입력을 유도할 수 있다. 쓰기 동작에서의 DATA="1"상태에 해당하는 출력 값을 만들기 위해 CMOS 인버터 형태의 원리를 사용했다. 이는 pull-up PMOS와 pull-down NMOS가 연결되어 있을 경우 아래쪽의 NMOS는 차단영역에서, 위쪽의 PMOS는 선형영역상태로 동작하므로 거의  $V_{dd}$ 의 값을 낸다. 쓰기 동작의 전압 센스 앰플리파이어의 동작을 살펴보면, 입력 전압은  $V_{in} = 2V$ , 기준전압은  $V_{ref} = 1.25V$ 로 전류 미러를 이용한 1단 차동 증폭기를 사용한다. 각각의 MOSFET 상태를 분석하면 M1,M3,M5은 포화영역, M2는 차단영역, M4는 선형영역에서 동작한다. 출력값은  $V_{gsM2} + V_{dsm5}$ 로 나타낼 수 있는데, M5의  $V_{dsm5}$ 는 1.086V의

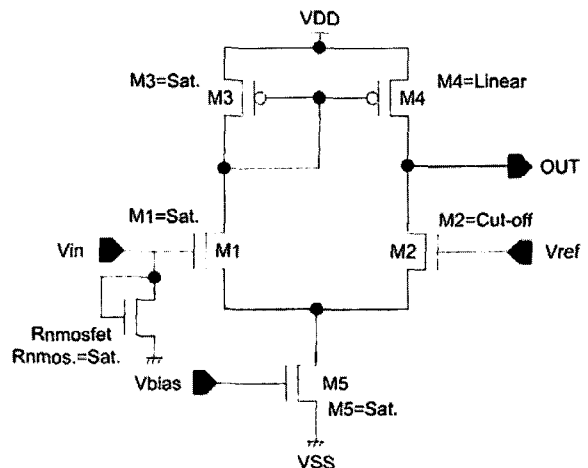


그림 3.4. 쓰기 상태 일 경우 전압 센스 앰플리파이어  
Fig. 3.4. Voltage Sense Amplifier in Program State.

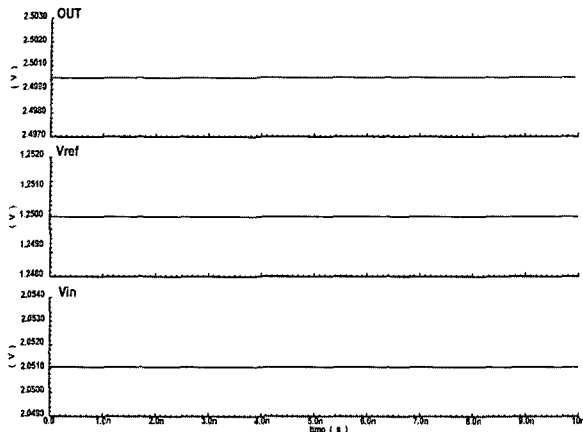


그림 3.5. 쓰기 상태 일 경우 차동 증폭기 출력파형  
Fig. 3.5. Differential Amplifier Wave in Program State.

표 3 쓰기 상태 일 경우 Bias Condition  
Table 3. Bias Condition in Program State.

	Vin	Vref	VDD	VSS	Vbias	Rnmosfet
Value	2V	1.25V	2.5V	0V	1V	20Kohm
M1,M2	Pull-down NMOSFET W/L				3/1	
M3,M4	Pull-up PMOSFET W/L				6/1	
M5	Biasing Current NMOSFET W/L				2/1	

결과 값을 나타내므로  $V_{gsm2}$ 의 값은 수식  $V_{gsm2} = V_{ref} - V_{dsm5}$  으로 나타 낼 수 있다.  $V_{gsm2} = 1.25V - 1.086V = 0.164V$  값을 나타내고, M2는 차단영역 상태가 된다. 따라서 M4는 선형동작 상태이고,  $V_{dsm4} = 1.433\mu V$ 이기 때문에 Vdd의 값인 2.5V가 Vout으로 나와 쓰기인 상태에서는 DATA="1" 값 확인할 수 있다. 쓰기 상태일 경우 출력파형은 그림 3.5에서와 같이 확인할 수 있으며, 회로를 동작시키기 위한 bias condition은 표 3에서와 같다.

#### IV. 셀 어레이 구조

##### 4.1 셀 어레이 동작 원리

워드라인과 비트라인에 연결된 셀을 선택하기 위해서 행-디코더와 열-디코더를 사용한다. 기존의 메모리에서는 셀을 선택하기 위해 행-디코더와 열-디코더를 "High"로 선택하여 셀에 해당하는 데이터를 선택했다.

반면에 PoRAM에서는 셀에 흐르는 전류를 측정하여 데이터를 구분하므로 전류가 흐를 수 있게 current path를 구성해야 된다. 셀을 선택하기 위해서 행-디코더와 열-디코더를 사용하여 행-라인과 열-라인을 임

의로 선택한다. PoRAM의 경우 각 셀들이 완전하게 전기적으로 분리 되지 않기 때문에, 어드레스 정보로 행-디코더와 열-디코더에서 각각 해당라인이 선택 되어 셀에 흐르는 전류를 파악했을 경우 이 전류가 해당 라인에만 흐르는 것이 아니라 원하지 않는 라인으로 전류가 흐르게 된다. 본 논문에서는 기존과 차이를 둔 어드레싱을 하여 셀의 전압 강하를 이용하여 전류를 흐르게 하였다. 선택 주소값이 들어왔을 때, 워드라인은 "High"로 선택하고, 비트라인은 "Low"로 선택되었을 시 전압 강하로 인하여 셀의 전류가 워드라인에서 비트라인으로 전류가 흐르게 하는 것이다. 선택되지 않은 비트라인과 워드라인 경우를 보면 선택되지 않은 비트라인은 "High", 선택되지 않은 워드라인은 "Low"로 전압이 가해지기 때문에 선택 되지 않았음에도 불구하고 셀의 전류가 비트라인에서 워드라인으로 흐르게 된다. 이처럼 원하지 않은 current path가 생기게 되어, 선택한 셀이 무엇인지 구분할 수 없는 오동작을 나타낸다. 이를 방지하기 위해 제안한 방법이 PoRAM 셀 어레이의 각 라인 앞단에 스위치 역할을 하는 NMOS를 달아주는 것이다<sup>[6]</sup>. 이 스위치는 디코더의 끝단, 즉 셀 어레이의 입력단에 위치하며, 선택되지 않은 라인에 전압이 가해지지 않도록 current path를 차단시킨다. 이때 선택된 워드라인(hihg)은 스위치를 "on"시켜주고, 선택하지 않은 라인은 "off"시켜 선택 라인의 전압이 가해지도록 한다. 반면에 선택된 비트 라인의 스위치는 "off"시키고, 선택하지 않은 라인은 "on"시킨다. 그림 4.1에서와 같이 16번째 셀을 선택 했다고 가정하자.

워드라인은 "High"로 선택이 되고, 스위치는 "on"인 상태이다. 비트라인은 "Low"값으로 선택이 되고, 스위치의 상태는 "off"상태이다. 이때 선택된 셀의 전류의 흐름은 전류는 높은 곳에서 낮은 곳으로 흐르기 때문에 워드라인에서 비트라인 쪽으로 흐르게 된다. 이때 비트라인 쪽은 스위치를 "off" 상태로 플로팅 상태이다.

따라서 전류는 플로팅 상태 쪽이 아닌 센스 앰플리피이어 쪽으로 흐르게 되고, 앞에서 설명한 원리에 따라 증폭이 된 후 우리가 원하는 데이터 값으로 내보내게 된다. 나머지 선택되지 않은 라인일 경우 전류의 흐름을 보자. 선택되지 않을 경우 워드라인은 "Low"값을 가지고, 스위치 상태는 "off"상태이다.

비트라인의 선택되지 않은 라인은 "High"값을 가지게 되고, 스위치의 상태는 "on"이다. 이때 전류의 흐름은 높은 상태인 비트라인에서 낮은 상태인 워드라인 쪽으로 셀의 전류가 흐르게 된다. 이때 워드라인 쪽은 스

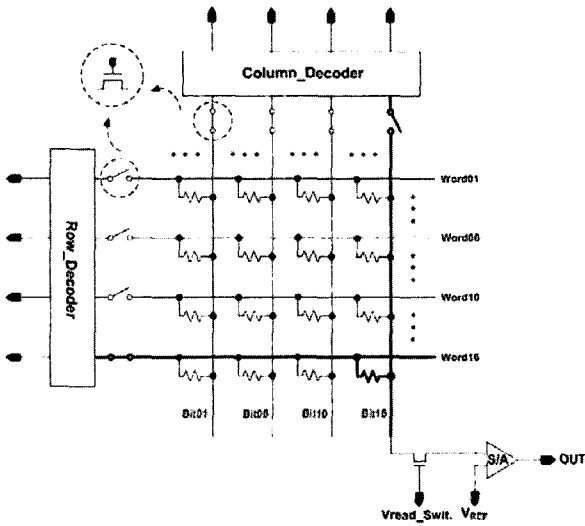


그림 4.1. 전체적인 셀 어레이  
Fig. 4.1. Total Cell Array.

위치가 "off" 상태이기 때문에 플로팅 상태이다. 따라서 라인 앞단에 연결된 스위치에 따라서 전류의 흐름을 제어 할 수 있다. 선택된 셀의 전류는 워드라인에서 비트 라인 쪽으로 흐르고, 흐르는 전류는 센스 앰플리파이어에서 셀의 상태에 따라 "High"와 "Low"로 나타나게 된다. 이때 읽기 동작 상태를 알리는 리드 스위치로써 그림 4.1에서는 Vread-Swit.이다.

이는 각 센스 앰플리파이어 앞단에 하나씩 설치되어, 읽기 동작일 경우에만 "on" 상태로 동작한다. 이에 반해 지우기 동작이나 쓰기 동작일 경우는 스위치의 상태는 "off"로 다른 동작 시 current path를 확실히 끊어주는 역할을 한다.

### 4.2 디코더(Decoder)의 동작 원리

디코더란 N개의 입력신호를 받아  $2^N$ 개의 출력으로 변환하는 로직 회로로서 외부의 신호를 받아 원하는 메모리 셀을 선택하고자 행-라인과 열-라인을 선택하기 위해 사용된다. 디코더는 OR/NOR 혹은 AND/NAND 게이트를 이용하여 설계를 하는데, 입력신호가 증가할 수록 많은 면적을 필요로 하게 되고, 디코더를 1단으로 설계할 경우보다 2단으로 설계할 경우 주변회로가 차지하는 면적의 비중이 줄어들고, 더 적은 트랜지스터로 더 빠른 액세스 시간을 얻을 수 있다<sup>[7]</sup>. 만약 4비트 어드레스를 1단으로 디코딩을 한다면 이 경우 4개의 입력을 갖는 NAND게이트가 16개 필요하게 되는데 각 게이트에 8 개의 트랜지스터가 필요하므로 128개의 트랜지스터가 필요하게 된다. 또한 4개의 NMOS가 직렬로

연결된 상태이기 때문에 실제로 게이트 길이가 증가하는 효과가 발생하고 그로인해 스위칭 속도가 상당히 느려지게 된다. 그리고 버퍼의 출력에서 큰 Fan-Out이 요구되는 문제도 발생한다. 그러나 위의 예를 2단 디코더로 구성한다면 4비트를 2비트로 이루어진 2개의 세그먼트로 프리디코딩을 한 후 5개의 세그먼트로 두 번째 디코딩을 하게 된다. 이 경우에는 트랜지스터 수가 절반 정도로 감소하게 될 뿐만 아니라 많은 수의 NMOS가 직렬로 연결되는 것을 막을 수 있으므로 스위칭 속도 또한 증가하게 된다. 따라서 전체적인 면적과 전력소모를 줄일 수 있으므로 PoRAM에서는 2단 디코더를 사용한다. 디코더 설계 시 PoRAM에서는 동적 로직 회로를 사용하지 않고 정적로직 회로를 사용했다. 일반적으로 동적 로직 회로는 전체적인 트랜지스터 수를 줄임으로써 전력소모는 줄일 수 있지만 노이즈와 레이어아웃에 민감하다. 또한 정적 로직 회로와는 달리 클락 신호를 필요로 한다. 따라서 모든 게이트에 클락 신호가 공급되어야 하므로 클락 신호선의 커패시턴스 부하가 매우 크게 되고 이로 인해 클락 구동 회로의 전력소모가 크게 증가한다. 이에 반해 정적 로직 회로는 동적 로직 회로보다 트랜지스터의 개수는 증가하지만 노이즈에 덜 민감하여 안정적인 동작을 할 수 있는 장점을 가지고 있다. 따라서 PoRAM의 셀 어레이는 노이즈에 민감하고, 저 전력을 사용하기 때문에 클락 신호에 따른 전력소모와 노이즈에 민감한 정적 로직회로를 사용하지 않고, 동적 로직 회로를 사용한다.

### 4.3 행(Row) 디코더 설계

본 논문에서 제안하는 행-디코더는 4비트 어드레스의 입력이 들어가면 전체적으로 16개의 출력 값이 나오는

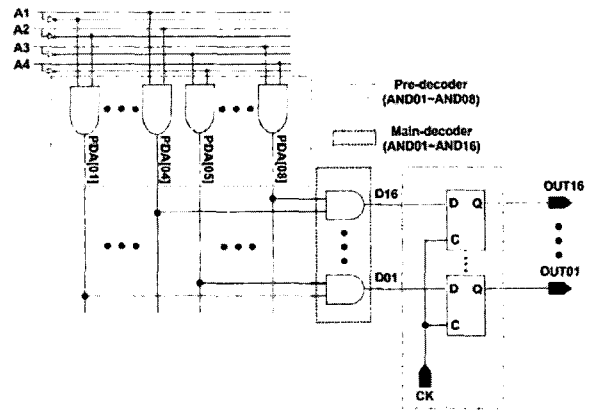


그림 4.2. 행 디코더  
Fig. 4.2. Row Decoder.



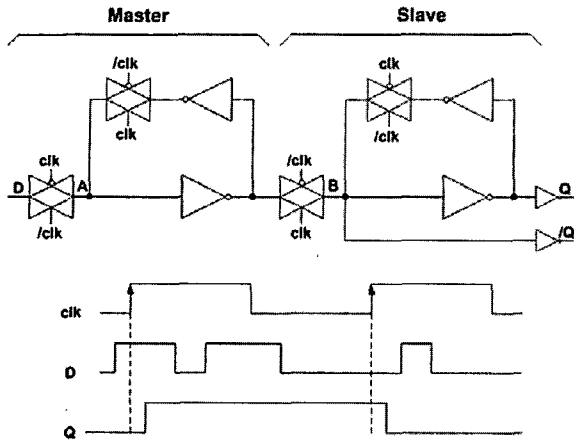


그림 4.3. 글리치 현상을 없애기 위해 사용된 M/S D-F/F 회로

Fig. 4.3. An M/S D-F/F Circuit to Eliminate Glitch.

표 4. 행 디코더의 입출력 신호  
(a) 프리디코더 (b) 메인디코더

Table 4. Input/Output Signal of Row Decoder.

(a) Pre-decoder (b) Main-decoder

입력신호	프리디코더 AND Gate	프리디코더 출력
/A1, /A2	AND01	PDA01
/A1, A2	AND02	PDA01
A1, /A2	AND03	PDA03
A1, A2	AND04	PDA04
/A3, /A4	AND05	PDA05
/A3, A4	AND06	PDA06
A3, /A4	AND07	PDA07
A3, A4	AND08	PDA08

(b)

메인디코더 입력	0, 메인디코더 AND Gate	메인디코더 출력	메인디코더 입력	메인디코더 AND Gate	메인디코더 출력
PDA01, PDA05	AND01	OUT01	PDA03, PDA05	AND09	OUT09
PDA01, PDA06	AND02	OUT02	PDA03, PDA06	AND10	OUT10
PDA01, PDA07	AND03	OUT03	PDA03, PDA07	AND11	OUT11
PDA01, PDA08	AND04	OUT04	PDA03, PDA08	AND12	OUT12
PDA02, PDA05	AND05	OUT05	PDA04, PDA05	AND13	OUT13
PDA02, PDA06	AND06	OUT06	PDA04, PDA06	AND14	OUT14
PDA02, PDA07	AND07	OUT07	PDA04, PDA07	AND15	OUT15
PDA02, PDA08	AND08	OUT08	PDA04, PDA08	AND16	OUT16

구조로 그림 4.2와 같이 설계하였다. A1~A4까지 4개의 어드레스 입력 값이 들어가면 프리디코더에서 2개의 세그먼트로 각각 그림 프리디코더 입력 AND 게이트 로직 회로를 통하여 PDA1~PDA8까지의 총 8개의 출력 값을 낸다. 2개의 세그먼트로 나누어진 8개의 출력 값이 메인디코더인 2입력 AND 게이트 로직 회로를 통해서

D1~D16의 출력 값을 낸다. 16개의 출력 값 중에서 임의로 선택한 라인은 "High"로 선택되게 설계한다.

이때 16개의 출력 값에서 예기치 못한 날카로운 형태의 글리치가 발생한다<sup>[8]</sup>. 이 현상은 펄스 입력을 가지는 로직 회로를 직렬 연결하였을 때, 출력에는 하나의 게이트에 대한 지연시간만큼 지속되는 잘못된 결과가 발생한다. 각각의 입력 값들의 상승에지와 하강에지의 위치가 겹치게 되면 이와 같은 출력을 나타낸다.

이러한 문제점을 방지하기 위해 그림 4.3의 마스터/슬레이브 디-플립플롭을 사용했다.

플립플롭 중에서도 가장 간단한 구조로 구성되어 있다. 마스터/슬레이브 디-플립플롭은 데이터가 입력되더라도 입력 값에 해당하는 데이터 출력 값을 내는 것이 아니라 클락 동기화에 의해서 데이터가 출력된다. 이에 약간 지연된 클락을 넣어줌으로써 입력 부분의 상승에지와 하강에지 부분에서 발생하는 글리치 현상을 제거할 수 있다<sup>[9]</sup>. 전체적인 디코더에 해당하는 입, 출력 신호는 표 4에서 나타낸다.

#### 4.4 컬럼(Column) 디코더 설계

열-디코더는 4비트 어드레스의 DC전압이 입력되면 프리디코더와 메인디코더를 통해서 전체적으로 16개의 출력 값을 낸다. 그림 4.4에서와 같이 열-디코더의 프리디코더는 NAND 게이트 로직 회로를 사용하고, 메인디코더는 OR 게이트 로직 회로를 사용했다.

행-디코더에서는 선택된 라인이 "High"값을 가질 수 있도록 설계를 하였지만 열-디코더는 선택되지 않은 라인이 "High"값을 가지고, 선택한 라인은 "Low"값을 가지게 된다. 이는 PoRAM의 셀 어레이의 선택 방법과 관련이 있다. 기존의 메모리에 사용되는 행과 열-디코

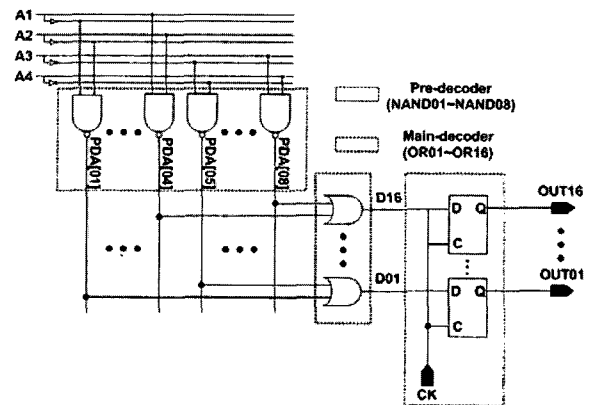


그림 4.4. 열 디코더

Fig. 4.4. Column Decoder.

표 5. 열-디코더의 입출력 신호

(a) 프리디코더 (b) 메인디코더

Table 5. Input/Output Signal of Column Decoder.

(a) Pre-decoder (b) Main-decoder

(a)

입력신호	프리디코더 AND Gate	메인디코더 출력
/A1, /A2	NAND01	PDA01
/A1, A2	NAND02	PDA01
A1, /A2	NAND03	PDA03
A1, A2	NAND04	PDA04
/A3, /A4	NAND05	PDA05
/A3, A4	NAND06	PDA06
A3, /A4	NAND07	PDA07
A3, A4	NAND08	PDA08

(b)

프리디코더 출력	메인디코더 OR Gate	메인디코더 출력	프리디코더 출력	메인디코더 OR Gate	메인디코더 출력
PDA01, PDA05	OR01	OUT01	PDA03, PDA05	OR09	OUT09
PDA01, PDA06	OR02	OUT02	PDA03, PDA06	OR10	OUT10
PDA01, PDA07	OR03	OUT03	PDA03, PDA07	OR11	OUT11
PDA01, PDA08	OR04	OUT04	PDA03, PDA08	OR12	OUT12
PDA02, PDA05	OR05	OUT05	PDA04, PDA05	OR13	OUT13
PDA02, PDA06	OR06	OUT06	PDA04, PDA06	OR14	OUT14
PDA02, PDA07	OR07	OUT07	PDA04, PDA07	OR15	OUT15
PDA02, PDA08	OR08	OUT08	PDA04, PDA08	OR16	OUT16

더는 원하는 비트라인을 선택하여 해당하는 셀에 "High"값으로 나타냈지만, PoRAM의 경우는 전압 차이를 이용하여 셀에 흐르는 전류를 측정하기 위해서 양단에 전압을 인가하여 셀이 변하는 저항 성분으로 데이터를 구분하기 위해 비트라인을 "Low"로 선택했다.

만약 기존의 셀 어레이 방법으로 열 디코더를 "High"의 값으로 선택한다면, 셀에 흐르는 전류는 비트라인과 워드라인은 둘 다 "High"로 선택되어 동 전위가 되므로 전위차가 생기지 않아 전류가 흐르지 않으므로 읽기 전압을 따로 생성하여 가해주어야 하는 번거로움이 있다. 또한 이 방법이 기존의 메모리와 차이점을 둔 것이라 할 수 있다. 따라서 셀이 가지는 전류를 흐를 수 있게 원하는 라인을 선택하여 셀의 상태를 구분하는데 도움을 줄 수 있다. 열 디코더의 해당하는 입출력 신호는 표 5.를 통해 알 수 있다.

### V. 결 론

PoRAM는 폴리머 물질을 이용한 차세대 비휘발성 메모리로서 상/하단전극에 전압을 인가하고, 이에 대한 셀의 저항성분 변화로 흐르는 전류 값을 측정하여 셀의

지우기 상태와 쓰기 상태를 구분 지을 수 있다. 본 논문에서는 PoRAM의 전체적인 동작 스킴과 이에 대한 새로운 어드레싱 방법을 연구하였다. PoRAM단일 소자의 읽기/쓰기/지우기에 대한 동작 특성을 살펴보고, 4bit의 입력신호를 받아 16개의 출력 값을 나타내는 행 디코더, 열 디코더를 설계하고, 셀 어레이를 구성하였다. 다른 셀 어레이와 다르게 워드라인은 "High", 비트라인은 "Low"로 셀을 선택, 셀이 가지고 있는 전류가 흐를 수 있도록 current path를 만들어 주고, 각 라인 앞단에 스위치를 달아줌으로써 선택하지 않은 라인에 전류가 흐르지 않도록 제어 하였다. 전류 레벨이 큰 셀의 상태를 구분하기 위해서 전류미러를 이용한 1단 차동 증폭기를 제안하고, 셀에 흐르는 전류 값을 측정하여 원하는 값으로 증폭시키기 위해 전압 센싱을 이용하였다. 또한, 센스 앰플리파이어 입력 단에 흐르는 셀의 전류 값을 전압 값으로 변환시키는 구조로 구성함으로써 입력 단에 소자 저항을 하나 달아 줌으로써 전류 값을 전압 값으로 변환시켜 입력 할 수 있다. 쓰기 동작일 경우 10-4A, 지우기 동작일 경우 10-6A가 흐를 때 데이터 "1"과 "0" 값을 증폭하여 출력하였다. 1단 차동 증폭 회로로 간단한 회로이지만, PoRAM에 적용이 가능함으로써 간단한 구조, 작은 면적, 데이터의 입력에 따른 증폭도의 결과를 시뮬레이션 결과를 통하여 확실히 적용 할 수 있었다.

### 참 고 문 헌

- [1] Kinam Kim and Gwan-Hyeob Koh, "Future Memory Technology including Emerging New Memories", Proc. 24th International Conf. on Microelectronics, pp. 377-384, Serbia and Montenegro, May 2004.
- [2] International Technology Roadmap of Semiconductor Device 2004.
- [3] Simon C. Li, Jia-Mou Lee, J. P. Su, and Te-Ho Wu, "1.8-V Nanospeed R/W Module for 64-kB Cross-Point Cell Magnetic Random Access Memory", IEEE transaction on magnetics, Vol. 41, No. 2, pp. 909-911, Feb. 2005.
- [4] Caroline Papaix, Jean Michel Daga, "A New Single Ended Sense Amplifier for Low Voltage Embedded EEPROM Non Volatile Memories", IEEE, Proc. MTDT2002(1087-4852/02), 2002.
- [5] Andre, T., "A 4Mb 0.18 /spl mu/m 1T1MTJ Toggle MRAM memory", Conf. Solid-State Circuits, Vol. 1, pp. 44 - 512, Feb, 2004.

[6] 이상선, 김정하, 박유진, 윤한섭, 홍종균, 정성대, 정종인, “메모리 셀 선택회로를 포함하는 반도체 메모리 장치와 그것의 동작방법”, 한국특허출원, 출원번호 10-2006-086577, 2006.

[7] E. Seevinck, F.List, and J. Lohstogh, “Static-Noise Margin analysis of MOS SRAM Cells”, IEEE J. Solid-State Circuits, Vol. SC-22, No. 5., pp. 748-754, Oct. 1987.

[8] Dirk Rabe, et al, “Short Circuit Power Consumption of Glitches,” ISLPED Monterey CA USA, pp125-128, 1996.

[9] 이상선, 박유진, 김정하, “노이즈에 둔감한 디코딩 신호를 출력하는 디코더 및 이를 포함하는 반도체 메모리 장치”, 한국특허출원, 출원번호 10-2006-0092300, 2006.

저 자 소 개



김 정 하(학생회원)  
 2000년 초당대학교 정보통신 공학과 학사 졸업  
 2002년 초당대학교 전자정보 공학부 석사 졸업  
 2003년~현재 한양대학교 전자전기컴퓨터공학과 박사과정

<주관심분야 : 비휘발성메모리 A/D 주변회로 설계>



이 상 선(정회원)  
 1978년 한양대학교 전자공학과 학사 졸업  
 1983년 한양대학교 전자공학과 석사 졸업  
 1990년 Univ. of Florida 공학 박사

1991년~1993년 생산기술연구소 전자부품종합 기술연구소  
 1993년~현재 한양대학교 전자전기컴퓨터공학과 교수

<주관심분야 : 비휘발성메모리, 텔레메틱스통신>