

논문 2007-44SD-6-7

# WCDMA용 67-dB DR, 1.2-V, 0.18- $\mu$ m 시그마-델타 모듈레이터 설계

( A 67dB DR, 1.2-V, 0.18- $\mu$ m Sigma-Delta Modulator for WCDMA  
Application )

김 현 중\*, 유 창 식\*\*

( Hyun-Joong Kim and Changsik Yoo )

## 요 약

0.18- $\mu$ m CMOS 공정에서 1.2-V 2차 Full-Feedforward 구조의  $\Sigma\Delta$  모듈레이터를 설계하였다. Full-Feedforward 구조는 Op-Amp의 성능 요구치를 크게 경감시키기 때문에 저전압 저전력  $\Sigma\Delta$  모듈레이터를 만들기 적합한 구조로 세계적으로 많이 채택되고 있는 추세이다. 그리고, Top-Down 설계 기법을 적용하여  $\Sigma\Delta$  모듈레이터를 설계하였는데, 이를 위하여 Op-Amp의 유한한 DC-Gain과 Bandwidth 등 여러 가지 비이상적 효과들을 모델링하여 전달함수를 유도하였다.

## Abstract

0.18- $\mu$ m CMOS 1.2-V 2nd-order  $\Sigma\Delta$  modulator with full-feedforward topology is designed. Using full-feedforward topology makes op-amp performance requirements much less stringent, therefore it has been adopted as a good candidate for low-voltage low-power applications throughout the world. Also,  $\Sigma\Delta$  modulator is designed with top-down design approach, therefore various nonideal effects of op-amp are modeled in this paper.

**Keywords :** 시그마-델타, 델타-시그마, WCDMA, Top-Down

## I. 서 론

전통적인 통신 시스템에서 채널 선택은 아날로그 Front-end에서 이루어졌지만, 점차적으로 채널 선택을 디지털 필터로 수행하는 것이 추세이다. 이를 위해서는 고해상도의 A/D Converter (ADC)가 요구되는데  $\Sigma\Delta$  모듈레이터는 그에 적합한 ADC 구조로써, 최근 세계적으로 활발한 연구가 진행되고 있는 분야이다. 본 논문에서는 0.18- $\mu$ m CMOS 공정에서 1.2-V 2차 Full-Feedforward 구조의  $\Sigma\Delta$  모듈레이터를 설계한 과정을 자세히 상술하였다. 아울러,  $\Sigma\Delta$  모듈레이터의 설계 과정을 체계화하고 Circuit-Level에서는 설계 시간

을 단축하고, System-Level에서 선검증할 수 있는 기반을 마련하기 위해, Op-Amp의 여러 가지 비이상적인 효과들을 모델링 하였다. 이전에도  $\Sigma\Delta$  모듈레이터를 구성하는 Op-Amp의 비이상적인 효과들을 모델링한 논문이 있었지만 참고 문헌 [1]의 경우에는 Op-Amp의 Parasitic Capacitance 성분을 고려하지 않았고, 참고 문헌 [2]의 경우에는 결과식은 나와 있지만 과정이 자세히 나와 있지 않아서 그대로 쓰기 힘들다는 점이 있었다. 본 논문이 이러한 부분을 충족하는 데에 도움이 될 수 있을 것이다.

## II. $\Sigma\Delta$ 모듈레이터의 System-Level 설계

1. 요구되는  $\Sigma\Delta$  모듈레이터의 성능  
A/D 변환기 (ADC)의 성능요소 중 가장 중요한 것을

\* 학생회원, \*\* 정회원, 한양대학교  
(Hanyang University)

접수일자: 2007년2월28일, 수정완료일: 2007년5월22일

표 1. 본 연구에서 설계한  $\Sigma\Delta$  모듈레이터의 설계 전 성능 목표치

Table 1. Performance target of  $\Sigma\Delta$  modulator in this work.

Signal BW	Dynamic Range	Supply 전압	공정	전력 (mW)
1.92MHz	66dB 이상	1.2V	0.18um	최소화

표 1을 본다면 Signal Bandwidth (BW), Dynamic Range (DR), 전력 소모 등 총 세 가지 정도라 할 수 있다. 본 논문에서 설명하고 있는  $\Sigma\Delta$  모듈레이터는 WCDMA 용 수신기에 적용할 수 있는 것이고, WCDMA의 Signal Bandwidth는 1.92 MHz이다. ADC의 Dynamic Range에 대한 요구치는 RF 수신기의 구조와 각각 구성 블록들의 성능에 따라 다르게 된다. 본 논문에서는 Direct-Conversion 구조의 수신기에서 디지털 채널 선택 필터를 채택하였다고 가정하고, Receiver Budget을 계산해 본 결과 ADC의 DR가 66 dB 이상이 되어야 하는 것으로 나타났다. 또한, 본 논문에서는 저전압 설계에 대한 가능성을 시험해 보기 위하여 0.18- $\mu\text{m}$  CMOS 공정에서 1.2 V의 Supply 전압으로 설계를 하였다. 표 1은 본 논문에서 설계한  $\Sigma\Delta$  모듈레이터의 설계 전 성능 목표치이다.

2.  $\Sigma\Delta$  모듈레이터 구조의 결정

$\Sigma\Delta$  모듈레이터의 DR을 결정하는 세 가지 주요소는 Loop-order (L), ADC bit 수 (B), Over-Sampling Ratio (OSR) 이다.  $\Sigma\Delta$  모듈레이터의 DR와 직접적으로 관계되는 최대 Signal-to-Noise Distortion Ratio (SNDR)는 다음과 같은 식으로 나타낼 수 있다.<sup>[3]</sup>

$$SNDR_{max}(z) = \frac{3\pi}{2} \cdot (2^B - 1)^2 \cdot (2L + 1) \cdot \left(\frac{OSR}{\pi}\right)^{2L+1} \quad (1)$$

3차 이상의 Loop-order를 가지는  $\Sigma\Delta$  모듈레이터는 Stability를 보장하기 어려우므로 모듈레이터의 차수는 2차로 결정하였다. L=2라고 가정하면, B, SNDR, OSR의 관계는 다음과 같다.

$$SNDR_{max}(z) = \frac{15\pi}{2} \cdot (2^B - 1)^2 \cdot \left(\frac{OSR}{\pi}\right)^5 \quad (2)$$

또한, 이는 그림 1과 같이 그림으로 나타낼 수 있다.

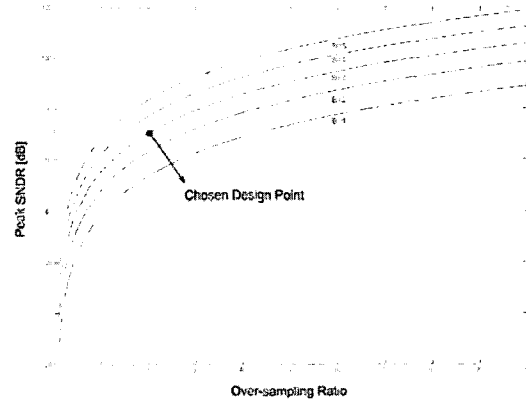


그림 1. ADC bit 수의 변화에 따른 Over-Sampling Ratio와 최대 SNDR의 관계

Fig. 1. Relation between over-sampling ratio and peak SNDR as quantizer resolution changes.

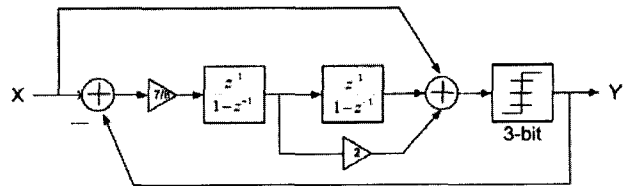


그림 2. 본 연구에서 채택한  $\Sigma\Delta$  모듈레이터 구조

Fig. 2. Adopted  $\Sigma\Delta$  Modulator Topology.

표 2. 본 연구에서 채택한  $\Sigma\Delta$  모듈레이터의 구조  
Table 2. Adopted  $\Sigma\Delta$  modulator Topology in this work.

Topology	Loop order	OSR	ADC bits
Full-Feedforward	2nd-order single loop	20	3

이를 통하여, 66 dB 이상의 DR을 만족하기 위하여 B=3과 OSR=20이 선택되었다.

그림 2는 본 연구에서 채택한  $\Sigma\Delta$  모듈레이터 구조이다. 위에서 언급한 것과 같이, 2차 단일 루프 구조를 채택하였고, 전형적인 Feedback 구조가 아닌 Full-Feedforward 방식<sup>[4]</sup>을 사용하였다. Full-Feedforward 방식은 Discrete-Time 적분기를 통과하는 신호가 모듈레이터의 입력 (X)를 포함하지 않고 Quantization Noise만을 가지기 때문에 적분기를 구성하는 회로인 Op-Amp의 DC Gain, Output Swing Range, Slew Rate에 대한 요구치를 크게 경감시키게 된다<sup>[4]</sup>. 이와 같은 장점 때문에, 저전압과 저전력 설계를 목표로 최근에 발표되는  $\Sigma\Delta$  모듈레이터 관련 논문에서 많이 채택되고 있는 구조이다. 표 2는 본 연구에서 설계한  $\Sigma\Delta$  모듈레이터의 구조를 표로 나타낸 것이다.

### 3. Sampling Capacitor 사이즈의 결정

ADC의 Dynamic Range (DR)는 ADC의 Reference 전압과 모듈레이터의 input referred noise에 의해서 결정된다. 본 논문에서는 ADC의 Reference 전압은 Supply 전압과 같은 1.2 V로 하였으므로, input referred noise가 모듈레이터의 DR을 결정한다고 할 수 있다. 그림 3은 Switched-Capacitor (SC) 적분기의 noise를 모델링한 것이다. SC 적분기가 Fully-Differential 로 구현되었을 때, noise는 다음과 같이 계산될 수 있다.<sup>[5]</sup>

$$\overline{v_{n,in}^2} = \frac{kT}{C_S} \left( 2 + 2 \cdot \frac{x}{1+x} + \frac{4/3}{1+x} \right) \quad (3)$$

$$\overline{v_{n,out}^2} = \frac{4kT}{3C_0} \quad (4)$$

위 식에서  $k$ 는 Boltzman 상수,  $T$ 는 절대 온도,  $C_S$ 는 Sampling Capacitor,  $C_0$ 는 적분기의 Output Node에서의 Effective Load Capacitance를 가리킨다. 위의 식 (3)에서  $x$ 는 Design Parameter로서 다음 식 (5)와 같이 정의된다.

$$x = 2R_{on} \cdot g_m \quad (5)$$

위 식에서  $R_{on}$ 은 스위치가 켜졌을 때의 저항,  $g_m$ 은 Op-Amp 입력 Transistor의 Transconductance이다. 그림 4는 적분기의 Noise Modeling을 포함한  $\Sigma\Delta$  모듈레이터이다.  $V_{ni1}$ 과  $V_{no1}$ 은 각각 첫 번째 SC 적분기의 Noise이고,  $V_{ni2}$ 와  $V_{no2}$ 는 두 번째 SC 적분기의 Noise이다. 본 논문에서는 Sampling Capacitor의 사이즈를 결정할 때,  $V_{ni1}$ 만 고려하고 나머지는 무시하였다. 그렇게 한 근거는 Over-Sampling을 하는 경우에 Signal Bandwidth는 DC로 거의 근사할 수 있고 DC에서 적분기의 Gain은 무한대이기 때문이다.  $V_{ni1}$ 만 고려하였을 때 모듈레이터의 Input Referred Noise는 다음 식 (6)과 같다.

$$\overline{v_{n,th}^2} \cong \frac{4kT}{C_S} \quad (6)$$

위에서  $x \gg 1$ 이라고 가정하였다. Sampling 된 Thermal Noise는 Folding 효과에 의해 White Noise에 가깝다.<sup>[5]</sup> 그러므로,  $\overline{v_{n,th}^2}$ 의 Power Spectral Density (PSD)는

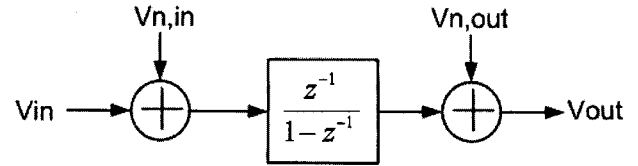


그림 3. SC 적분기의 noise 모델링

Fig. 3. SC Integrator Noise Modeling.

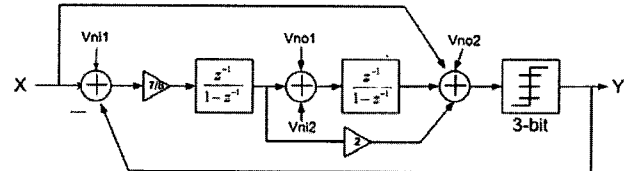


그림 4. 적분기 Noise Modeling을 포함한  $\Sigma\Delta$  모듈레이터

Fig. 4.  $\Sigma\Delta$  Modulator including integrator noise modeling.

$$S_{n,th}(f) = \frac{\overline{v_{n,th}^2}}{f_s/2} \quad (7)$$

In-Band에서의 Noise Power,  $\overline{v_{n,band}^2}$ 은

$$\overline{v_{n,band}^2} = S_{n,th}(f) \cdot BW = \frac{4kT}{C_S \cdot OSR} \quad (8)$$

이다. 여기서 BW는 Signal Bandwidth이다.

최대 입력 Signal Power가 0.18 V<sup>2</sup> (-7.45 dBV, -6 dBFS)라고 가정하고, 11-bit이상의 DR을 가지기 위해서 허용할 수 있는 Noise Power는  $10^{(-7.45-70)/10}$  V<sup>2</sup> = (134.12  $\mu$ V)<sup>2</sup>이다. 전체 Noise Power 중에서 75%를 Thermal Noise라고 놓는다면 최대 허용할 수 있는 Input Referred Thermal Noise Power는  $\overline{v_{th}^2}$  = (116.15  $\mu$ V)<sup>2</sup>가 된다.

$$\overline{v_{n,band}^2} \leq \overline{v_{th}^2} \text{를 만족시키려면}$$

$$C_S \geq 61.4 fF \quad (9)$$

가 되어야 한다.

실제로  $C_S$ 는 3-bit의 DAC를 구성하기 위해 7개의 병렬 Capacitor로 만들어져 있다. 그리고, 공정의 Matching 상태를 고려하면 하나의 단위 Capacitor의 크기가 100fF이상 되는 것이 바람직하다. 그래서, 모듈레이터의 첫 번째 Sampling Capacitor는 7개의 (10 $\times$ 10)  $\mu$ m<sup>2</sup>의 metal-insulator-metal (MIM) capacitor를 병렬로 연결하여 만들어졌고, 그 크기는 805fF이다.

4. Op-Amp의 DC-Gain 요구치

Op-Amp의 유한한 Gain이 SC 적분기의 전달함수에 끼치는 영향을 고려하여 Op-Amp의 최소 DC-Gain을 구하였다. 그림 5의 (a), (b)는 Op-Amp의 유한한 Gain을 모델링하여 SC 적분기의 두 가지 Phase에서의 연결 모습을 나타낸 것이다. Op-Amp의 유한한 Gain을 고려하여 SC 적분기의 전달함수를 구해보면 다음 식(10)과 같다<sup>[6]</sup>. 자세한 유도과정은 Appendix에서 서술하였다.

$$V_O = \left( \frac{C_S}{C_I} \right) \cdot \frac{\rho_2 \cdot (V_i \cdot z^{-1})}{1 - \frac{\rho_2}{\rho_1} \cdot z^{-1}} \quad (10)$$

위 식에서  $\rho_1, \rho_2$ 는 계산 전개과정에서 나오는 파라미터로 다음과 같다.

$$\rho_1 = \frac{A \cdot f_{dc1}}{1 + A \cdot f_{dc1}} \quad (11)$$

$$\rho_2 = \frac{A \cdot f_{dc2}}{1 + A \cdot f_{dc2}} \quad (12)$$

$$f_{dc1} = \frac{C_I}{C_P + C_I} \quad (13)$$

$$f_{dc2} = \frac{C_I}{C_S + C_I + C_P} \quad (14)$$

위 식에서 A는 Op-Amp의 DC-Gain,  $C_P$ 는 Op-Amp의 입력 Node의 Parasitic Capacitance,  $C_S$ 와  $C_I$ 는 각각 SC 적분기의 Sampling과 Integration Capacitance를 지칭한다.

위의 모델을 사용하여 MATLAB으로 Behavioral-Level 시뮬레이션을 수행하였다. 앞에서 모듈레이터의 Noise계산을 통하여 정한 바와 같이  $C_S = 805fF$ ,

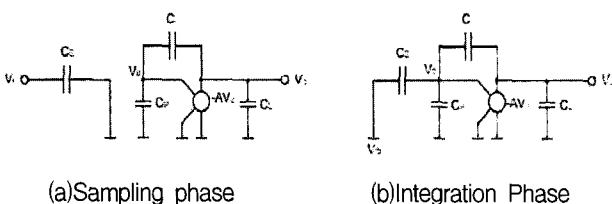


그림 5. 유한한 Op-Amp의 DC-Gain을 고려한 SC 적분기

Fig. 5. SC Integrator considering an amplifier with finite gain.

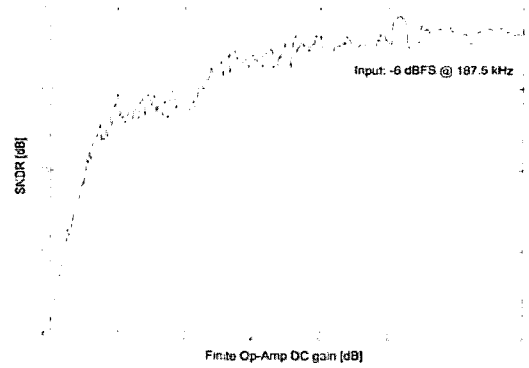


그림 6. 유한한 Op-Amp Gain에 따른  $\Sigma\Delta$  모듈레이터의 SNDR

Fig. 6.  $\Sigma\Delta$  Modulator SNDR with regard to finite op-amp gain.

$C_I = 920fF$ 으로 놓았고,  $C_P$ 는 Circuit-Level 설계 전에 정확한 값을 알 수 없으므로 5pF으로 가정하였다. Behavioral 시뮬레이션에서는 모듈레이터의 두 번째 적분기는 이상적이라고 가정하고, 첫 번째 적분기에 위의 모델링을 적용하여 수행되었다. 앞에서 Noise를 계산했을 때와 같은 이유로, 첫 번째 적분기의 중요도가 모듈레이터의 성능에 미치는 영향이 지배적이기 때문이다.

그림 6은 유한한 DC-Gain 모델링을 사용하여 Behavioral-Level 시뮬레이션을 수행한 결과이다. 모듈레이터 첫 번째 적분기의 최소 DC-Gain은 50 dB 이상으로 결정하였다. 실제 Op-Amp를 설계하면 Op-Amp의 출력 전압에 따라 Op-Amp의 Gain이 변하게 된다. 이것은 Op-Amp의 Output Transistor의  $v_{DS}$  (Drain-to-Source 전압)가 Op-Amp의 출력 전압에 따라서 변화하기 때문이다. 이러한 영향으로 발생하는 Distortion을 줄이기 위해서는 높은 Gain이 필요하기 때문에<sup>[6]</sup> 밑의 그림 6에서 어느 정도의 Margin을 고려하여 50 dB 이상의 DC-Gain이 필요하다고 결정하였다.

5. Op-Amp의 Close-Loop Dominant Pole의 요구치

앞의 그림 5의 유한한 DC-Gain 모델링에서는 Sampling과 Integration Phase의 시작점에서 모든 Node의 전압이 바뀌게 되지만, 실제로는 Op-Amp의 Pole이 Settling 현상을 발생 시키므로 위의 모델과 다르게 된다. 그리하여, 다음 모델에서는 Op-Amp의 Dominant Pole을 모델링하였다. 그림 7에서 보면 Op-Amp를 transconductance  $g_m$  과 Output Resistance  $r_o$ 로 모델링하였다.

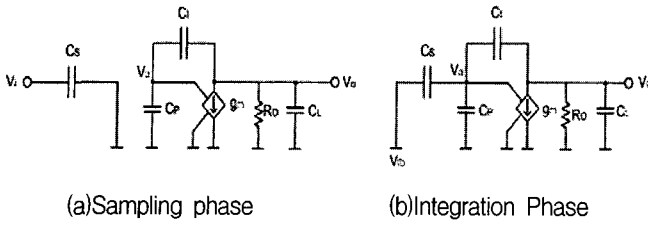


그림 7. 유한한 Op-Amp Bandwidth을 고려한 SC 적분기  
 Fig. 7. SC Integrator considering an amplifier with finite bandwidth.

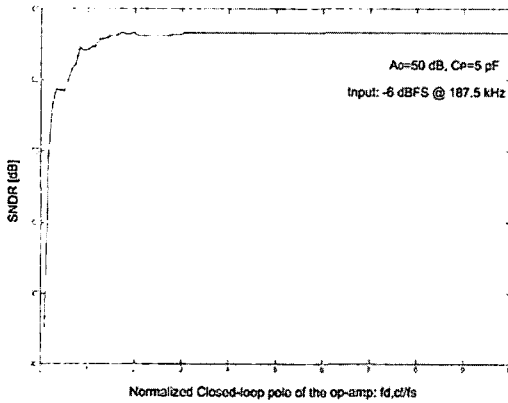


그림 8. 유한한 Op-Amp Bandwidth에 따른 ΣΔ 모듈레이터의 SNDR  
 Fig. 8. ΣΔ Modulator SNDR with regard to finite Op-Amp Bandwidth.

참고 문헌 [1]과 유사한 계산과정을 거치면 Sampling Phase가 끝나는 시점에서의 모듈레이터의 Output을 계산할 수 있고 이는 아래 식 (15)와 같이 나타낼 수 있다. 식 (15)에서 k1과 k2는 뒤에 나오는 식 (A26)과 (A27)에 나타내었고, 각각 Sampling Phase와 Integration Phase에서 생기는 Op-Amp의 Closed-Loop Pole에 의한 성분이다. 이의 자세한 유도과정은 Appendix에서 서술하였다. 이 모델링을 사용하여 Op-Amp의 Close-Loop Pole의 요구치를 결정하였다. 앞의 4절과 마찬가지로 모듈레이터의 두 번째 적분기는 이상적이라고 가정하고 첫 번째 적분기에 식 (15)의 모델링을 적용하고 Behavioral 시뮬레이션을 수행하였다.

이 때, Op-Amp의 DC-gain은 50 dB, Cp는 5pF으로 가정하였다. 그림 8은 식 (15)의 적분기 모델링을 적용하여 Behavioral 시뮬레이션을 수행한 결과이다. 그림 8에서 보는 바와 같이, 충분한 DR을 보장하기 위해서는

$$V_o(z) = \left( \frac{C_s}{C_f} \right) \cdot \frac{\{-(C_f + C_p + C_s) \cdot e^{k1} + (C_f + C_p + C_s) \cdot e^{k1+k2}\} \cdot z + \{-C_f - C_p + C_f \cdot e^{k1} + C_p \cdot e^{k1}\}}{(C_f + C_p + C_s) \cdot e^{(k1+k2)} \cdot z^2 + \{-C_f - C_p - (C_f + C_p + C_s) \cdot e^{k1+k2}\} \cdot z + (C_f + C_p)} \cdot V_i(z) \quad (15)$$

Op-Amp의 Closed-Loop Pole이 최소한 Sampling 주파수의 2배 이상이 되어야 함을 알 수 있다.

### III. ΣΔ 모듈레이터의 Circuit-Level 설계

#### 1. 모듈레이터의 Switched-Capacitor 구현

그림 9는 설계된 모듈레이터의 Switched-Capacitor 레벨의 Schematic이다. 편의상 Single-ended로 나타내었지만, 실제 설계는 Fully-differential로 이루어져있다. Op-Amp의 입력과 출력의 Common-mode 전압은 저전압 설계를 용이하게 하기 위하여 각각 300 mV와 600 mV로 다르게 설계하였다.

3-bit ADC를 구성하는 Comparator는 Clk\_latch를 이용하여 구동된다. Clk\_latch를 사용한 이유는 Comparator와 DWA block이 ϕ1을 공유하게 하기 위해서이다. 그리고, Cs1을 구성하는 단위 Capacitor 간의 Mismatch에 의한 Nonlinearity를 경감시키기 위해서 Data Weighted Averaging (DWA) 블록<sup>[7]</sup>이 추가되었다.

Sampling Switch S1j(j=1,...,7)와 S5는 Switch의 On 저항 변화에 따른 비선형성을 최소화하기 위해서 Constant-VGS bootstrapping circuit<sup>[8]</sup>을 사용하였다. 나머지 Switch들은 모두 1.8 V로 Clock-boosting<sup>[9]</sup>된 CMOS switch를 사용하였다. 첫 번째 Sampling Capacitor Cs1은 II장 3절에서 설명한 이유로, 115 fF 단위 Capacitor 7개의 병렬연결로 이루어졌고, Cn은 115 fF 단위 Capacitor 8개의 병렬연결로 이루어졌다.

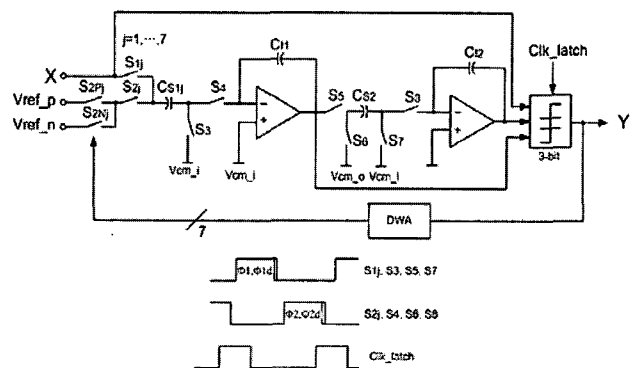


그림 9. 모듈레이터의 Switched-Capacitor 구현  
 Fig. 9. Switched-Capacitor Implementation of Modulator.

2. Op-Amp Circuit 설계

Full-Feedforward  $\Sigma\Delta$  모듈레이터 구조에서는 적분기의 입력과 출력의 신호의 크기가 전통적인 Feedback 구조와 비교하여 크게 줄어들기 때문에, 단순한 Single-Stage Op-Amp를 이용하여도 원하는 성능을 만족시킬 수 있다. 그림 10은 모듈레이터의 첫 번째 적분기를 구성하는 Op-Amp의 Schematic이다. 낮은 Op-Amp의 입력 전압을 가능케 하기 위해 PMOS 입력 Folded-Cascode 구조를 채택하였다. 두 번째 적분기를 구성하는 Op-Amp는 아래 그림 10의 Op-Amp를 단순히 1/2사이드로 스케일하여 설계하였다. 첫 번째 Op-Amp의 성능은 아래 표에 요약하였다. 이 때, II장 5절에서 정한 Op-Amp의 Dominant Pole의 요구치를 고려하여 M1과 M2의 사이즈를 결정하였다.

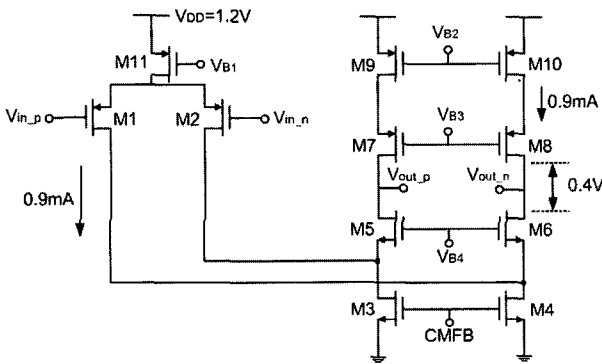


그림 10. 첫 번째 Op-Amp의 회로도  
Fig. 10. Schematic of 1st op-amp.

표 3. 첫 번째 Op-Amp의 성능 요약  
Table 3. First Op-Amp performance summary.

DC gain	54 dB
Unity GBW	500 MHz
Slew Rate	550 V/ $\mu$ s
Phase Margin	67°
Power Consumption	4.3 mW

3. Comparator 설계

그림 11은 모듈레이터를 구성하는 3-bit ADC의 Comparator를 보여준다. 이와 같은 Comparator 7개로 3-bit ADC를 설계하였다.

그림 11에서  $C_q$ 의 기능은 두 가지이다. 첫째는, 그림 2에서 보는 바와 같이 Full-Feedforward  $\Sigma\Delta$  모듈레이터 구조에서 필요한  $X + 2V_1 + V_2 - V_{Ri}$ 을 만들어 내

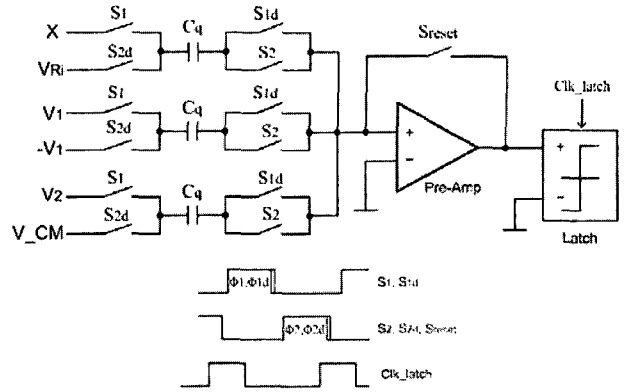


그림 11. 3-bit ADC의 Comparator 설계  
Fig. 11. Comparator of the 3-bit ADC.

는 것이다. 여기서,  $V_1, V_2$ 는 각각 첫 번째와 두 번째 적분기의 출력이고,  $V_{Ri}$ 는 ADC의  $i$ 번째 Threshold Level이다.  $V_1$ 의 Gain 2는  $V_1$ 과  $-V_1$ 을  $\phi_1$ 과  $\phi_2$ 에서 번갈아  $C_q$ 에 충전시켜서 얻게 된다<sup>[10]</sup>.

$C_q$ 의 두 번째 기능은 Pre-Amp의 Offset 전압을  $\phi_2$  때에 저장시켜 놓았다가  $\phi_1$  때에 제거 시키는 것이다.

III. 모의 실험 결과

그림 12는 187.5 kHz의 주파수를 가지는 모듈레이터 입력의 크기를 변화시켰을 때 모듈레이터의 SNDR이 변화하는 것을 나타낸 것이다. Signal Bandwidth가 1.92 MHz이고 OSR이 20일 때, 최대 SNDR은 66.4 dB로 나타났다. 모의 실험 결과는 Spectre 시뮬레이터를 통해 얻은 결과 값을 PC로 가져와 MATLAB을 통하여 SNDR 등의 수치를 구하고 결과 그래프를 그렸다. DR

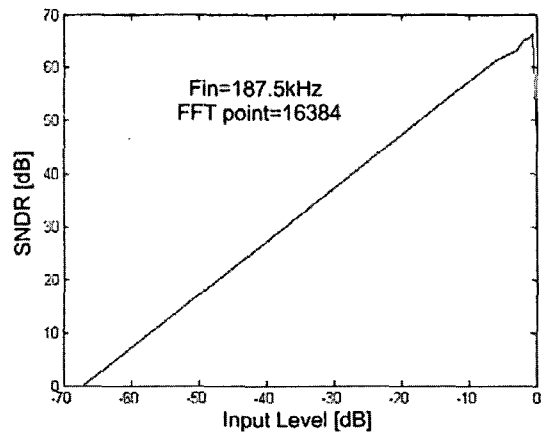


그림 12. 모듈레이터의 입력 크기 변화에 따른 SNDR의 변화  
Fig. 12. SNDR with regard to input level.

표 4.  $\Sigma\Delta$  모듈레이터의 성능Table 4. Summary of  $\Sigma\Delta$  modulator performance.

Supply Voltage	1.2 V
Sampling Rate	76.8 MHz
Reference	0 V, 1.2V
Signal Bandwidth	1.92MHz
Dynamic Range	67dB
Peak SNDR @ 187.5kHz Input	66.4dB
Power Consumption	11mW
Technology	0.18- $\mu$ m CMOS

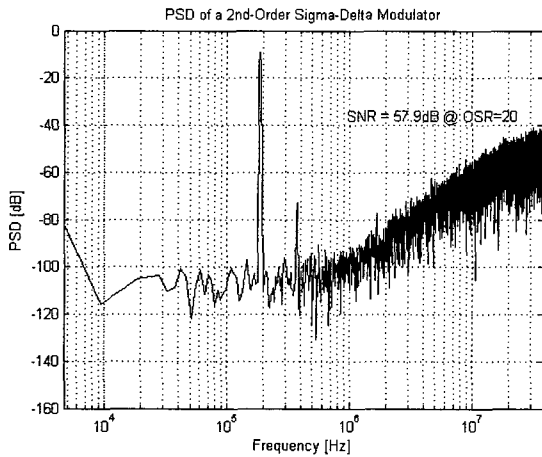


그림 13. DWA 블록을 켜지 않을 때의 모듈레이터 출력 PSD 그래프

Fig. 13. Modulator PSD result with DWA off.

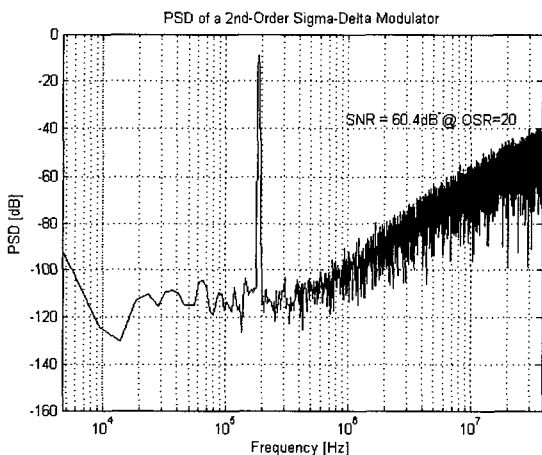


그림 14. DWA 블록을 켜지 않을 때의 모듈레이터 출력 PSD 그래프

Fig. 14. Modulator PSD result with DWA on.

은 67 dB로 목표한 요구치를 만족하였으며 전력 소비량은 11 mW이다. 표 4에 모듈레이터의 성능을 요약하였다.

3-bit DAC를 구성하는 단위 Capacitor 간의 Mismatch에 의한 Nonlinearity를 경감하기 위해 DWA 블록을 사용하였다. 아래의 그림 13과 14는 각각 DWA 블록을 켜지 않을 때와 켜지 않을 때의 Power Spectral Density (PSD) 그래프이다. 단위 Capacitor의 Mismatch는  $\sigma = 1\%$ 로 가정하고 모의실험을 수행하였다.

#### IV. 결 론

0.18- $\mu$ m, 1.2-V, 2차 Full-Feedforward  $\Sigma\Delta$  모듈레이터를 설계하였다. Top-Down 설계 기법을 적용하여  $\Sigma\Delta$  모듈레이터를 설계하였으며, 이를 위해 유한한 Op-Amp의 Gain과 Bandwidth를 모델링하여 Behavioral Level 시뮬레이션을 수행하였다. 정확한 Behavioral Modeling은 모듈레이터의 설계 시간을 크게 단축시킬 수 있기 때문에 필수적이라고 할 수 있다. 차후, 스위치의  $R_{on}$  저항까지 모델링하게 되면 실제와 더욱 가까운 모델링을 할 수 있을 것이다.

#### Appendix

##### A. Op-Amp의 유한한 Gain 모델링

그림 A1은 유한한 Op-Amp의 Gain을 모델링한 Switched-Capacitor 적분기이다. 전하량 보존의 법칙에 의하여,  $C_S$ 와  $C_I$ 의 전하량의 총합은 그림 A1의 Sampling Phase와 Integration Phase에서 서로 같다. 이를 통하여  $C_P$ 와  $C_L$ 을 무시하고 식을 구해보면,

$$\begin{aligned} & -C_S \cdot V_i(n-1) + C_I \cdot \{V_a(n-1) - V_o(n-1)\} \\ & = C_S \cdot \left\{V_a\left(n-\frac{1}{2}\right) - V_b\left(n-\frac{1}{2}\right)\right\} + C_I \cdot \left\{V_a\left(n-\frac{1}{2}\right) - V_o\left(n-\frac{1}{2}\right)\right\} \end{aligned} \quad (A1)$$

와 같다.

Sampling Phase에서  $V_a$ 와  $V_o$ 는 그림 A1에서 보는 것과 같이 값의 변화가 없으므로 식 (A1)은 다음 식 (A2)와 같이 변할 수 있다.

$$\begin{aligned} & -C_S \cdot V_i(n-1) + C_I \cdot \{V_a(n-1) - V_o(n-1)\} \\ & = C_S \cdot \left\{V_a(n) - V_b\left(n-\frac{1}{2}\right)\right\} + C_I \cdot \{V_a(n) - V_o(n)\} \end{aligned} \quad (A2)$$

$V_a = -(V_o/A)$  식을 이용한 후 식 (A2)의 z-transform을 구해 보면 다음 식 (A3)와 같다.

$$V_o = \left( \frac{C_s}{C_I} \right) \cdot \frac{\rho_2 \cdot (V_i \cdot z^{-1} - V_{fb} \cdot z^{-1/2})}{1 - \frac{\rho_2}{\rho_1} \cdot z^{-1}} \quad (A3)$$

위 식에서  $\rho_1$ 과  $\rho_2$ 는 Closed-Loop Static Error이고,  $f_{dc1}$ 과  $f_{dc2}$ 는 각각 Sampling Phase와 Integration Phase에서의 Capacitive Feedback Factor이며 다음과 같이 주어진다.

$$\rho_1 = \frac{A \cdot f_{dc1}}{1 + A \cdot f_{dc1}} \quad (A4)$$

$$\rho_2 = \frac{A \cdot f_{dc2}}{1 + A \cdot f_{dc2}} \quad (A5)$$

$$f_{dc1} = 1 \quad (A6)$$

$$f_{dc2} = \frac{C_I}{C_s + C_I} \quad (A7)$$

위의 모델에  $C_p$ 와  $C_L$ 을 포함시키려면  $f_{dc1}$ 과  $f_{dc2}$ 를 다음과 같이 바꾸면 된다.

$$f_{dc1} = \frac{C_I}{C_I + C_p} \quad (A8)$$

$$f_{dc2} = \frac{C_I}{C_s + C_I + C_p} \quad (A9)$$

### B. Op-Amp의 Dominant Closed-Loop Pole 모델링

그림 A2는 Op-Amp의 Dominant Closed-Loop Pole을 모델링한 Switched-Capacitor 적분기이다. 그림 A2에서 모델링한 Op-Amp의 전달 함수는 다음 식 (A10)과 같이 나타낼 수 있다.

$$A(s) = \frac{V_o}{V_a} = \frac{-A_0}{1 + s/\omega_{p1}} = \frac{-A_0 \cdot \omega_{p1}}{\omega_{p1} + s} \cong \frac{-\omega_t}{s} \quad (A10)$$

위 식에서  $\omega_{p1}$ 과  $\omega_t$ 는 각각 Op-Amp의 Dominant Pole과 Unity Gain 주파수를 나타낸다.

식 (A10)을 Time Domain에서 나타내면,

$$\frac{dV_o(t)}{dt} = -\omega_t \cdot V_o(t) \quad (A11)$$

와 같다.

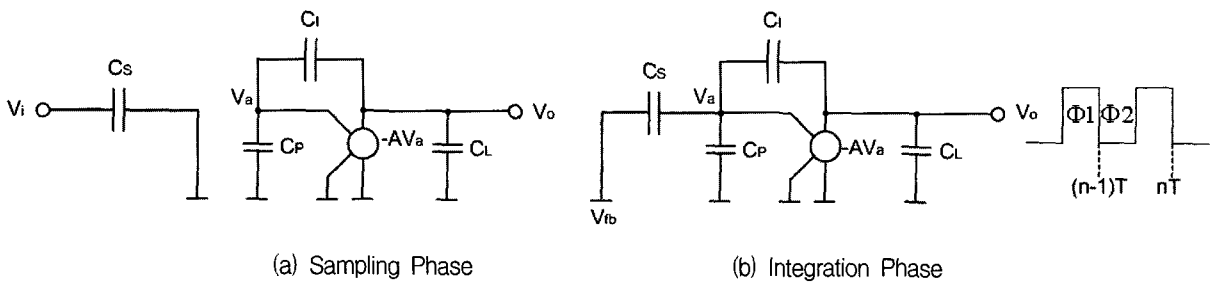


그림 A1. Op-Amp의 유한한 Gain을 고려한 Switched-Capacitor 적분기 모델링  
Fig. A1. Switched-capacitor integrator considering an Op-Amp with finite gain.

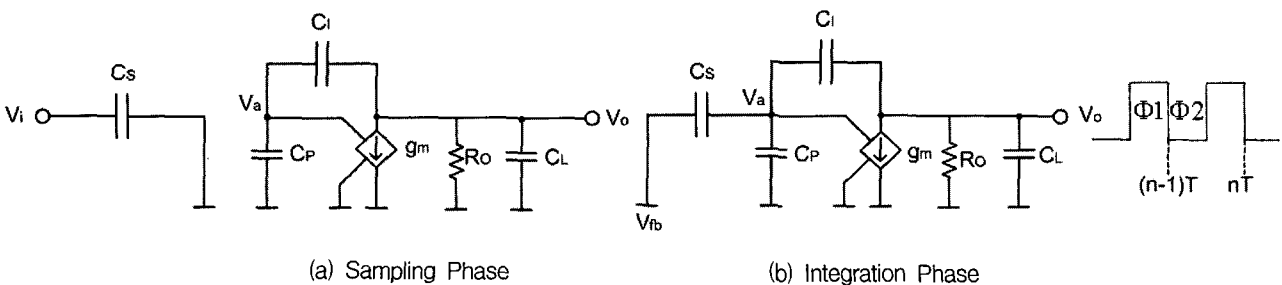


그림 A2. Op-Amp의 유한한 Bandwidth를 고려한 Switched-Capacitor 적분기 모델링  
Fig. A2. Switched-capacitor integrator considering an Op-Amp with finite bandwidth.



그림 A2의 Sampling Phase에서 다음 식 (A12)를 유도할 수 있다. 여기서  $V_{fb}$ 은 편의상 0으로 가정하였다.

$$\left( V_o(t) - V_o\left(n - \frac{3}{2}\right) \right) \cdot \left( \frac{C_I}{C_P + C_I} \right) = V_o(t) - V_o\left(n - \frac{3}{2}\right) \quad (\text{A12})$$

위의 식 (A12)를 미분하면 아래 식 (A13)과 같다.

$$\frac{dV_o(t)}{dt} = \left( \frac{C_P + C_I}{C_I} \right) \cdot \frac{dV_a(t)}{dt} \quad (\text{A13})$$

식 (A13)을 식 (A11)에 대입하고  $V_a$ 에 관해서 풀어 보면 다음과 같다.

$$V_a(n-1)^- = V_a\left(n - \frac{3}{2}\right) \cdot e^{-k_1} \quad (\text{A14})$$

$$k_1 = \left( \frac{\omega_i \cdot C_I}{C_P + C_I} \right) \cdot \frac{T}{2} \quad (\text{A15})$$

위 식에서  $V_a(n-1)^-$ 은 Sampling Phase에서의  $V_a(n-1)$  값을 나타낸다.  $V_a(n-1)$ 은 그림 A2에서 보는 바와 같이 비연속적이다.

식 (A14)를 (A12)에 대입하면 다음 식 (A16)과 같다.

$$V_o(n-1) = V_o\left(n - \frac{3}{2}\right) - \left( \frac{C_P + C_I}{C_I} \right) \cdot V_a\left(n - \frac{3}{2}\right) \cdot (1 - e^{-k_1}) \quad (\text{A16})$$

(n-1)의 순간에서,  $C_S$ 는 Op-Amp의 Inverting Input 단자에 연결된다.  $\Phi_1$ 에서  $\Phi_2$ 로 바뀌는 이 순간 동안에 전하량 보존의 법칙을 적용하여 식을 세우면 아래 식 (A17)이 된다.

$$\begin{aligned} & -C_S \cdot V_i(n-1) + (C_I + C_P) \cdot V_a(n-1)^- \\ & = V_a(n-1)^+ \cdot (C_S + C_I + C_P) \end{aligned} \quad (\text{A17})$$

그러므로  $V_a(n-1)^+$ 는 다음 식 (A18)과 같이 나타낼 수 있고, 여기서  $V_a(n-1)^+$ 은 Integration Phase에서의  $V_a(n-1)$ 을 가리킨다.

$$\begin{aligned} V_a(n-1)^+ & = \frac{-C_S}{C_S + C_P + C_I} \cdot V_i(n-1) \\ & + \frac{C_I + C_P}{C_S + C_P + C_I} \cdot V_a(n-1)^- \end{aligned} \quad (\text{A18})$$

Integration Phase에서는 다음 식 (A19)를 세울 수 있다.

$$\left( \frac{C_I}{C_S + C_P + C_I} \right) \cdot [V_o(t) - V_o(n-1)] = V_a(t) - V_a(n-1)^+ \quad (\text{A19})$$

식 (A19)를 미분하면 다음과 같다.

$$\frac{dV_o(t)}{dt} = \left( \frac{C_S + C_P + C_I}{C_I} \right) \cdot \frac{dV_a(t)}{dt} \quad (\text{A20})$$

식 (A20)을 (A11)에 대입하고  $V_a$ 에 관해서 풀면 다음과 같다.

$$V_a\left(n - \frac{1}{2}\right) = V_a(n-1)^+ \cdot e^{-k_2} \quad (\text{A21})$$

$$k_2 = \left( \frac{\omega_i \cdot C_I}{C_S + C_P + C_I} \right) \cdot \frac{T}{2} \quad (\text{A22})$$

식 (A21)을 (A19)에 대입하면,

$$V_o\left(n - \frac{1}{2}\right) = V_o(n-1) - \left( \frac{C_S + C_P + C_I}{C_I} \right) \cdot V_a(n-1)^+ \cdot (1 - e^{-k_2}) \quad (\text{A23})$$

식 (A14)와 (A18)을 (A21)에 대입하면,

$$\begin{aligned} V_a\left(n - \frac{1}{2}\right) & = \left( \frac{-C_S}{C_S + C_P + C_I} \right) \cdot V_i(n-1) \cdot e^{-k_2} \\ & + \left( \frac{C_P + C_I}{C_S + C_P + C_I} \right) \cdot V_a\left(n - \frac{3}{2}\right) \cdot e^{-(k_1 + k_2)} \end{aligned} \quad (\text{A24})$$

와 같다.

식 (A14), (A16), (A18)을 (A23)에 대입하면,

$$\begin{aligned} V_o\left(n - \frac{1}{2}\right) & = V_o\left(n - \frac{3}{2}\right) + \frac{C_S}{C_I} \cdot V_i(n-1) \cdot (1 - e^{-k_2}) \\ & - \frac{C_P + C_I}{C_I} \cdot V_a\left(n - \frac{3}{2}\right) \cdot (1 - e^{-(k_1 + k_2)}) \end{aligned} \quad (\text{A25})$$

와 같다.

$V_i(n-1) = V_i\left(n - \frac{3}{2}\right)$ 을 적용한 후에 식 (A24)와 (A25)의 Z-transform을 구하여  $V_O$ 를 나타낸 것이 식 (15)이다.

$k_1$ 과  $k_2$ 의 값은 그림 (A2)에서 쉽사리  $g_m$  값으로 나

타낼 수 있다. 전개 과정과 결과식은 다음과 같다.

$$\begin{aligned}
 k_1 &= \left( \frac{\omega_i \cdot C_I}{C_p + C_I} \right) \cdot \frac{T}{2} \\
 &= \left( \frac{C_I}{C_p + C_I} \right) \cdot A_0 \cdot \omega_{pi} \cdot \frac{T}{2} \\
 &= \left( \frac{C_I}{C_p + C_I} \right) \cdot (g_m \cdot R_o) \cdot \frac{1}{R_o \cdot \left( C_L + \frac{C_I \cdot C_p}{C_I + C_p} \right)} \cdot \left( \frac{T}{2} \right) \quad (A26) \\
 &= \frac{g_m}{C_p + \frac{(C_p + C_I) \cdot C_L}{C_I}} \cdot \left( \frac{T}{2} \right)
 \end{aligned}$$

$$\begin{aligned}
 k_2 &= \left( \frac{\omega_i \cdot C_I}{C_s + C_p + C_I} \right) \cdot \frac{T}{2} \\
 &= \left( \frac{C_I}{C_s + C_p + C_I} \right) \cdot (A_0 \cdot \omega_{pi}) \cdot \frac{T}{2} \\
 &= \left( \frac{C_I}{C_s + C_p + C_I} \right) \cdot (g_m \cdot R_o) \cdot \frac{1}{R_o \cdot \left( C_L + \frac{C_I \cdot (C_s + C_p)}{C_I + (C_s + C_p)} \right)} \cdot \left( \frac{T}{2} \right) \\
 &= \frac{g_m}{C_s + C_p + \frac{(C_s + C_p + C_I) \cdot C_L}{C_I}} \cdot \left( \frac{T}{2} \right) \quad (A27)
 \end{aligned}$$

참 고 문 헌

[1] Ken Martin, et al., "Effects of the op amp finite gain and bandwidth on the performance of switched-capacitor filters," *IEEE Trans. on Circuits and Systems*, vol. CAS-28, pp. 822-829, Aug. 1981.

[2] Yves Geerts, et al., "A 3.3-V, 15-bit, Delta-Sigma ADC with a signal bandwidth of 1.1 MHz for ADSL applications," *IEEE J. Solid-State Circuits*, vol. 34, pp. 927-936, Jul. 1999.

[3] Mona Safi-Harb, et al., "Low power delta-sigma modulator for ADSL applications in a low-voltage CMOS technology," *IEEE Trans. on Circuits and Systems I*, vol. 52, pp. 2075-2089, Oct. 2005.

[4] J. Silva, et al., "Wideband low-distortion delta-sigma ADC topology", *Electronics Letters*, Vol. 37, pp. 737-738, Jun. 2001.

[5] Richard Schreier, "Design-oriented estimation of thermal noise in switched-capacitor circuits," *IEEE Trans. on Circuits and Systems I*, vol. 52, pp. 2358-2368, Nov. 2005.

[6] Yves Geerts, et al., "Design of multi-bit delta-sigma A/D converters," Kluwer Academic, 2002.

[7] Rex T. Baird, et al., "Linearity enhancement of multibit  $\Delta\Sigma$  A/D and D/A converters using data weighted averaging," *IEEE Trans. on Circuits and Systems II*, vol. 42, pp. 753-762, Dec. 1995.

[8] Mohamed Dessouky, et al., "Very low-voltage digital-audio  $\Delta\Sigma$  modulator with 88-dB dynamic range using local switch bootstrapping," *IEEE J. Solid-State Circuits*, vol. 36, pp. 349-355, Mar. 2001.

[9] Thomas Byunghak Cho, et al., "A 10 b, 20 Msamples/s, 35 mW pipeline A/D converter," *IEEE J. Solid-State Circuits*, vol. 30, pp. 166-172, Mar. 2001.

[10] KiYoung Nam, et al., "A low-voltage low-power sigma-delta modulator for broadband analog-to-digital conversion," *IEEE J. Solid-State Circuits*, vol. 40, pp. 1855-1864, Sep. 2005.

저 자 소 개



김 현 중(학생회원)  
 2005년 한양대학교 전자전기  
 컴퓨터 공학부 학사 졸업.  
 2007년 한양대학교 전자통신  
 컴퓨터공학부 석사 졸업.  
 2007년~현재 삼성전자 반도체  
 총괄

<주관심분야: 아날로그 및 혼성 신호회로 설계>



유 창 식(정회원)  
 1992년 서울대학교 전자공학과  
 학사 졸업.  
 1994년 서울대학교 전자공학과  
 석사 졸업.  
 1998년 서울대학교 전자공학과  
 박사 졸업.

2002년~현재 한양대학교 전자통신컴퓨터공학부 교수  
 <주관심분야: 유무선 통신용 혼성 신호 회로 설계>