

논문 2007-44SD-6-12

Telescopic 증폭기를 이용한 고속 LVDS I/O 인터페이스 설계

(Design of a High-Speed LVDS I/O Interface Using Telescopic Amplifier)

유 관 우*, 김 정 범**

(Kwan Woo Yoo and Jeong Beom Kim)

요 약

본 논문은 3.3V, 0.35 μ m CMOS 기술을 이용하여 I/O 인터페이스를 설계, 검증하였다. LVDS (low-voltage differential signaling)는 차동전송 방식과 저 전압의 스wing으로 저 전력 고속의 데이터를 전송할 수 있다. 본 논문은 기존의 차동증폭기나 감지 증폭기를 사용한 LVDS와 달리 telescopic 증폭기를 이용하여 2.3 Gbps의 빠른 전송속도를 갖는 LVDS 고속 인터페이스를 구현하였다. LVDS의 표준을 모두 충족하였고 25.5 mW의 전력소모를 갖는다. 이 회로는 삼성 0.35 μ m CMOS 공정을 이용하여 설계하였으며, HSPICE를 통하여 검증하였다.

Abstract

This paper presents the design and the implementation of input/output (I/O) interface circuits for 2.5 Gbps operation in a 3.3V 0.35 μ m CMOS technology. Due to the differential transmission technique and low voltage swing, LVDS (low-voltage differential signaling) has been widely used for high speed transmission with low power consumption. This interface circuit is fully compatible with the LVDS standard. The LVDS proposed in this paper utilizes a telescopic amplifier. This circuit is operated up to 2.3 Gbps. The circuit has a power consumption of 25.5 mW. This circuit is designed with Samsung 0.35 μ m CMOS process. The validity and effectiveness are verified through the HSPICE simulation.

Keywords : LVDS, 인터페이스 회로, CMOS 고속회로, telescopic 증폭기

I. 서 론

정보화 사회의 발달과 인터넷 환경의 빠른 성장으로 인해 많은 양의 데이터를 빠르고 정확하게 주고받는 것을 요구하게 되었다. 칩의 성능이 향상되어 감에 따라 I/O의 대역폭이 전체적인 칩의 성능의 중요한 부분이 되고 있다. 칩 외부의 데이터 전송은 칩 내부 전송에 비해 잡음에 많이 노출되기 때문에 잡음에 강한 고속 데이터 전송기법이 필수적이다. 이와 같은 칩의 성능 향

상에 따라 칩과 칩 사이의 인터페이스 간에 안정된 고속 데이터 전송이 필요하게 되었다. 이러한 욕구를 충족시키기 위해 저전압 차동신호 전송기법(Low Voltage Differential Signaling : LVDS)이 제안되었다. 이 기법은 디스플레이, 통신용 허브, 디지털 주변기기 등의 고속 데이터 전송에 적용된다^[1-7].

LVDS I/O의 경우 송신단에 일정한 전류가 흐르면서 전류의 방향만 바뀌도록 구성되고 송신단 출력 쪽의 100 Ω 종단저항에 걸리는 전압차를 감지하여 증폭하는 구조이다^[1-2]. LVDS는 고속, 저 전력, 저 잡음 전송을 실현시켜 왔으며 앞으로 요구되는 고속 동작의 데이터 전송에 발맞추어 계속 개선되어야 할 과제이다. 본 논문은 3.3V, 0.35 μ m CMOS 기술로 구현하였고 telescopic 증폭기를 이용하여 수신단의 예비 증폭기단을 구성하여 2.3 Gbps로 데이터를 처리할 수 있다. 소비되는 전력소모는 25.5 mW이다.

* 정회원, ** 평생회원(교신저자), 강원대학교
전기전자공학부

(Department of Electronics Engineering, Kangwon National University)

※ 본 연구는 2007년도 산업자원부 부품소재기술개발 사업의 지원과 IDEC의 CAD S/W 지원으로 수행되었음.

접수일자: 2006년8월16일, 수정완료일:2007년6월14일

본 논문은 다음과 같이 구성한다. 먼저, II장에서 LVDS의 동작 특성에 대해 설명하고, III장에서 제안한 수신단 회로에 대해 설명한다. IV장에서 설계한 회로의 시뮬레이션 결과와 레이아웃 (layout)을 기술하며, V장에서 결론을 맺는다.

II. LVDS의 동작 특성

LVDS는 현재 사용되고 있는 고속, 저 전력, 저 잡음 데이터 전송의 핵심기술이다. 이는 300mV 정도의 작은 전압을 전송선로에 차동 모드로 시그널링 하는 원리로서 근래에 들어 고속전송에 요구되는 회로의 전 분야에 걸쳐 사용되고 있다. 그림 1은 LVDS의 인터페이스 동작원리를 간단하게 보여준다. 좌측의 LVDS 송신단에 3mA의 전류신호가 전류원에서 출력되면 우측에 있는 LVDS 수신단 앞에 있는 100Ω의 종단저항에서 1.25V의 공통모드전압을 기준으로 300mV의 전압을 발생시키고 수신단에서 이 신호를 복원하여 데이터를 전송하게 된다. 전류는 다시 귀환함으로써 전류 루프 영역은 작게 되고 이에 의해 발생하는 전자파간섭 (EMI)이나 혼선의 양은 최소가 된다. 또한 전류 소스는 동작시 발생할 수 있는 스파이크 전류를 제한한다. 위의 이 점으로 인해 적력 손실 없이 고속의 데이터 전송이 가능하다^[1~2]. 수신기는 300 mV의 낮은 차동신호를 입력으로 받아 이를 증폭하여 완전스윙으로 출력한다.

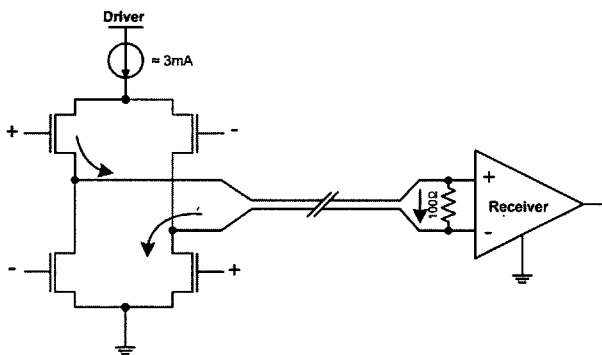


그림 1. LVDS의 송신단과 수신단
Fig. 1. Simplified diagram of LVDS.

1. 송신단

그림 2와 같이 LVDS 송신단은 M5를 통하여 3mA의 전류를 발생시켜 구동한다. 송신단의 출력은 종단저항 양단에 흐르는 전류의 차이로 인하여 발생한다. 이러한 차동 드라이버는 정 전류와 반대 전류가 전송 회선을 따라 흐른다. 4개의 MOS 스위치(M1~M4)를 통하여 전

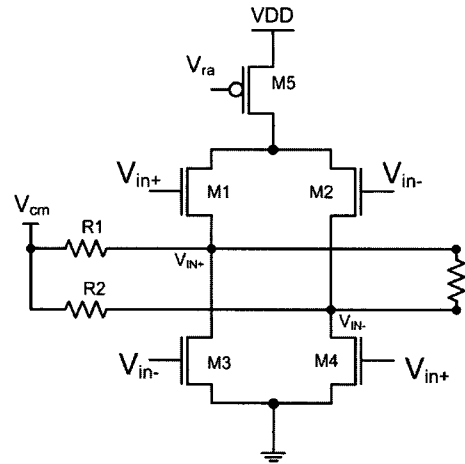


그림 2. 송신단 회로도
Fig. 2. Typical LVDS driver.

류를 발생시키는데 M1, M4가 on(M2, M3는 off)일 때 정전류가 흐르고 M2, M3가 on(M1, M4는 off)일 때 반대 전류가 흐름으로 종료저항인 100Ω의 양단에 $\pm 300mV$ 의 전압차를 갖는 출력이 발생한다. 저항 R_0 , R1은 공통모드전압을 1.25V로 맞추어 출력으로 1.1V~1.4V 차동 출력전압을 발생시킨다. LVDS는 이러한 전압 스윙을 300 mV 까지 낮추고 차동으로 전송하기 때문에 고속의 데이터 전송과 전력 절감, 잡음 감소의 효과를 얻을 수 있다.

2. 수신단

일반적인 LVDS 수신단의 예비 증폭기 (preamplifier) 단인 그림 3은 래치형 감지 증폭기 (sense amplifier)로 구성하였다. 송신단으로부터 1.1~1.4V의 작은 크기의 신

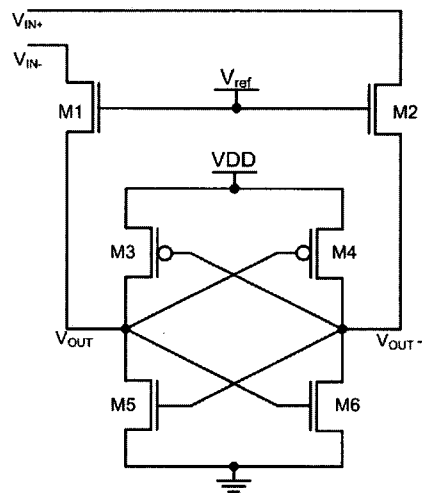


그림 3. 래치형 감지증폭기를 이용한 예비 증폭기
Fig. 3. Latch type sense amplifier.

호를 받아 원하는 크기의 출력을 내보낸다. 기존의 차동증폭기, pmos, nmos 감지 증폭기 보다 래치형 감지 증폭기가 최대 전송속도를 갖는다. M1, M2는 감지 증폭기를 전류모드에서 안정적으로 동작할 수 있도록 연결한 트랜지스터이다. Vref를 조절하여 증폭의 크기를 조절할 수 있다. Vref를 조절하여 증폭도가 커지면 지연시간이 증가한다. 이 감지 증폭기를 이용하여 예비 증폭기단을 구성하였을 때 0.42V의 출력 스윙을 하였다.

III. 제안한 수신단 회로

그림 4와 같이 본 논문에서 제안한 회로는 수신단에 telescopic 증폭기를 사용하여 예비 증폭기단을 구현하였다. 일반적인 LVDS는 송신단보다 수신단의 데이터 전송 속도가 떨어진다. 이에 따라 수신단의 성능을 개선하여 전체적인 LVDS의 성능을 향상시키고자 이 구조를 제안하였다.

그림 5와 같이 telescopic 증폭기는 다른 증폭기 보다 적은 소비전력으로 고속의 데이터 전송에 유리하다. 트랜지스터 M1~M2, M7~M8 과 전류소스인 M9로 인하여 높은 이득의 출력을 갖는다. 1.1~1.4V의 값이 입력으로

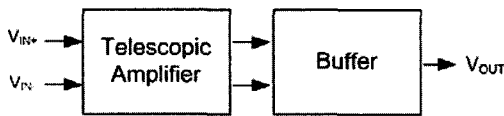


그림 4. 수신단의 블록도
Fig. 4. Blockdiagram of receiver.

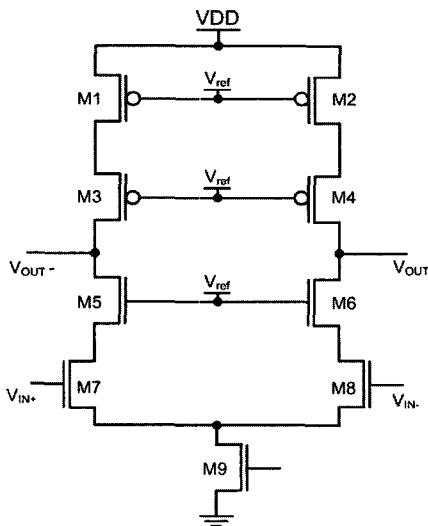


그림 5. 제안한 수신단 회로도
Fig. 5. Proposed receiver.

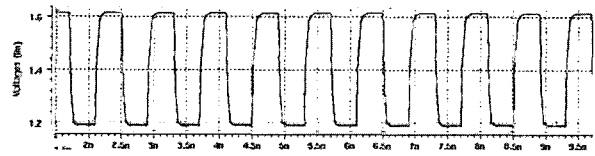
주어졌을 때 약 0.8V의 출력 스윙을 함으로서 래치 형 감지 증폭기 보다 약 2배의 증폭도를 갖는다. 이로 인하여 더 높은 속도에서 동작할 수 있는 수신단을 구성할 수 있다.

IV. 시뮬레이션과 레이아웃

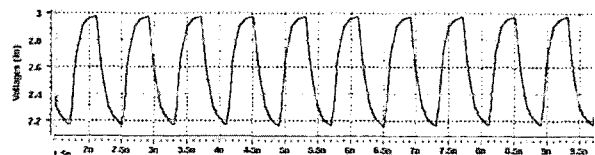
본 논문은 삼성 0.35μm CMOS 공정을 사용하여 HSPICE 시뮬레이션을 하였다. 공급전압은 3.3V으로 패키지 전송 모델은 Package-micro strip-SMA connector 모델을 사용하였다.

그림 6(a)는 감지 증폭기를 예비 증폭기로 사용하였을 때 1.1~1.4V의 입력에서의 출력 파형을 보여준다. 출력 스윙은 0.42V를 나타낸다. 그림 6(b)는 telescopic 증폭기를 예비 증폭기로 사용하였을 때 0.8V의 출력을 보임으로 감지 증폭기보다 약 2배 정도의 출력 이득이 있음을 볼 수 있다. 이러한 이득으로 더 빠른 데이터 전송이 가능하다.

그림 7의 결과는 송신단과 수신단을 연결 한 후 회로 시뮬레이션 한 것이다. Package/PCB (a)의 파형은 감지 증폭기를 이용하여 LVDS를 구현하였을 때 1.8

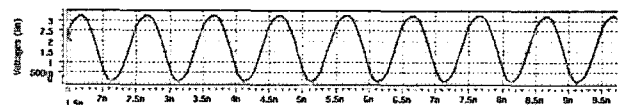


(a) 래치형 감지 증폭기

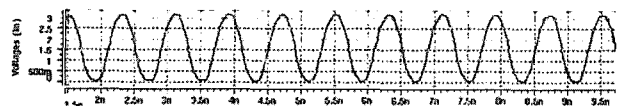


(b) Telescopic 증폭기

그림 6. 예비 증폭기단의 시뮬레이션 결과
Fig. 6. Simulation result of preamplifier.



(a) 래치형 감지 증폭기



(b) Telescopic 증폭기

그림 7. LVDS 시뮬레이션 결과
Fig. 7. Simulation result of LVDS.

표 1. 감지 증폭기와 telescopic 증폭기의 비교표
Table 1. Comparison table for sense amplifier and telescopic amplifier.

	이득	출력 스윙	속도	전력소모
감지 증폭기	Low	0.45V	1.8 Gbps	22.4 mW
Telescopic 증폭기	High	0.8V	2.3 Gbps	25.5 mW

표 2. 기존 LVDS와 비교표
Table 2. Comparison table for conventional LVDS.

	공정	속도	DC 전류	전력소모
기존 회로[3]	0.35u CMOS	2.0 Gbps	13.5 mA	23.2 mW
본 논문의 회로	0.35u CMOS	2.3 Gbps	14.9 mA	25.5 mW

@500Mhz clock

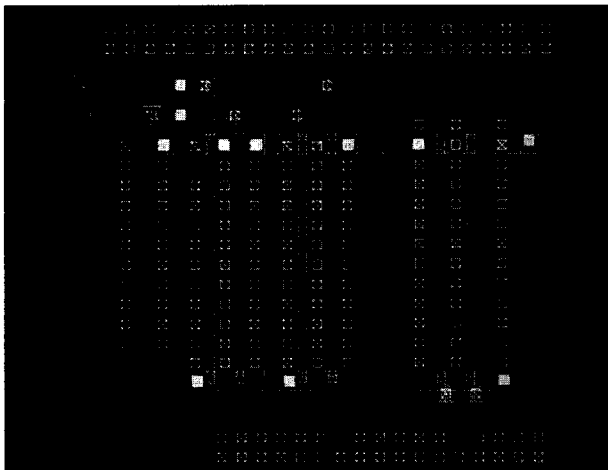


그림 8. 송신단의 레이아웃
Fig. 8. Layout of Typical LVDS driver.



그림 9. Telescopic 증폭기를 이용한 수신단의 레이아웃
Fig. 9. Layout of receiver using telescopic amplifier.

Gbps의 결과를 보여준다. (b)의 파형은 이 논문에서 제안한 telescopic 증폭기를 이용하여 최대 2.3 Gbps의 전송속도에서 안정적으로 동작하는 것을 확인할 수 있다.

표 1은 감지 증폭기와 telescopic 증폭기의 비교표이다. telescopic 증폭기를 사용하면 이득이 높아지고 출력 스윙이 증가하므로 27.7 % 향상된 데이터를 처리할 수 있으나 13.8 %의 전력소비가 증가하는 단점이 있다.

표 2는 기존 LVDS와의 비교표이다. 본 논문의 회로는 기존의 회로에 비해 15%의 데이터 전송속도 향상이 이루어 졌으나 9.9% 소비전력이 증가하였다. 그림8과 그림 9는 송신단과 수신단의 레이아웃이다.

V. 결 론

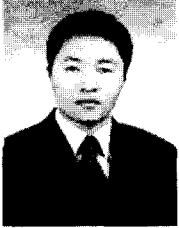
본 논문은 LVDS의 I/O 인터페이스 회로를 구현하였다. 설계한 회로는 CMOS 0.35 μm 공정을 이용하여 설계하였으며, 3.3V의 공급전압에서 2.3 Gbps의 데이터를 안정적으로 처리할 수 있었다. 소비되는 전력소모는 25.5 mW이다. 향후 저 전력소모 특성을 갖는 회로 설계에 관한 연구가 필요하다.

참 고 문 헌

- [1] IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI), 1596.3 SCI-LVDS Standard, IEEE Std. 1596.3-1996, 1994.
- [2] Electrical characteristics of low-voltage differential-signalling (LVDS) interface circuits, TIA/EIA-644, National Semiconductor Corp., ANSI/TIA/EIA, 1996.
- [3] A. Boni, A. Pierazzi, and D. Vecchi, "LVDS I/O interface for Gb/s-per-Pin Operation in 0.35μm CMOS", IEEE Journal of Solid-State Circuits, vol. 36, pp. 706-711, April 2001.
- [4] K. Gulati and H. S. Lee, "A High-Swing CMOS Telescopic Operational Amplifier", IEEE Journal of Solid-State Circuits, vol. 33, no. 12, December 1998.
- [5] Unekawa, Y, et al. "A 5 Gb/s 8x8 ATM switch element CMOS LSI supporting five quality-of-service classes with 200 MHz LVDS interface", Solid-State Circuits Conference, 1996. Digest of Technical Papers. 43th ISSCC., 1996 IEEE International 8-10 Feb. 1996 Page(s):118 - 119, 428
- [6] M. Chen, J. Silva-Martinez, M. Nix, and M. E. Robinson, "Low-Voltage Low-Power LVDS Drivers", IEEE Journal of Solid-State Circuits, vol. 40, No. 2, February 2005.
- [7] G. Mandal and P.Mandal, "Low-Power LVDS

Receiver for 1.3 Gbps Physical Layer (PHY) Interface”, IEEE International Symposium, on 23-26, pp. 2180-2183, May 2005.

저 자 소 개



유 관 우(정회원)
2005년 강원대학교 전기전자
공학부 학사 졸업.
2007년 강원대학교 전자공학과
석사 졸업.
2007년~현재 (주) LDT 연구원
<주관심분야 : VLSI 설계>

김 정 범(평생회원)-교신저자
대한전자공학회 논문지
제42권 SD편 제2호 참조